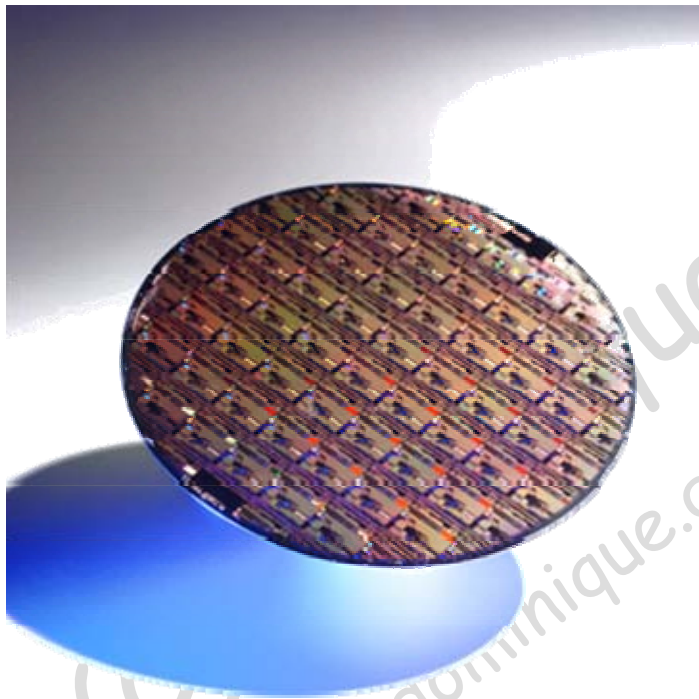


Micro *Électronique*

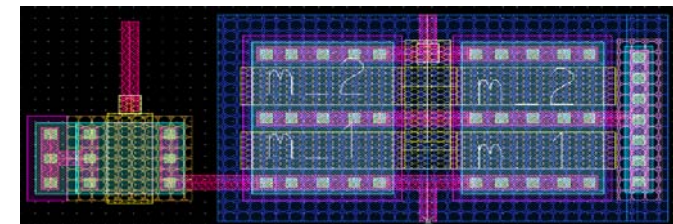


Chapitre 2

Rappels : De la physique du semi-conducteur au transistor MOS



Dominique GINHAC
dginhac@u-bourgogne.fr

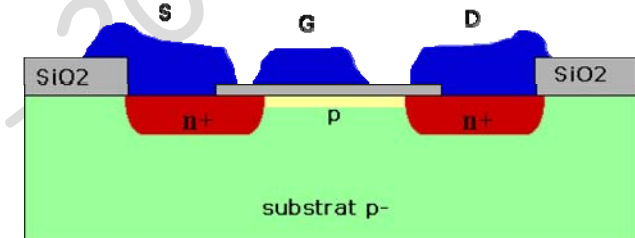


Plan du cours

1- Introduction sur la microélectronique numérique

2- Physique des semi conducteurs

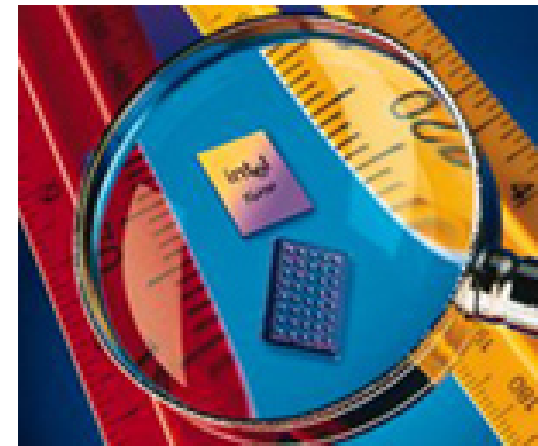
- ✓ Structure électronique,
- ✓ Notions d'énergie,
- ✓ Notions de dopage,
- ✓ Principes de la jonction PN,
- ✓ Principes des transistors



3- Bases de la technologie CMOS

4- Design de portes élémentaires

5- Technologie des composants



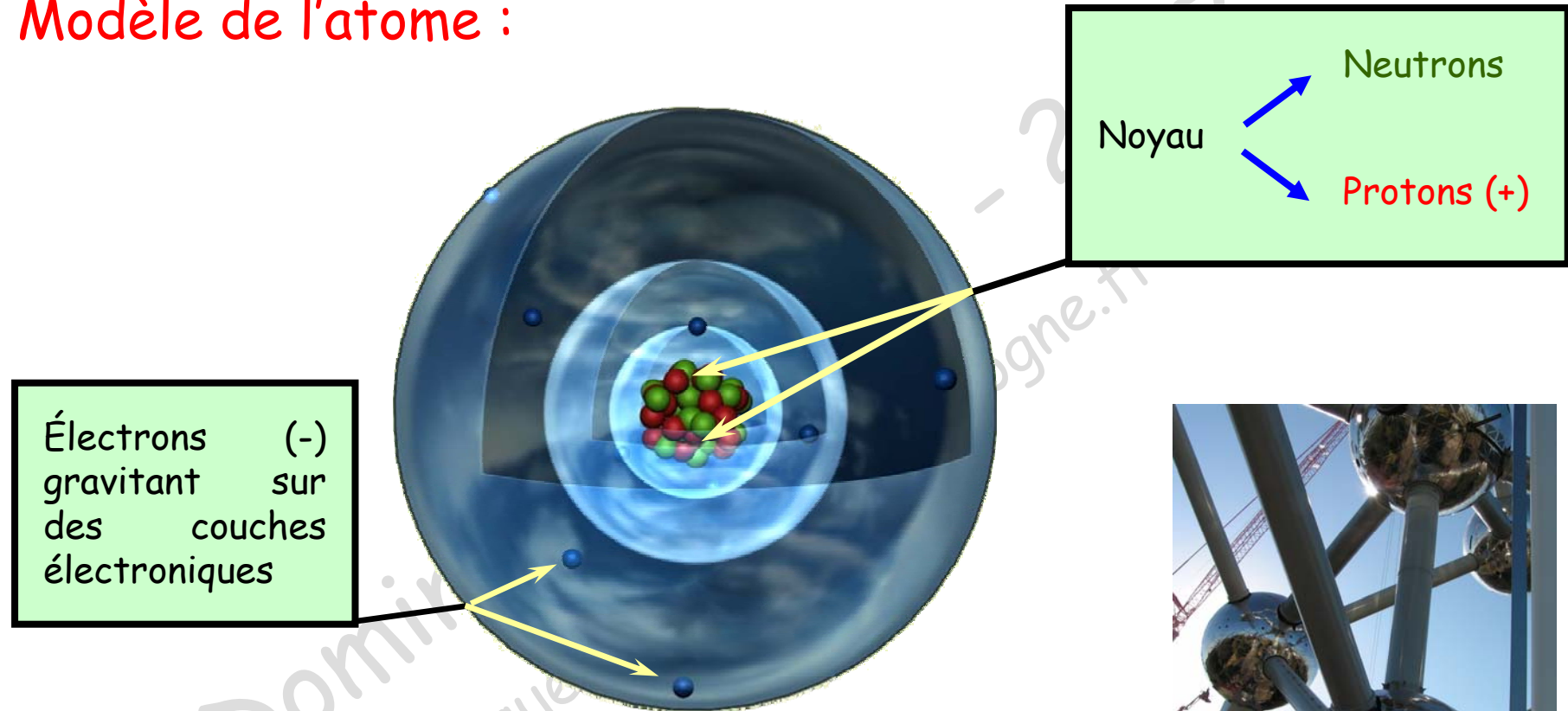


Physique : Structure électronique



Structure électronique

Modèle de l'atome :



Neutralité de l'atome :

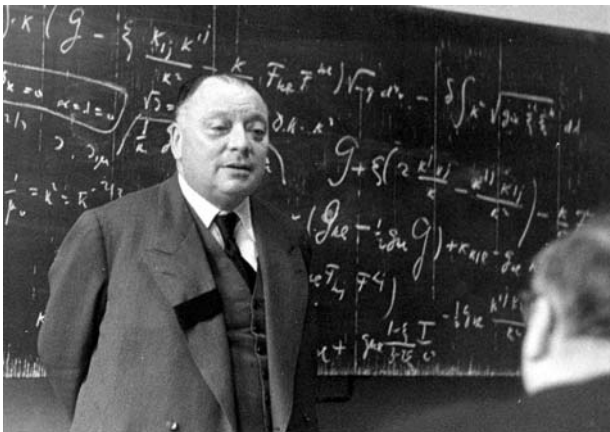
Nb de protons = Nb d'électrons



Structure électronique (2)

Nuage électronique des atomes caractérisé par 4 nombres quantiques :

- ✓ nombre quantique principal (numéro d'orbite) : $n = 1, 2, 3, \dots$
- ✓ nombre quantique azimutal : $l = 0, 1, 2, \dots, n-1$
- ✓ nombre quantique magnétique : $m_l = 0, +1, +2, \dots, +l$
- ✓ spin : $s = \pm 1/2$



W. Pauli, prix Nobel de Physique en 1955

Principe d'exclusion de Pauli :

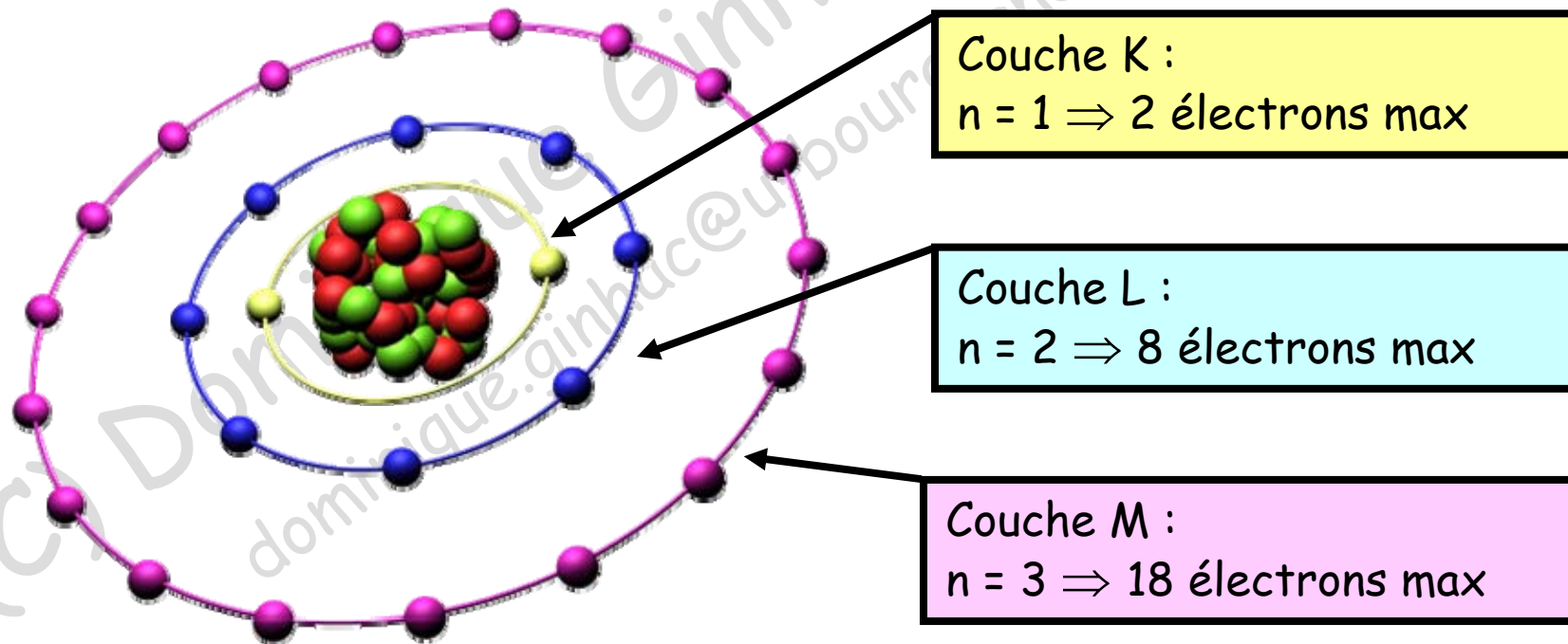
Deux électrons dans un même système ne peuvent se trouver dans le **même état caractérisé** par les **4 nombres quantiques**.

Structure électronique (3)

Couches électroniques :

Les électrons sont répartis sur **différentes couches** symbolisées par des lettres (K, L, M,..., Q) correspondant au nombre quantique principal $n = 1, 2, 3, 4$

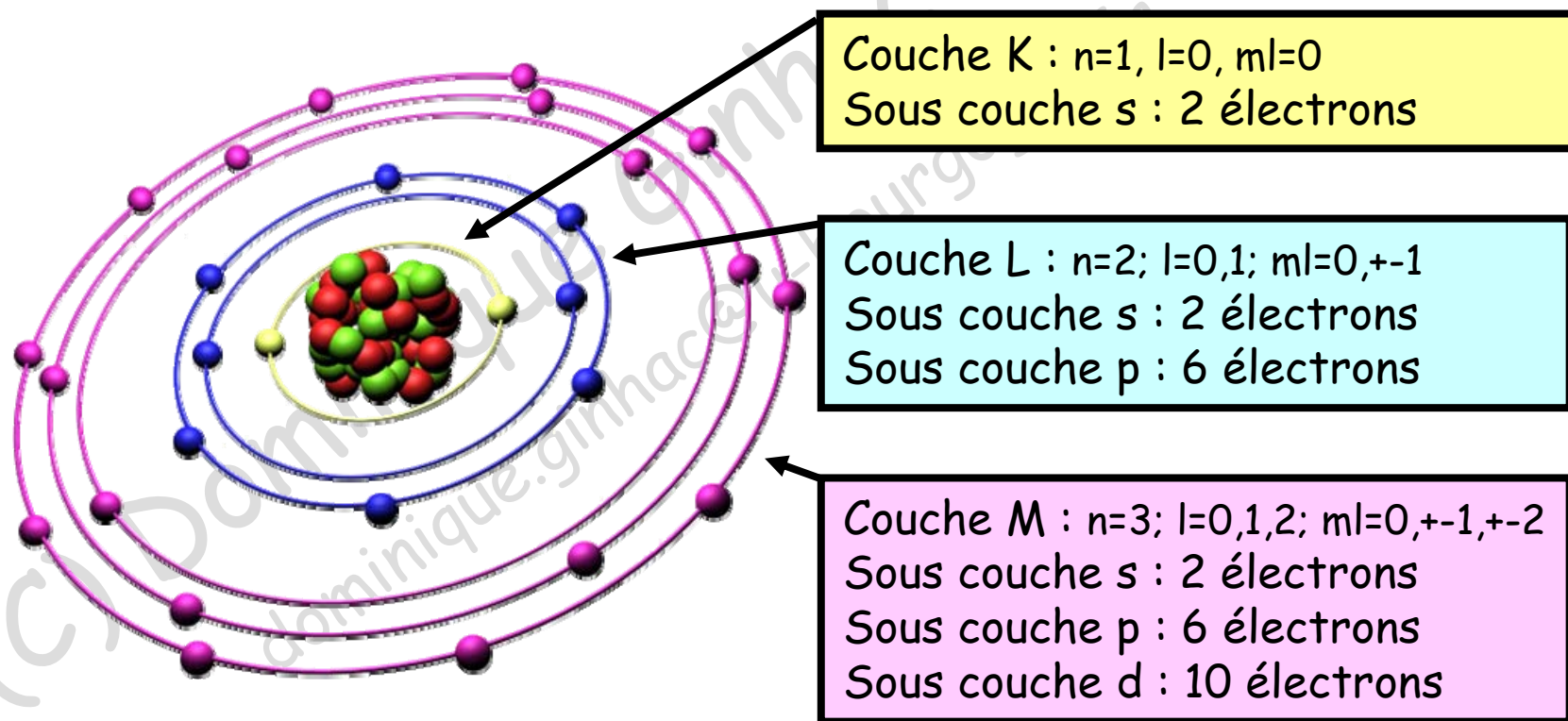
Le nombre maximal d'électrons par couche est égal à $2n^2$



Structure électronique (4)

Sous couches électroniques :

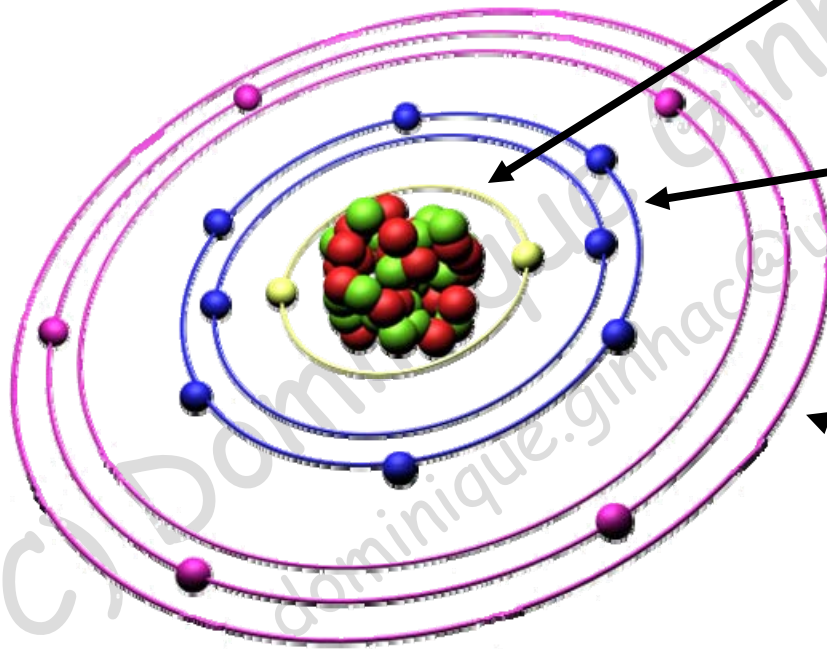
Chaque couche est divisée en **sous-couches** s, p, d, f correspondant au nombre quantique azimutal $l = 0, 1, 2, 3$



Structure électronique (5)

Cas du Silicium : $N = 14$ électrons

Le Silicium possède 14 électrons : $1s^2 2s^2 2p^6 3s^2 3p^2$
Il lui manque 4 électrons pour remplir la sous couche 3p



Couche K : $n=1, l=0, m_l=0$
Sous couche s : $2 e^- \Rightarrow 1s^2$

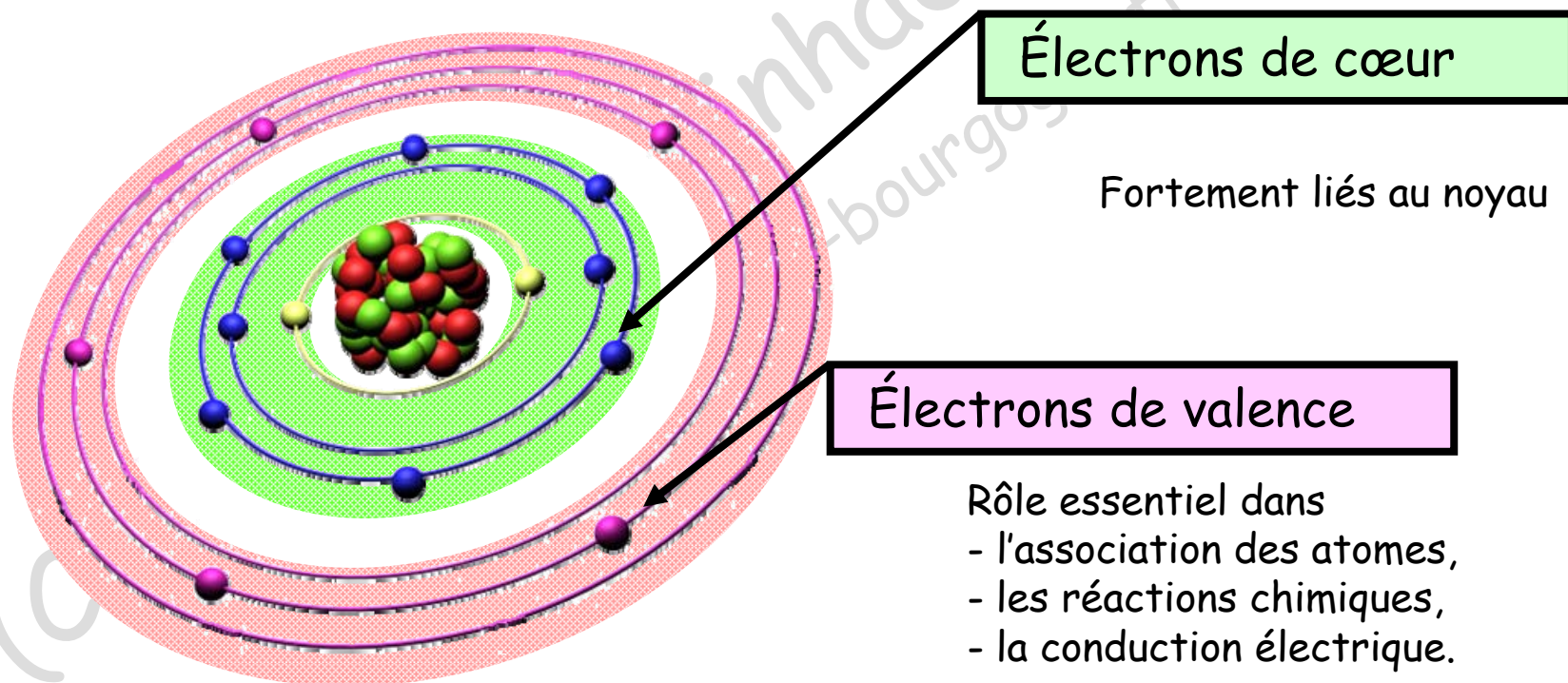
Couche L : $n=2; l=0,1; m_l=0,+1$
Sous couche s : $2 e^- \Rightarrow 2s^2$
Sous couche p : $6 e^- \Rightarrow 2p^6$

Couche M : $n=3; l=0,1,2; m_l=0,+1,+2$
Sous couche s : $2 e^- \Rightarrow 3s^2$
Sous couche p : $2 e^- \Rightarrow 3p^2$

Structure électronique (6)

Répartitions des électrons en 2 classes principales :

Le silicium possède 4 électrons de valence sur la sous couche 3p

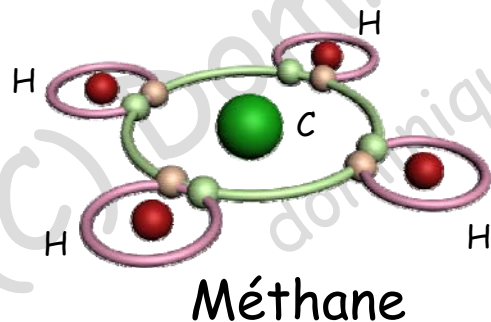
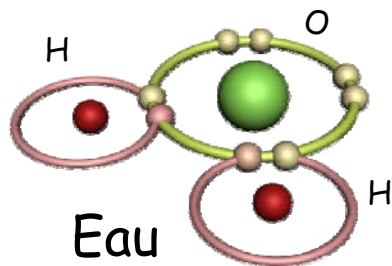


Structure électronique (7)

Liaison chimiques :

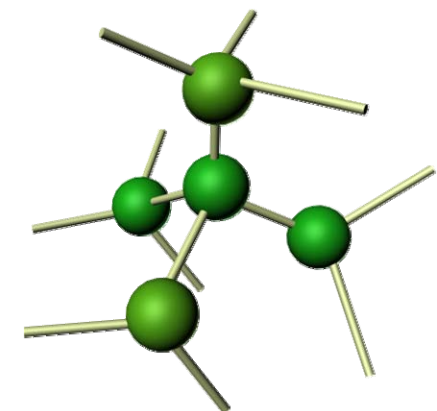
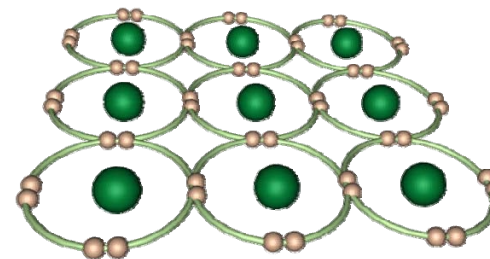
Les atomes de silicium recherchent la **stabilité** en tentant de **saturer** la dernière sous-couche d'électrons.

Ils mettent en commun **plusieurs électrons de la sous couche de valence 3p** avec d'autres atomes de silicium sous la forme de **liaisons covalentes**



Liaison covalente :

Mise en commun de deux électrons de valence pour former un **douplet électronique**



Silicium

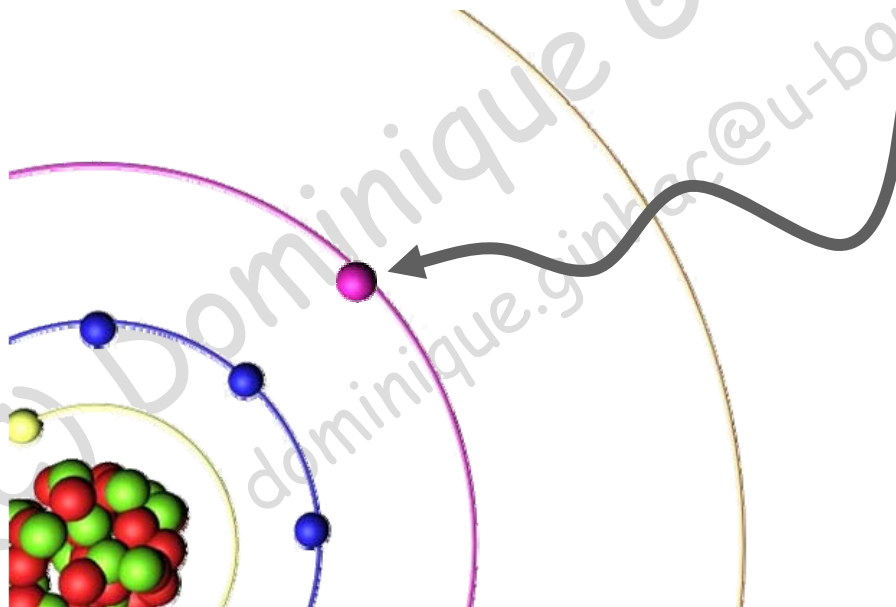
Physique : Notion d'énergie



Notion d'énergie

Modèle de Bohr :

- ✓ Un électron situé sur la couche orbitale n a une **énergie fixe négative** égale à $-13.6 \text{ eV} / n^2$ (cf. remarque)
- ✓ Un électron commence toujours par remplir les **couches énergétiques les plus basses** (c'est-à-dire les plus négatives)
- ✓ Un électron qui se maintient sur son orbite ne reçoit, ni ne perd d'énergie. Il y a échange d'énergie uniquement s'il **change d'orbite**



Apport d'énergie : $E=h\nu$
Electrique, Thermique, ...

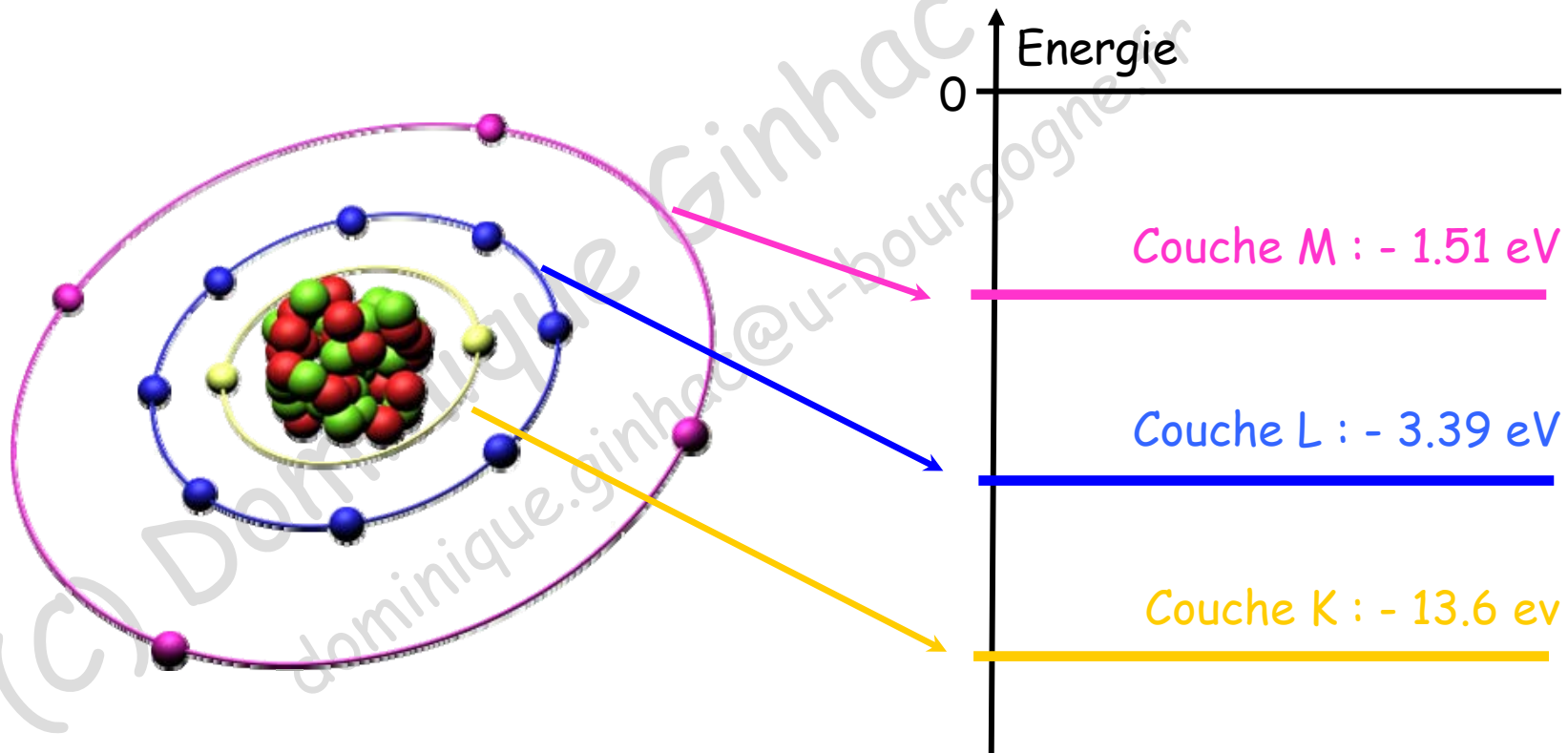
- ✓ Changement d'orbite
- ✓ Ou libération de l'e-

Rq : Un électron avec une énergie nulle est libre car il est situé à l'infini par rapport au noyau.

Notion d'énergie (2)

Diagramme d'énergie d'un atome de silicium

Le diagramme d'énergie est la **représentation des différents états** énergétiques d'un atome

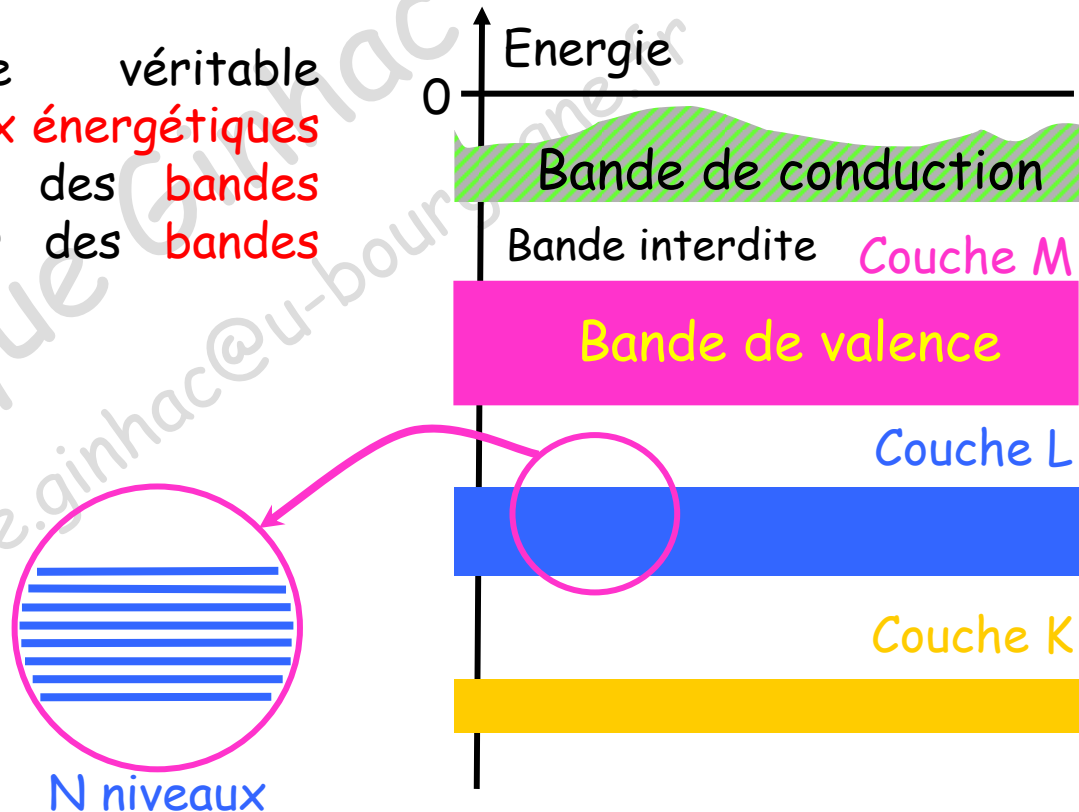


Notion d'énergie (3)

Diagramme d'énergie de N atomes de silicium

Selon le principe d'exclusion de Pauli, 2 atomes d'un même système ne peuvent se trouver dans le même état énergétique.

Cela entraîne une véritable multiplication des niveaux énergétiques très proches formant des bandes d'énergie séparées par des bandes interdites



Notion d'énergie (3)

Diagramme d'énergie de N atomes de silicium

Selon le principe d'exclusion de Pauli, 2 atomes d'un même système ne peuvent se trouver dans le même état énergétique.

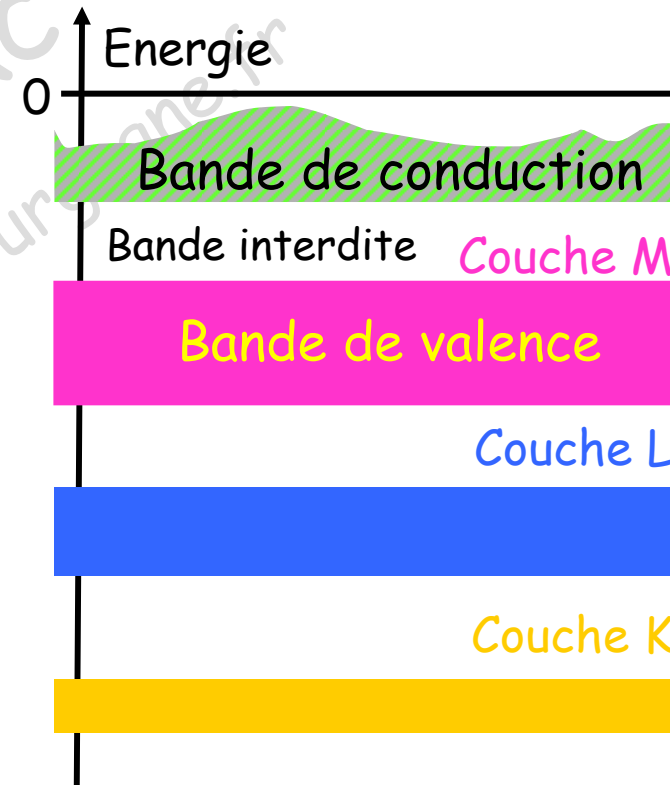
Quelques Définitions :

Bande de Valence : Dernière bande de basse énergie contenant des électrons

Bande de Conduction : Première bande de haute énergie vide d'électrons

Bande interdite : Bande d'énergie dans lequel un électron ne peut se trouver

Gap : Ecart entre BV et BC qui détermine les propriétés de conduction des matériaux.



Notion d'énergie (4)

Types de matériaux :

En fonction des positions de la Bande de Valence et de la Bande de Conduction, on distingue **3 types de matériaux** :

- ✓ Les matériaux **conducteurs**,
- ✓ Les matériaux **isolants**,
- ✓ Les matériaux **semi-conducteurs**.



Notion d'énergie (5)

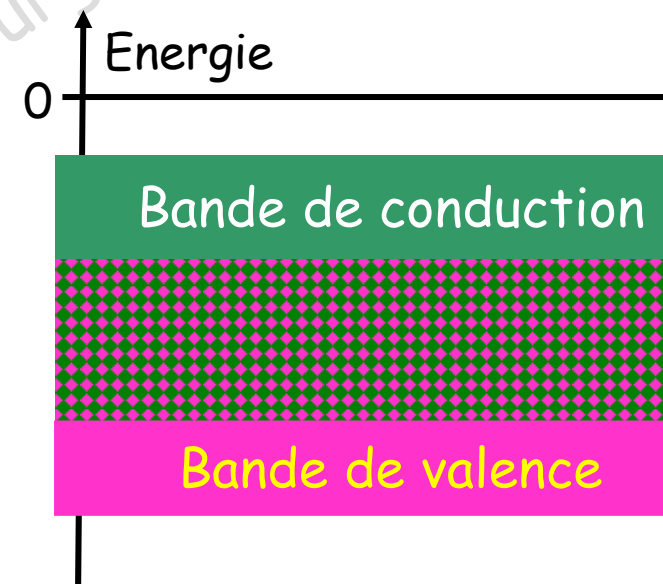
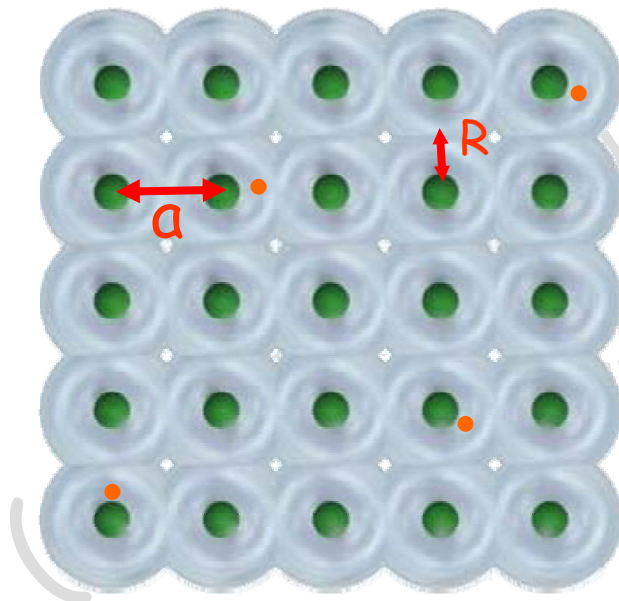
Cas des matériaux conducteurs (métaux) :

D'un point de vue microscopique :

- ✓ Les atomes métalliques forment des **structures très serrées** dans lesquelles **les électrons peuvent se déplacer librement**.

D'un point de vue macroscopique :

- ✓ La bande de valence et la bande de conduction **se chevauchent**.



Notion d'énergie (6)

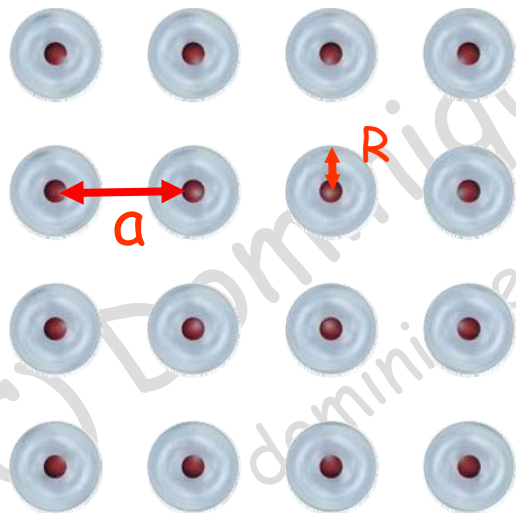
Cas des matériaux isolants :

D'un point de vue microscopique :

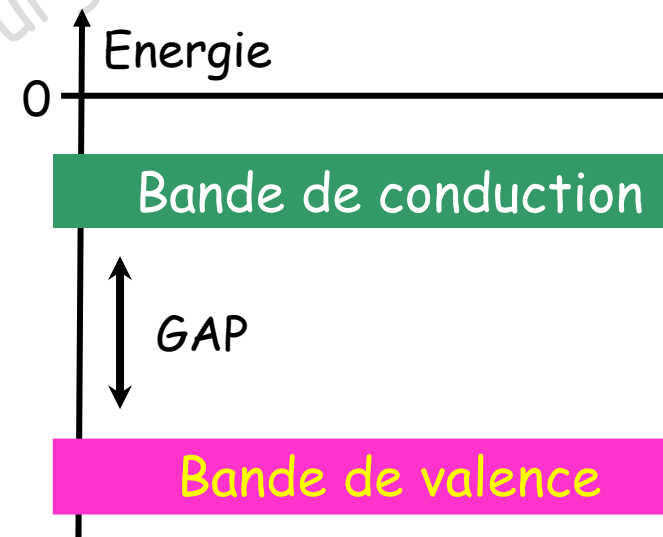
- ✓ Les atomes forment des **structures très espacées** dans lesquelles les transferts d'électrons sont quasi impossibles.

D'un point de vue macroscopique :

- ✓ Le **GAP** entre BV et BC est **trop important** ($> 5\text{eV}$) pour que les électrons puissent passer dans la bande de conduction



Distance $a \gg 2R$



Notion d'énergie (7)

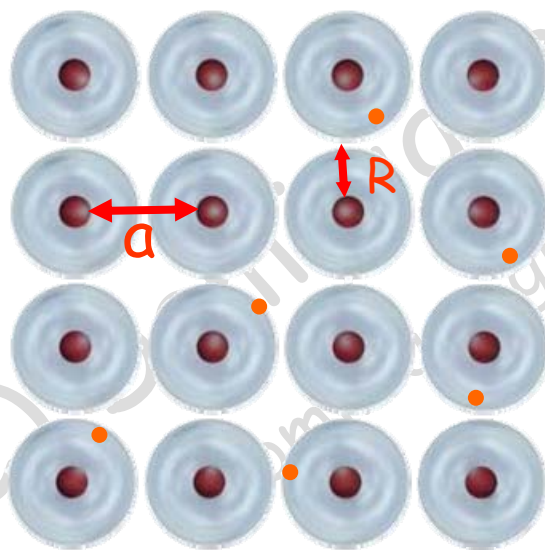
Cas des matériaux semi-conducteurs :

D'un point de vue microscopique :

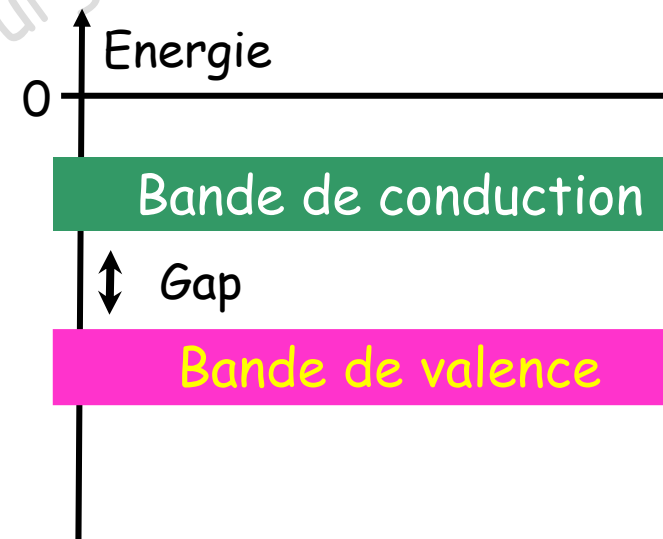
- ✓ Les atomes forment des **structures suffisamment proches** pour que le transfert d'électrons soit possible.

D'un point de vue macroscopique :

- ✓ Le **GAP** entre BV et BC **est assez faible** (1.12 eV pour le silicium) pour que les électrons puissent passer dans la bande de conduction



Distance $a \sim 2R$



Physique : Notion de dopage



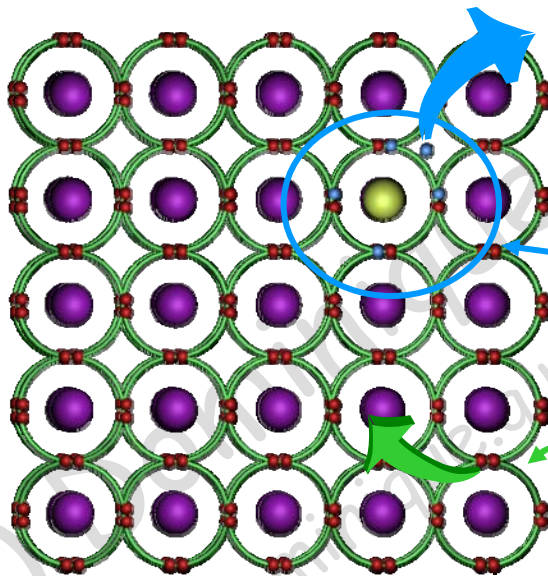
Notions de dopage

Cas d'un **crystal de Silicium intrinsèque pur (99,99999%) :**

Autant d'électrons que de trous dans le cristal.

Très peu de porteurs libres donc **très mauvaise conduction**

Le silicium se comporte à peu près comme **un isolant !**



Les quelques porteurs libres
sont uniquement dus :

Impuretés

Agitation thermique

Notions de dopage (2)

Cas d'un cristal de Silicium intrinsèque pur (99,99999%) :

Le dopage sert à donc **modifier cet équilibre** entre les électrons et les trous afin de **favoriser la conduction électrique**.

Le principe est d'introduire **des impuretés** dont la taille atomique est proche de celle du Silicium et ayant **plus ou moins d'électrons de valence**

Deux cas se présentent :

- ✓ Ajout d'éléments **pentavalents** ayant 5 électrons sur la couche de valence (Arsenic, Phosphore, ...)
- ✓ Ajout d'éléments **trivalents** ayant 3 électrons sur la couche de valence (Bore, Gallium, ...)

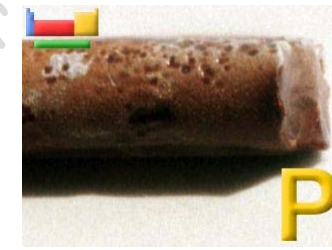
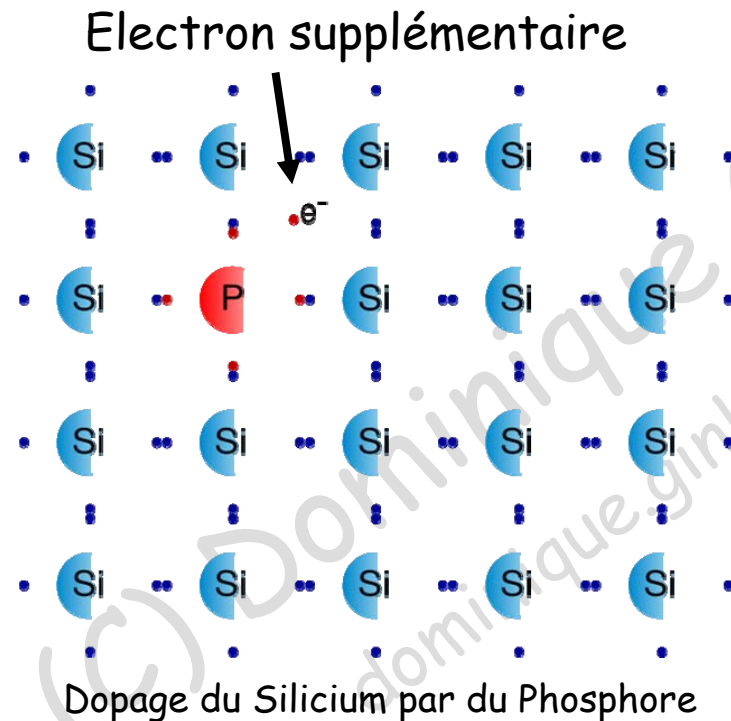
Dopage **fort** (n+ ou p+) : 1 atome de dopant pour 10^4 de Si (10^{22} at./cm³)

Dopage **normal** (n ou p) : 1 atome de dopant pour 10^7 de Si

Notions de dopage (3)

Dopage de type **N** par ajout d'atomes **pentavalents** :

Objectif : Produire un **excès d'électrons** chargés **Négativement**



Dopants N tels que Arsenic, Phosphore, ...

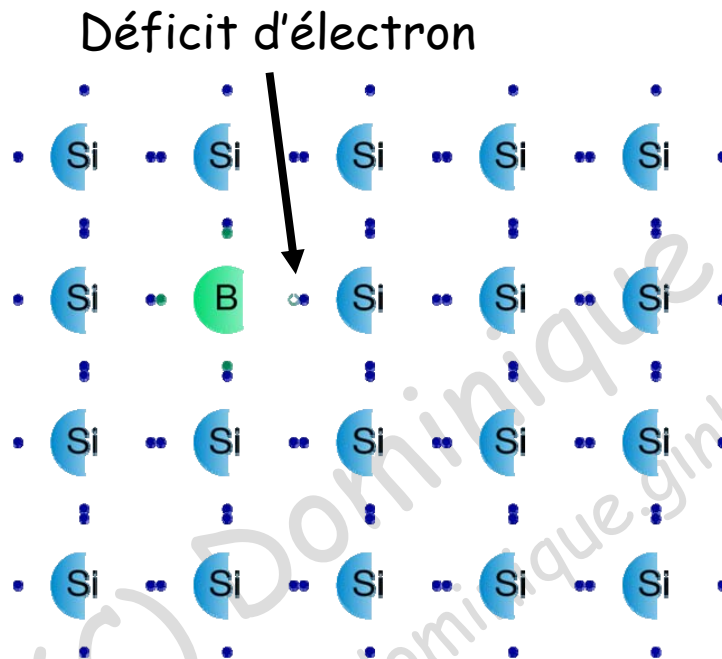
Dopage par un matériau N :

- ⇒ **Electrons** majoritaires
- ⇒ Les dopants sont dits « **donneurs d'électrons** »

Notions de dopage (4)

Dopage de type **P** par ajout d'atomes **trivalents** :

Objectif : Produire un **déficit d'électrons** et donc un **excès de trous** chargés **Positivement**



Dopage du Silicium par du Bore



Dopants P tels que Bore, Galium, ...

Dopage par un matériau P :

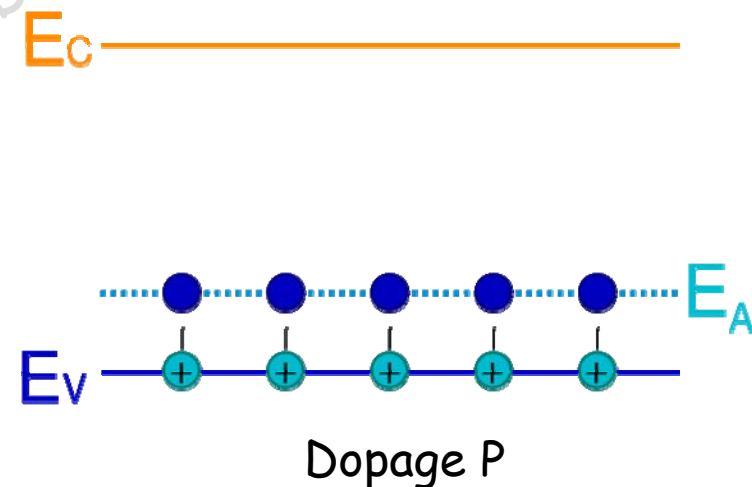
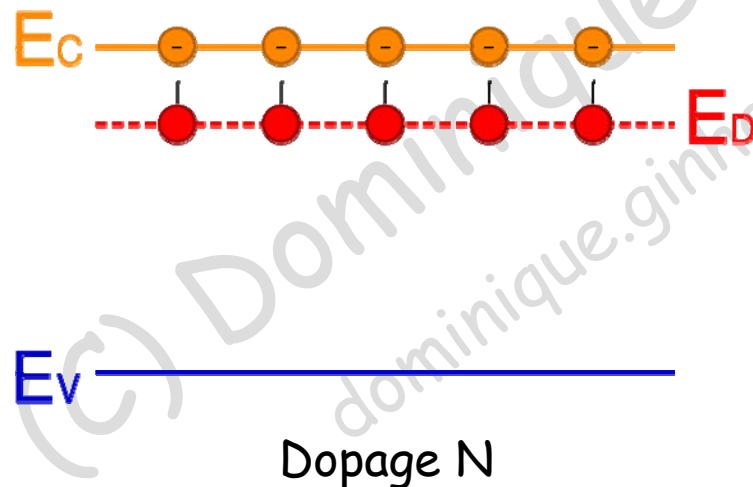
- ⇒ **Trous** majoritaires
- ⇒ Les dopants sont dits « **accepteurs d'électrons** »

Notions de dopage (5)

Amélioration de la conductivité :

Le dopage permet donc d'**injecter** artificiellement et de manière contrôlée des **charges libres** (e- ou trous) afin d'améliorer la **conductivité** du matériau.

La **conductivité du matériau** est améliorée en faisant apparaître de **nouvelles bandes d'énergie** au dessous de la bande de conduction (Dopage N) ou au dessus de la bande de valence (Dopage P)



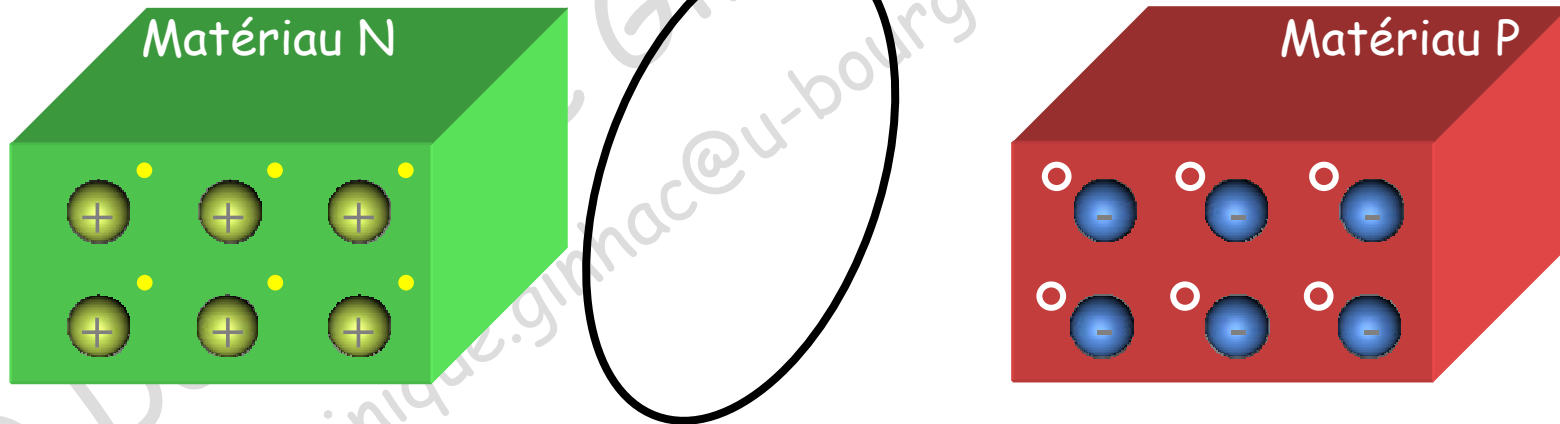
Physique : La jonction PN



La jonction PN

Création d'une Jonction PN :

Que se passe t-il si l'on met en contact du **Silicium dopé N** et du **Silicium dopé P** ?

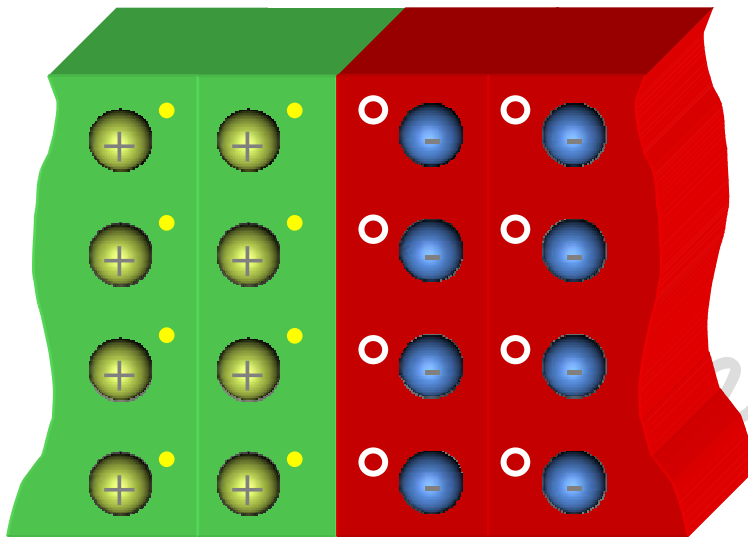


Création d'une **jonction PN** à la frontière des 2 matériaux

La jonction PN au niveau atomique

QUIZZ

Que se passe t'il au niveau de la jonction ?



Un échange de trous et d'électrons se produit de chaque côté de la jonction P-N.

✓ Les électrons (-) qui transitent du côté N vers le côté P, produisent des ions Donneurs de charge positive du côté N

✓ Les trous (+) qui transitent du côté P vers le côté N, produisent des ions Accepteurs de charge négative du côté P

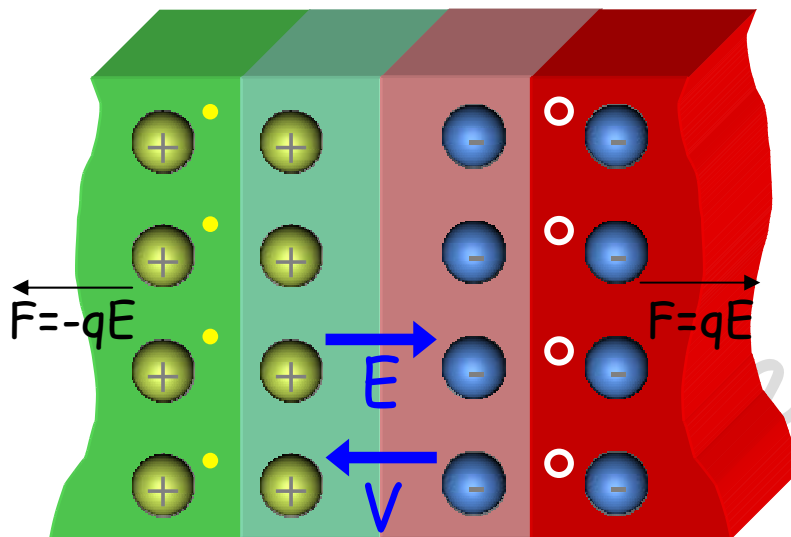
Ce phénomène se nomme : **DIFFUSION**

Une zone d'appauvrissement en porteurs mobiles se forme autour de la jonction PN : c'est la **Zone de Charge d'Espace**

La jonction PN au niveau atomique (2)

QUIZZ 2

La ZCE grandit elle sur toute la jonction ?



Les ions Accepteurs et Donneurs de chaque côté de la jonction forment :

- ✓ un **champ électrique E**
- ✓ et donc une **barrière de potentiel** définie par la relation $E = -dV/dx$.

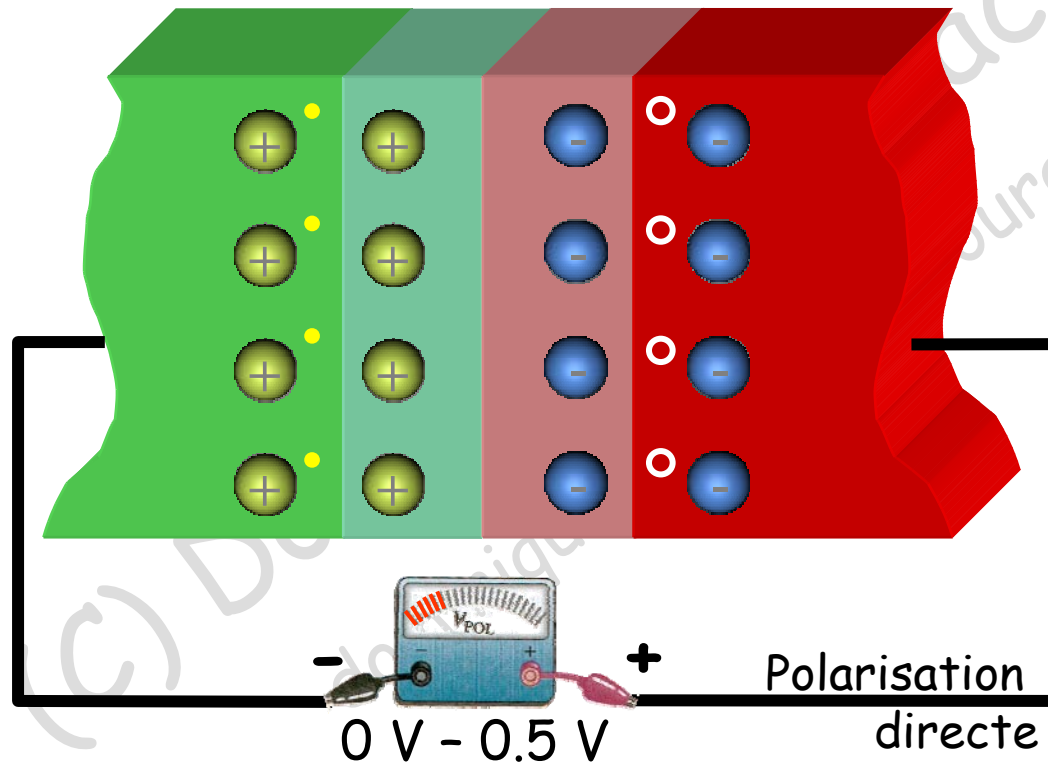
Ce champ électrique s'oppose au phénomène de diffusion et permet d'arriver à un équilibre.

La **taille** de la Zone de Charge d'Espace devient **stable**

La jonction PN au niveau atomique (3)

Fonctionnement électrique de la Jonction PN :

On polarise la jonction en direct et on fait varier la tension



Pour une **tension faible** ($< 0.5 \text{ V}$), **rien ne se passe**

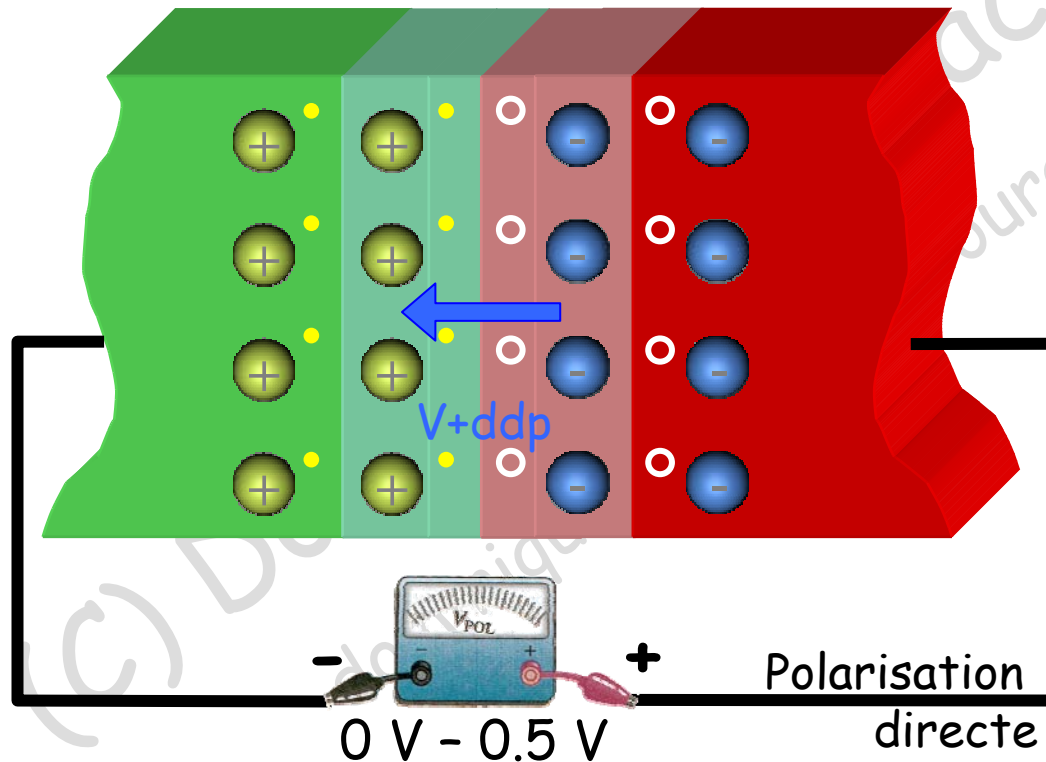
Pour **$V_{pol} > 0.7 \text{ V}$** , il y a **conduction**

Pourquoi ?

La jonction PN au niveau atomique (4)

Fonctionnement électrique de la Jonction PN :

Pour une tension de polarisation **inférieure** à 0.7 V



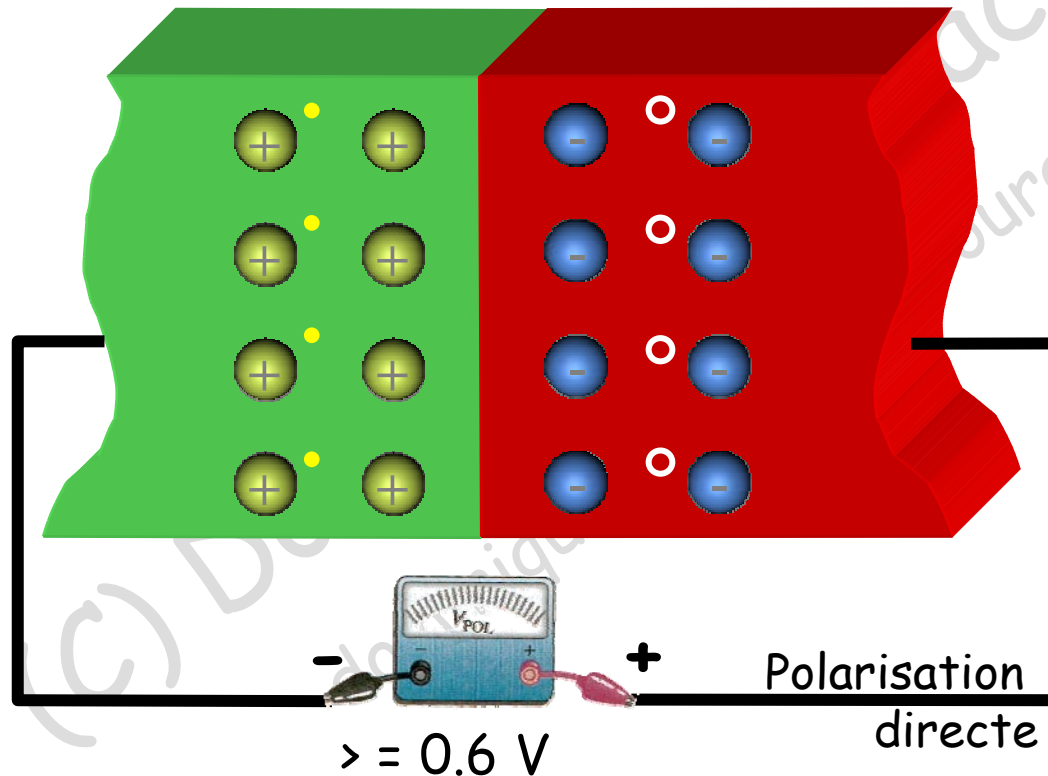
La **barrière de potentiel** ($V + ddp$) diminue sous l'action de la polarisation directe.

Cette ddp s'annule uniquement lorsque $V > 0.7 \text{ Volts}$,

La jonction PN au niveau atomique (5)

Fonctionnement électrique de la Jonction PN :

Pour une tension de polarisation **supérieure** à 0.7 V



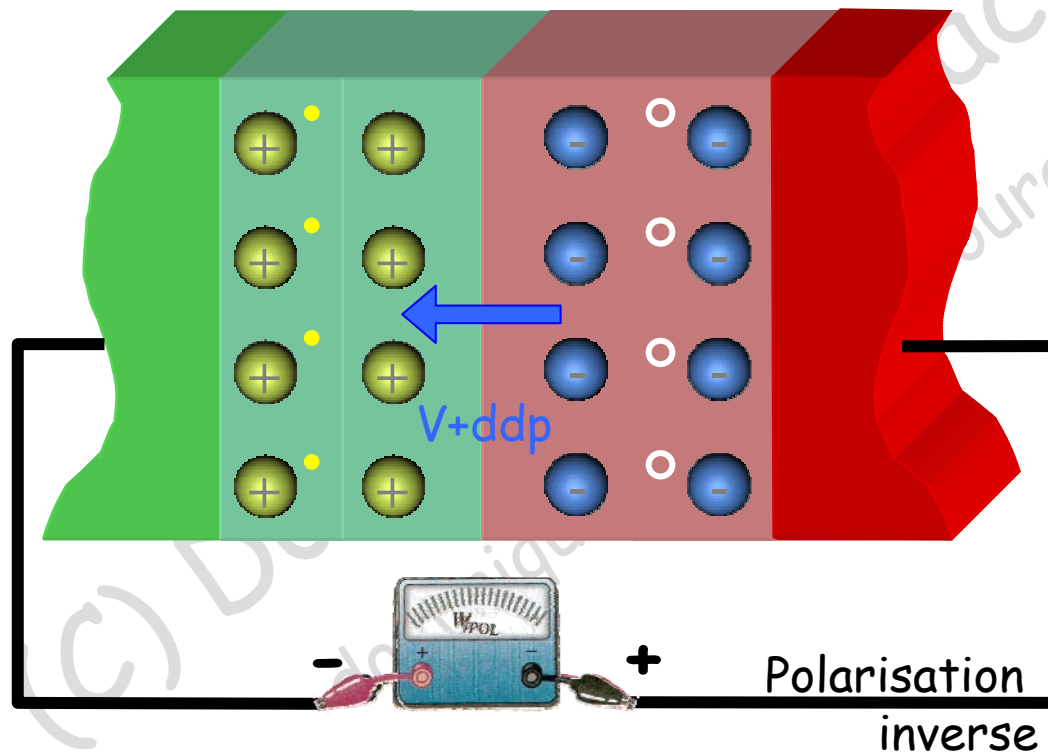
La **barrière de potentiel** est vaincue.

Il y a redémarrage de la diffusion et donc de la **conduction**

La jonction PN au niveau atomique (6)

Fonctionnement électrique de la Jonction PN :

On polarise la jonction en inverse



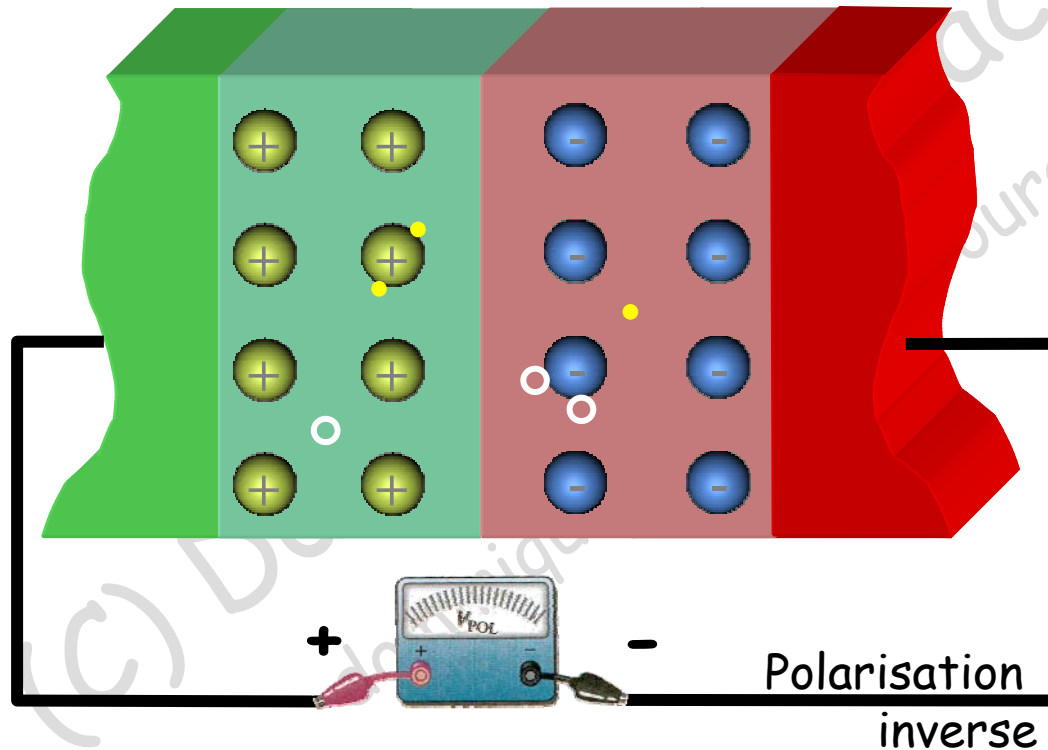
La barrière de potentiel augmente

Elargissement de la Zone de Charge d'Espace

La jonction PN au niveau atomique (7)

Fonctionnement électrique de la Jonction PN :

On augmente encore la tension de polarisation inverse

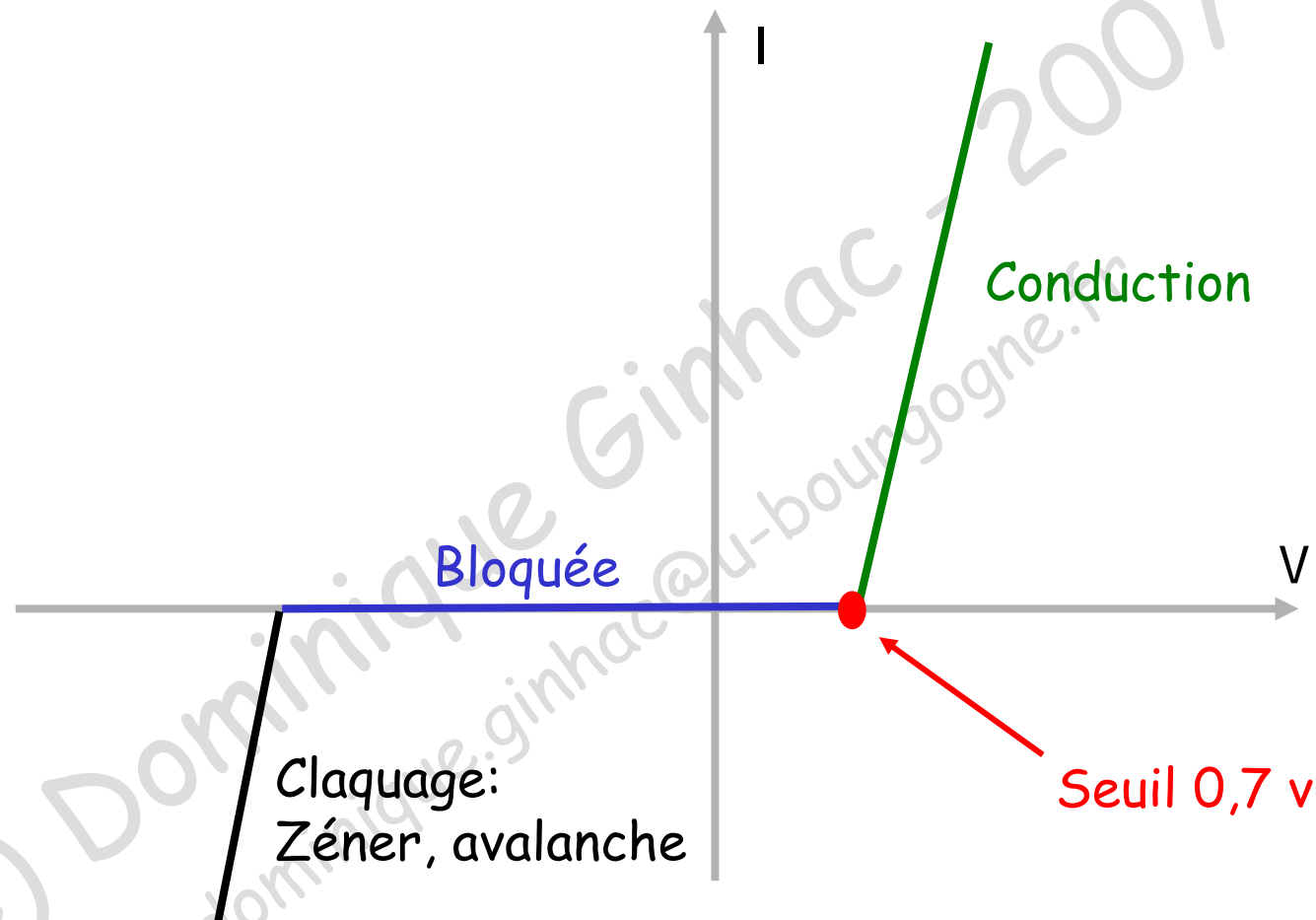


1 - Libération des porteurs minoritaires : **effet zener**

2 - Les porteurs libèrent par choc d'autres porteurs : **effet d'avalanche**

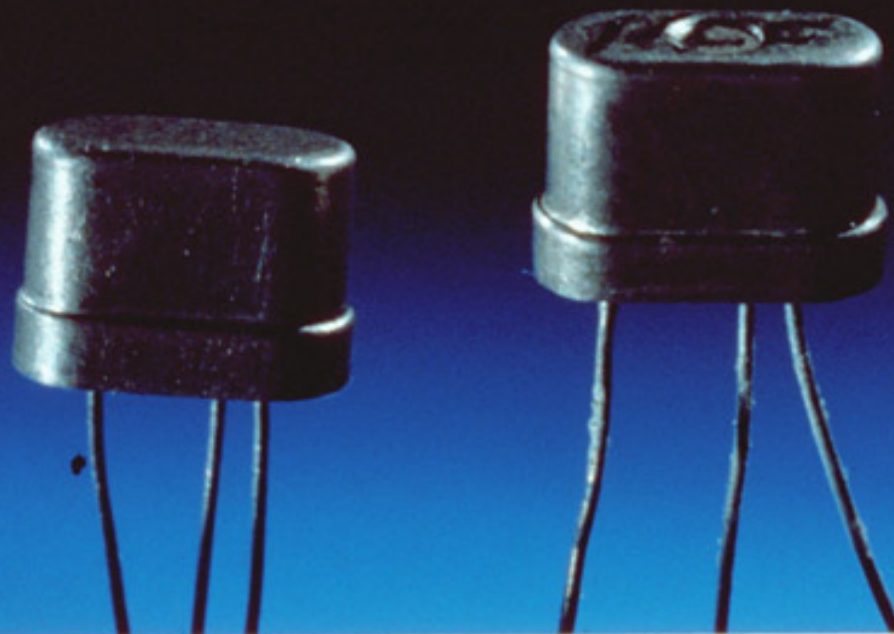
3 - **Rupture** des liaisons covalentes

Caractéristiques de la jonction PN



Physique : Le transistor

FIRST SILICON TRANSISTOR



Généralités sur les Transistors

Transistor : élément clé de l'électronique

Il peut :

- ✓ **amplifier** un signal (amplificateur de tension, de courant, de puissance,...)
- ✓ être utilisé comme une **source de courant**
- ✓ agir comme un **interrupteur commandé** (essentiel pour l'électronique numérique)

On distingue :

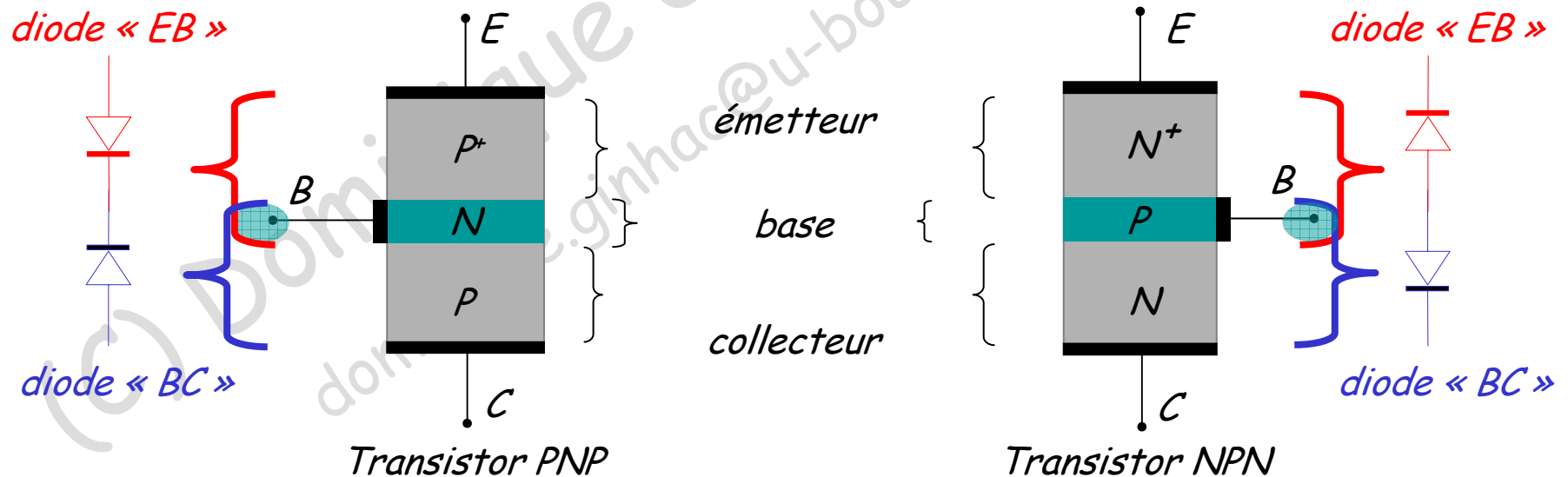
- ✓ Transistor **bipolaire** (source de courant commandé par un courant)
- ✓ Transistor à **effet de champ** (source de courant commandé par une tension)

Transistor bipolaire

Structure simplifiée :

Un **transistor bipolaire** comporte **3** couches de silicium disposées en sandwich dans l'ordre **PNP** ou **NPN** :

- ✓ Symétrie NPN/PNP
- ✓ Les 2 « jonctions PN » couplées vont permettre « l'effet transistor »



Transistor bipolaire (2)

Caractéristiques principales :

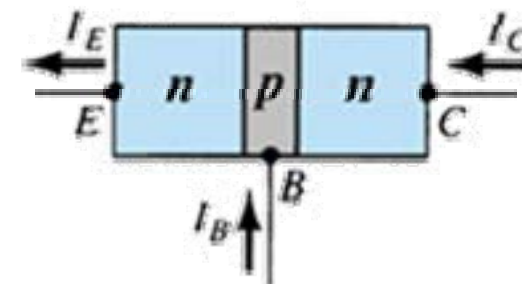
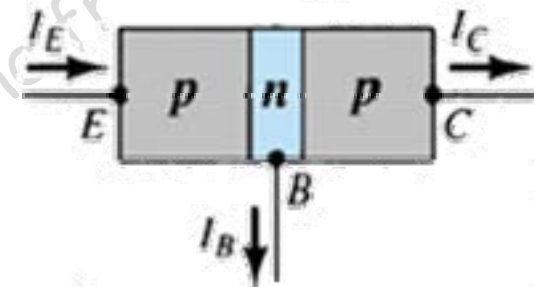
Les transistors sont **bipolaires** parce qu'ils utilisent à la fois les porteurs majoritaires et les porteurs minoritaires (électrons et trous).

	E	B	C
Dopage (rapport 10:1)	élevé	faible	moyen
Largeur (rapport 150:1)	large	mince	+large

Ces rapports importants contribuent :

- ✓ à rendre la **base plus résistive**
- ✓ à **diminuer les recombinaisons**

Objectif : Produire une meilleure amplification



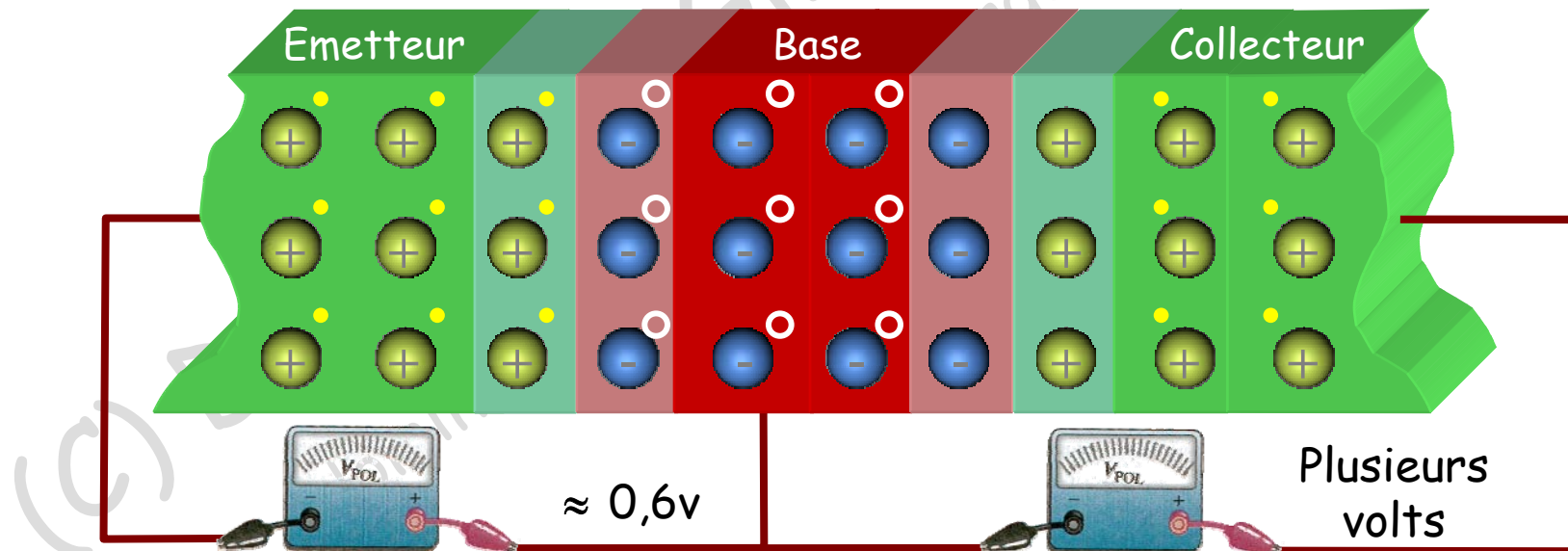
Polarisation du Transistor bipolaire

Fonctionnement :

En l'absence de toute polarisation, il y a création de 2 zones de charge d'espace

Si on polarise la jonction **BE** en **direct** et **BC** en **inverse** :

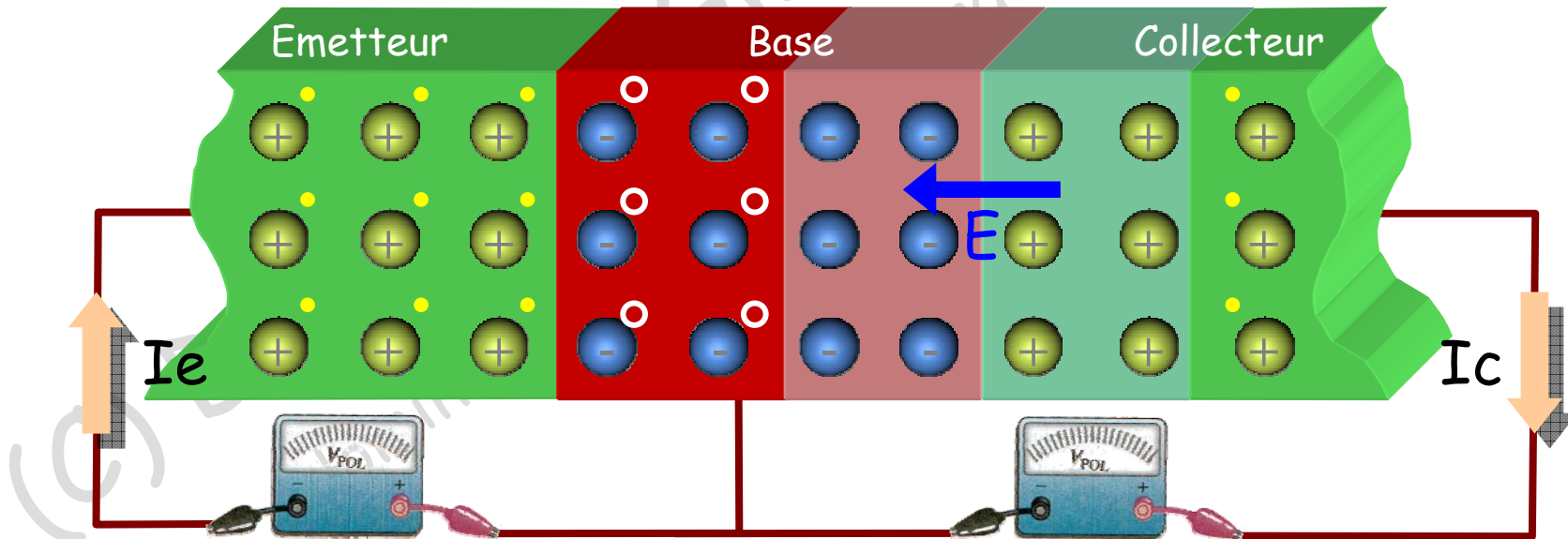
- ✓ Suppression de la ZCE sur la jonction BE
- ✓ Augmentation de la ZCE sur la jonction BC



Effet transistor

Fonctionnement :

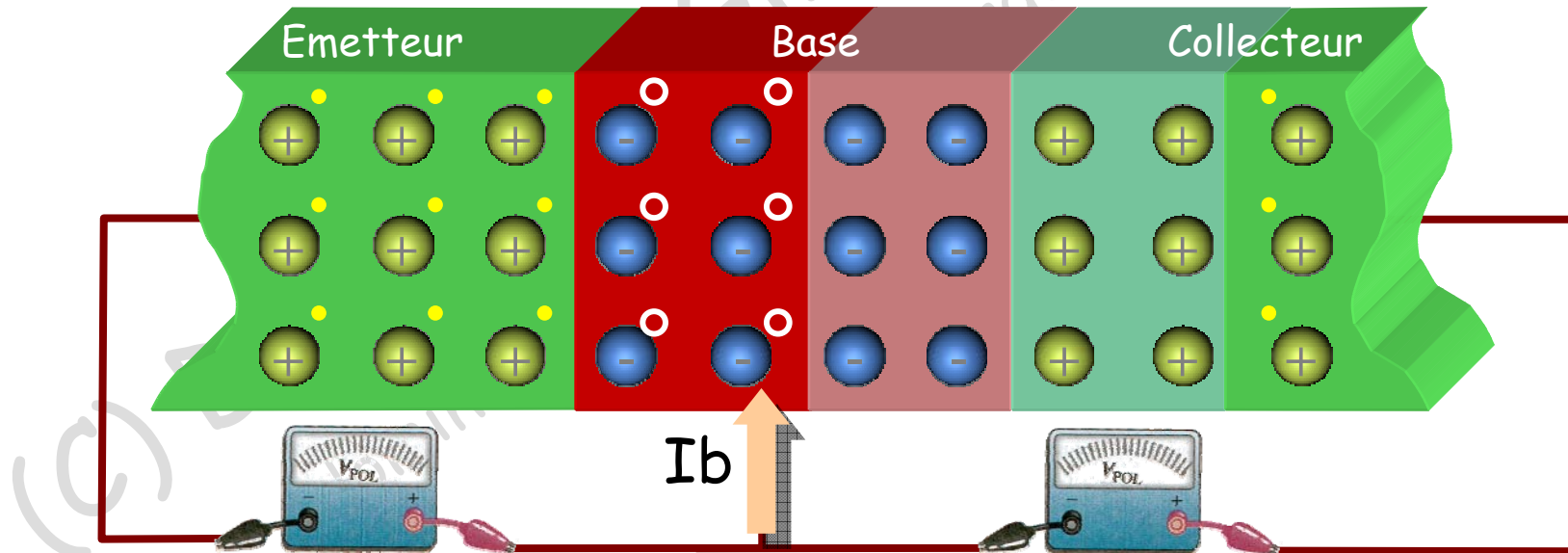
- ✓ La jonction EB est **passante** et **dissymétrique** (dopage plus élevé du côté E)
 - ✓ Le courant dans EB est constitué essentiellement **d'électrons**
- ✓ La jonction BC est **bloquée** \Rightarrow **champ électrique** E intense à l'interface BC
- ✓ Les **électrons injectés** par l'émetteur dans la base sont **collectés** par le champ électrique et **traversent la jonction BC** ($I_c \sim I_e$)



Au niveau de la base

Fonctionnement :

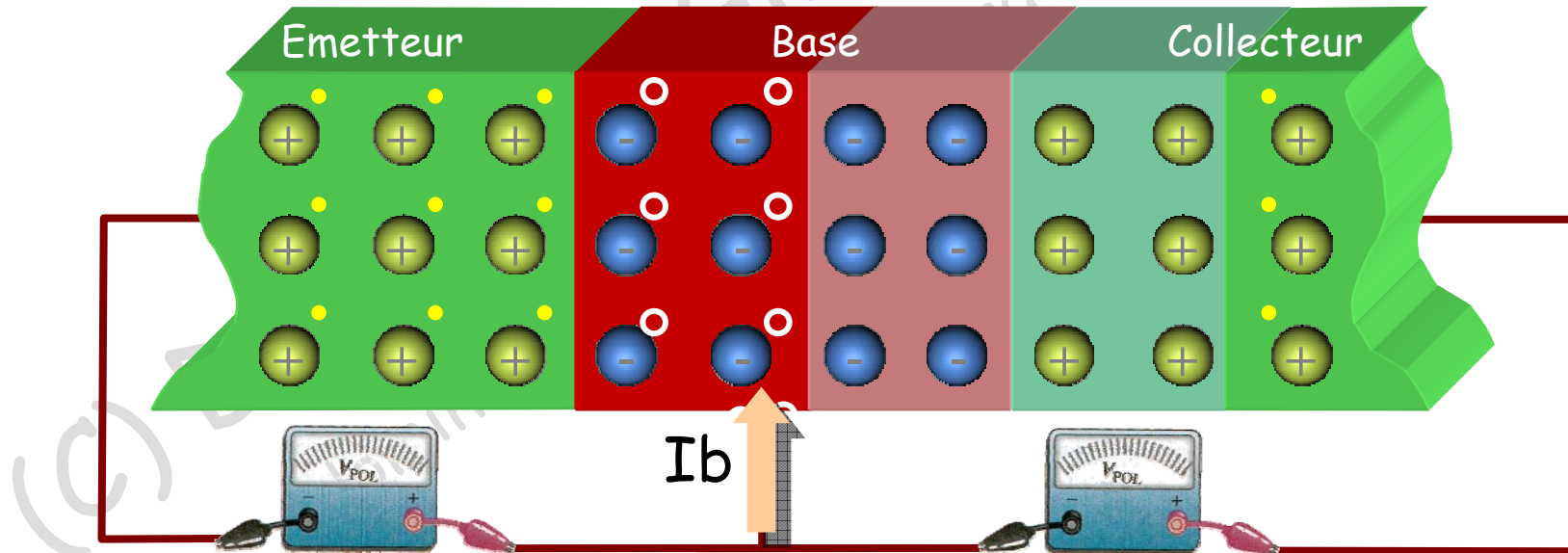
- ✓ Le courant dans EB est constitué essentiellement d'électrons
- ✓ Ce courant contient également une faible quantité de trous qui vont de la base vers l'émetteur du fait du dopage même faible de la base



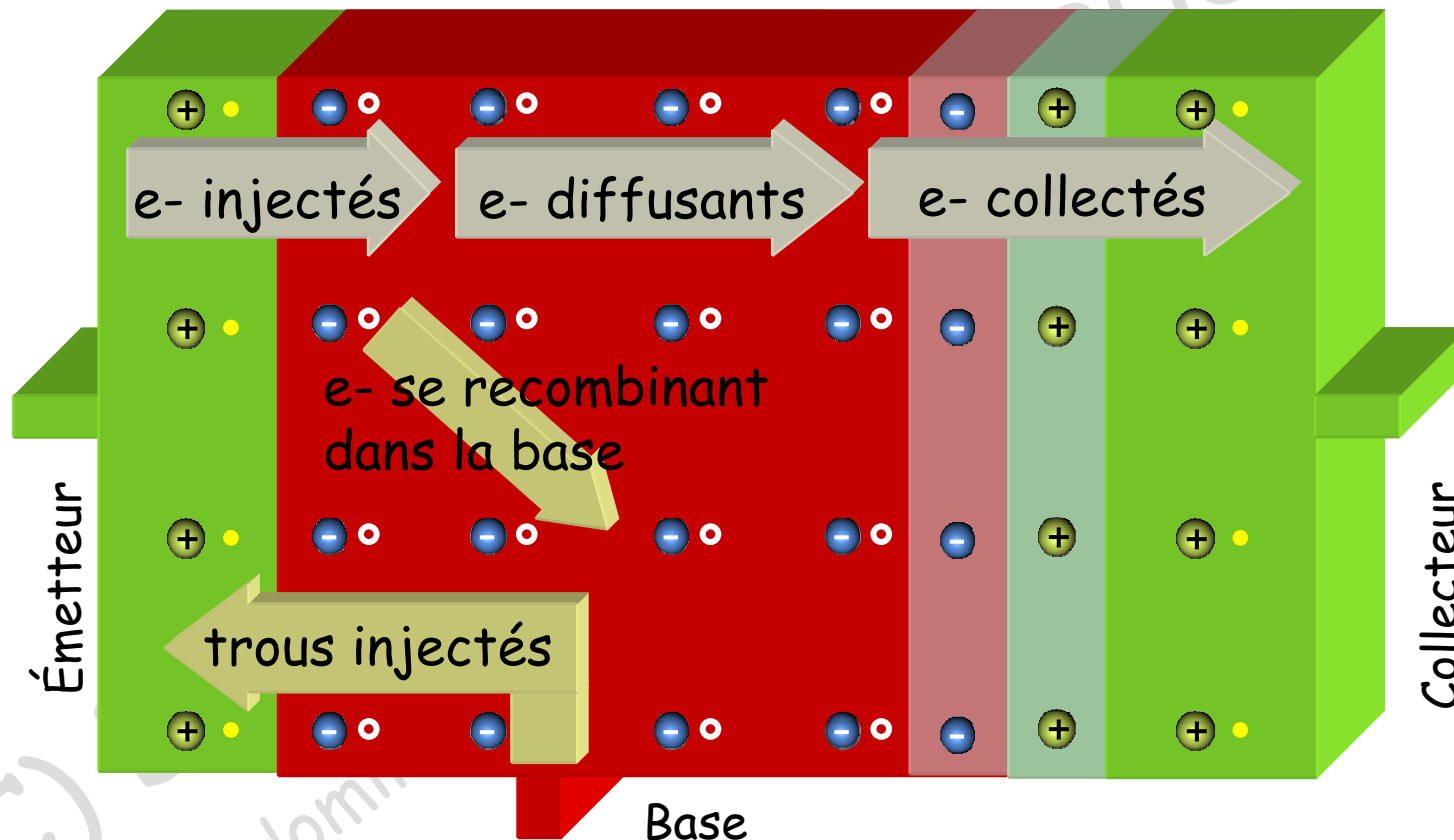
Au niveau de la base (2)

Fonctionnement :

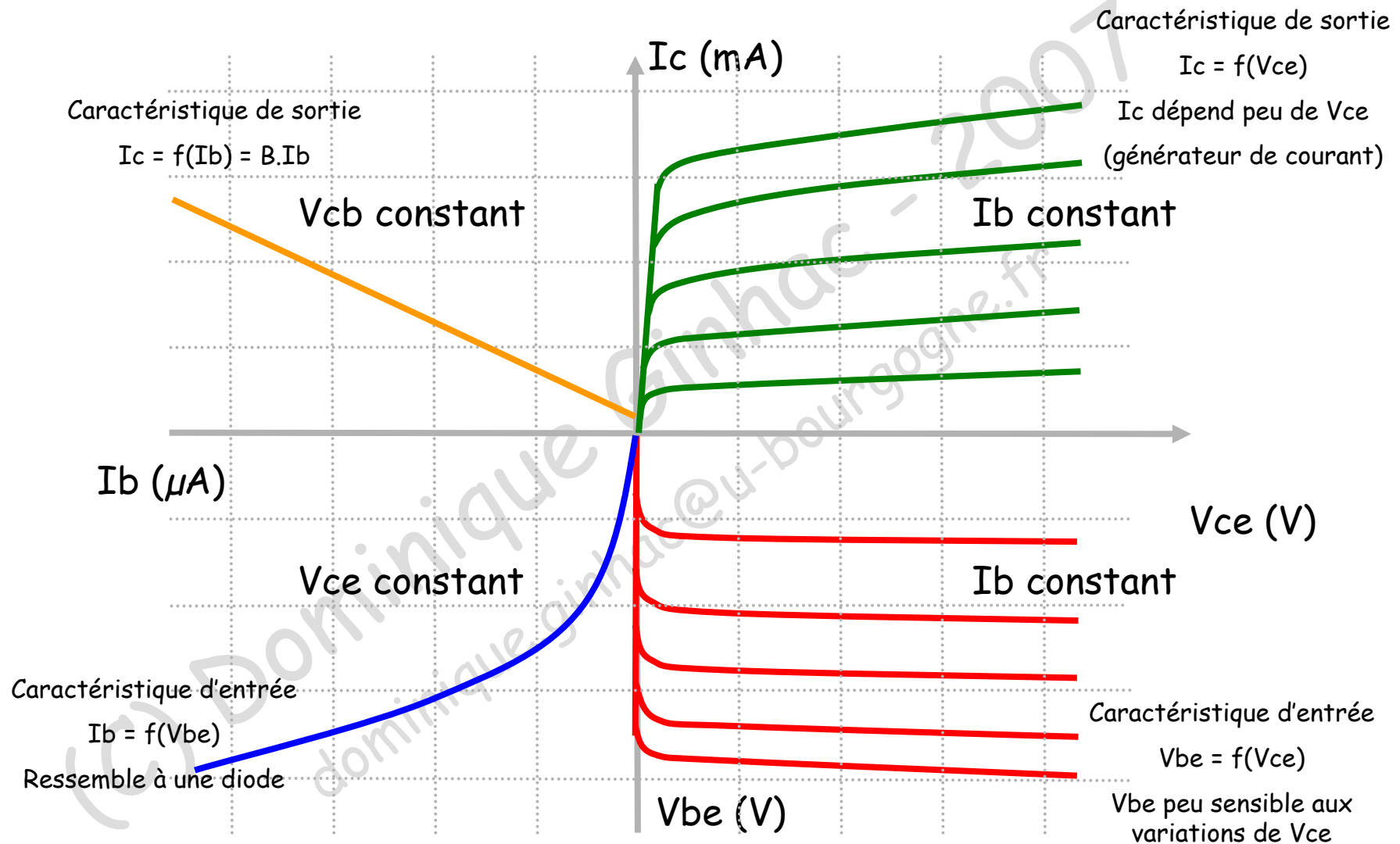
- ✓ Certains **électrons injectés** par l'émetteur se **recombinent** dans la base avec des trous
- ✓ Cela entraîne la création d'un **courant de trous « recombinaisons »**



En résumé



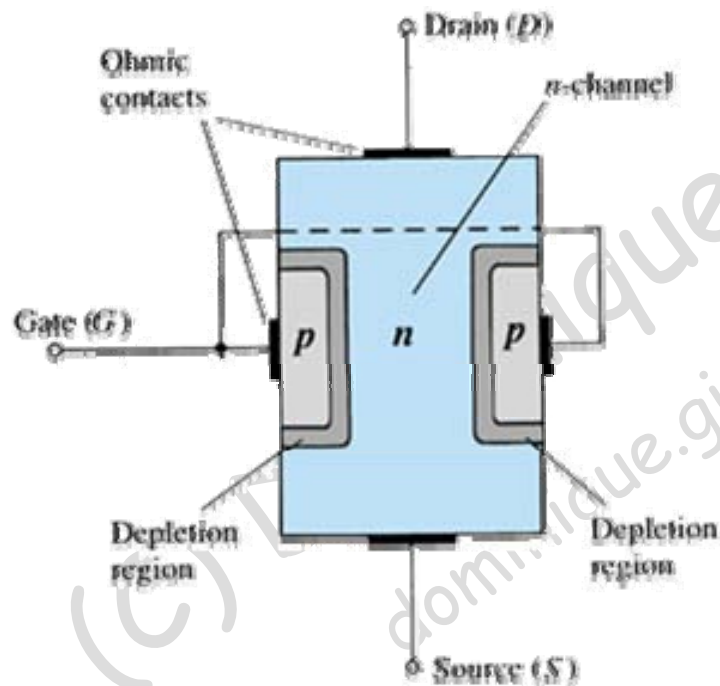
Caractéristiques



Le transistor à effet de champ

Structure simplifiée :

Le transistor à **effet de champ** (Junction Field Effect Transistor) est un composant unipolaire constitué d'un **canal à semi-conducteur dopé** dont la conduction est commandée par une tension.



Il existe **2 types de transistors** à effet de champ.

Modifier la section: JFET

$$G = \frac{1}{R} = q \cdot n_d \cdot u_e \cdot \frac{S}{L}$$

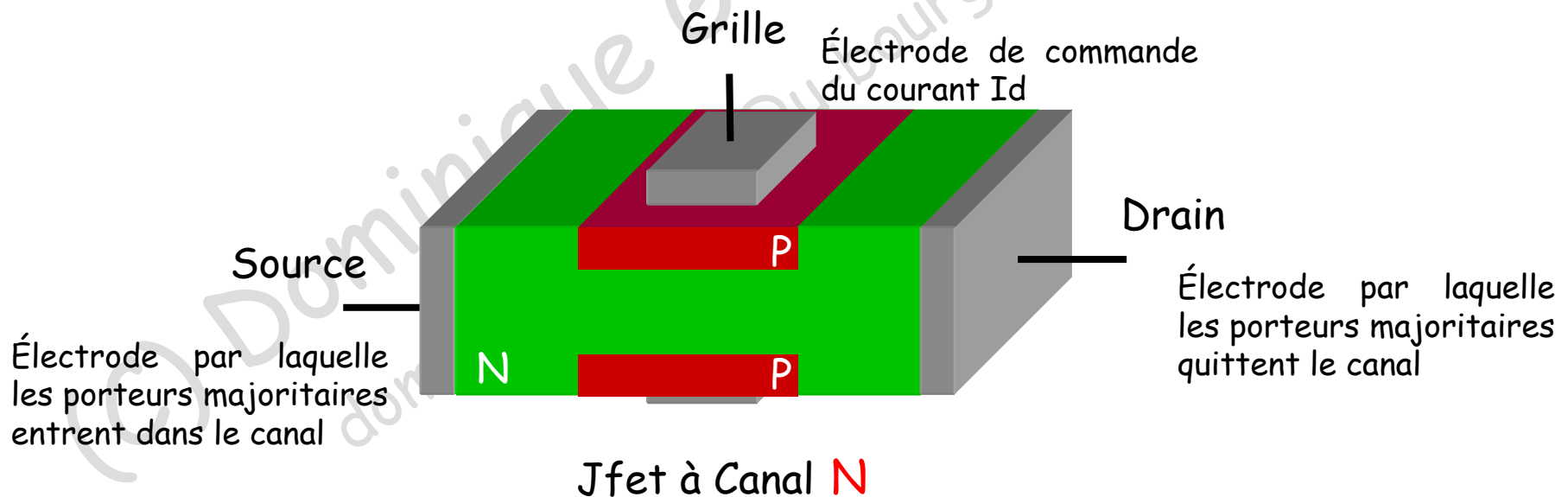
Modifier la densité de porteurs: MOSFET

Le transistor à effet de champ

Structure simplifiée :

Composant à 4 bornes :

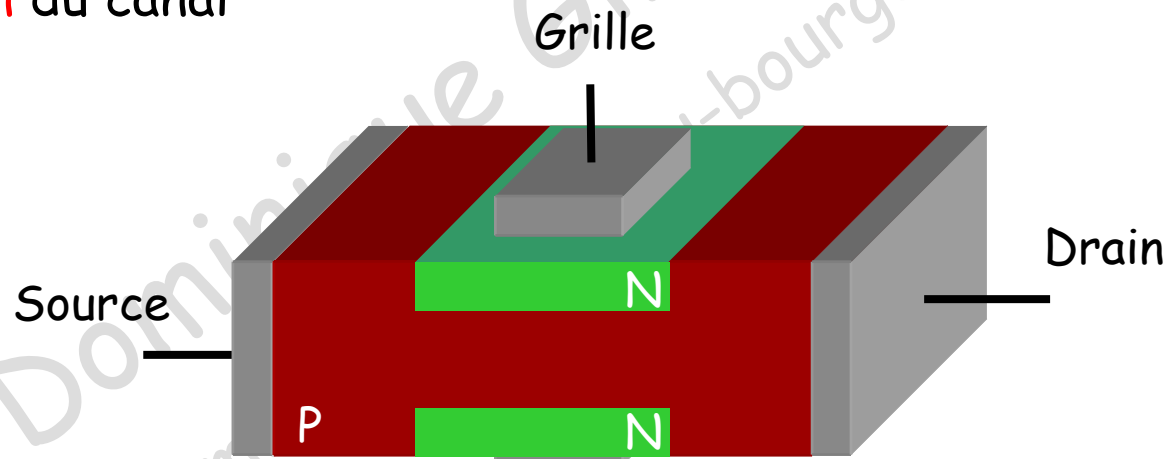
- ✓ **Source** : Injecte les porteurs (e- pour canal N, trous pour canal P)
- ✓ **Drain** : Collecte les porteurs
- ✓ **Grille** : Contrôle le flux de porteurs passant de la Source à la Grille
- ✓ **Substrat** : relié à l'alimentation (Vdd ou Gnd)



Le transistor à effet de champ

Principales différences avec le transistor bipolaire :

- ✓ Source de courant contrôlée par la **tension de Grille**
- ✓ Composant **unipolaire** utilisant uniquement les **porteurs majoritaires** (électrons ou trous)
- ✓ Porteurs ne traversant **aucune jonction** entre la source et le drain
- ✓ Composant fonctionnant avec un **champ électrique** influençant la **section** du canal

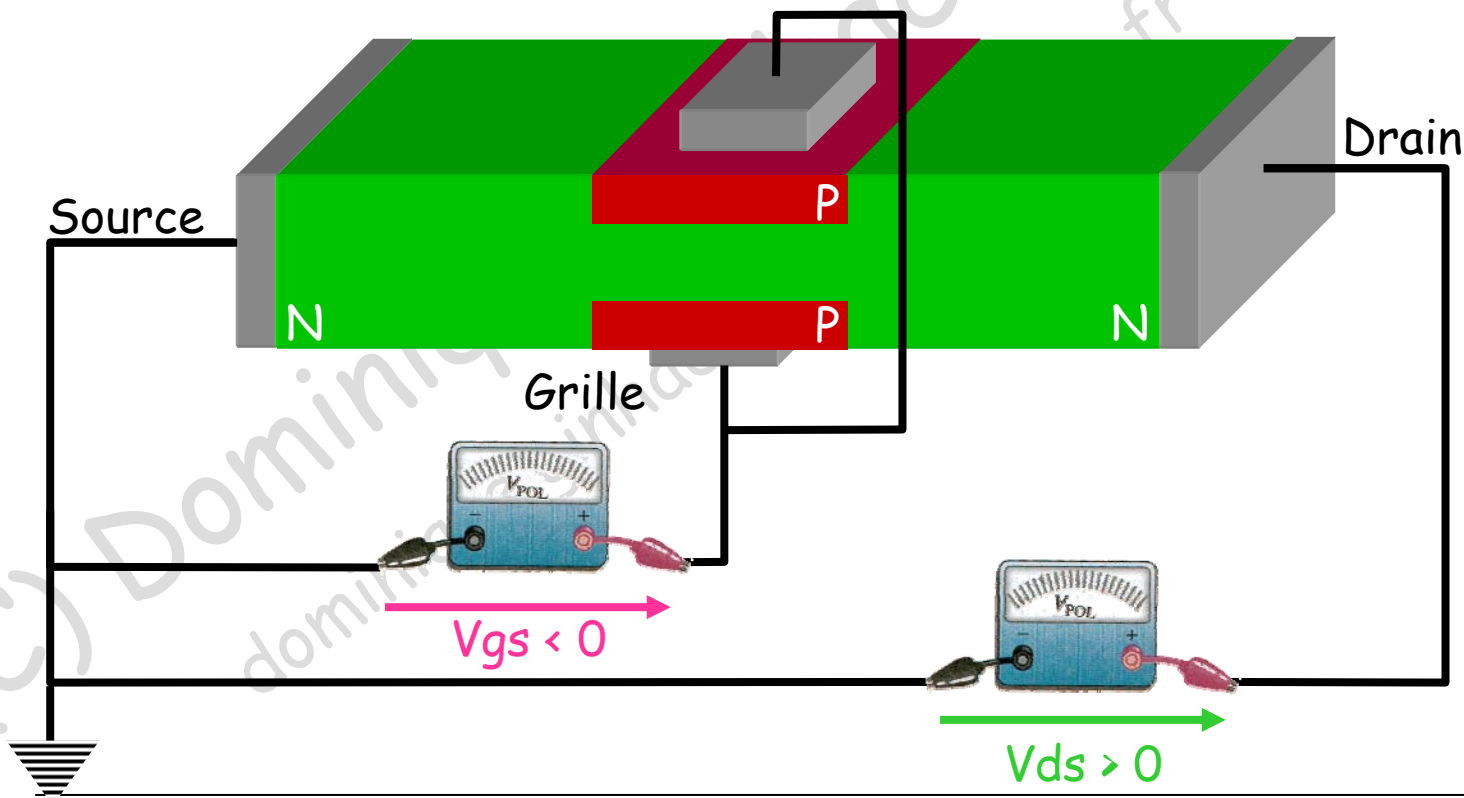


Jfet à Canal **P**

Fonctionnement

Conditions normales de fonctionnement : $V_{gs} < 0$ et $V_{ds} > 0$

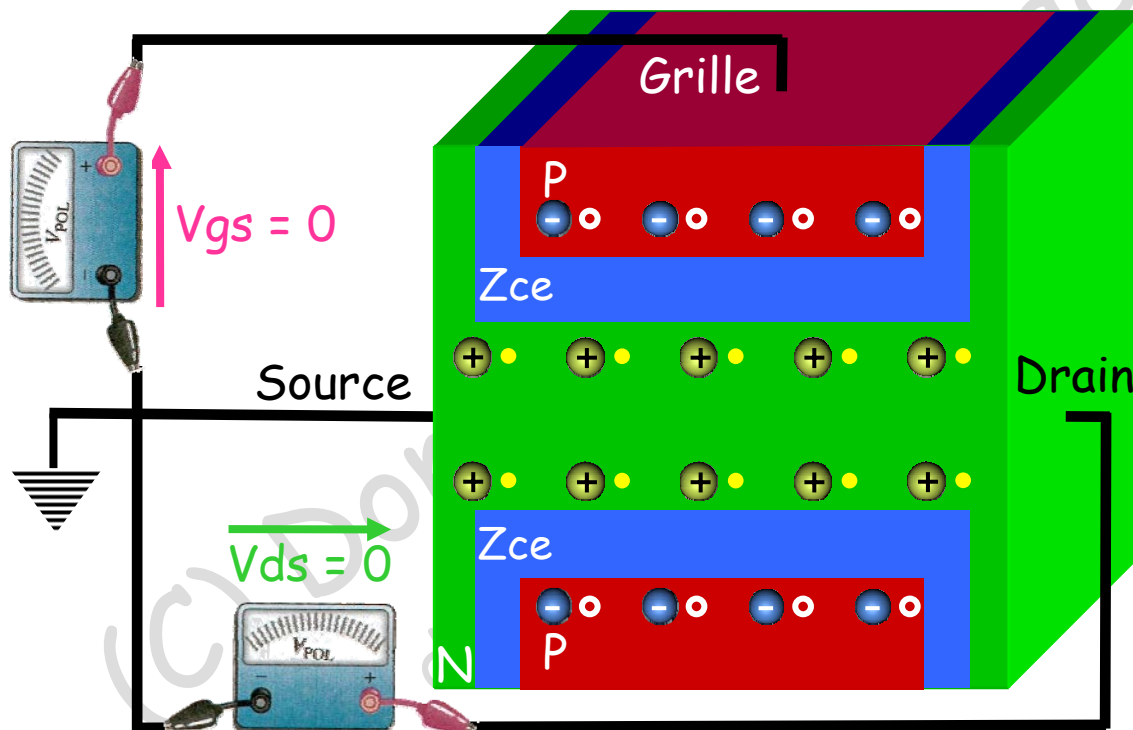
Sous ses conditions, un **courant I_d** peut circuler de la source S au drain D via le « canal » situé de part et d'autre de la grille
Pour une tension V_{ds} donnée, **le courant I_d est commandé par la tension V_{gs}**



Fonctionnement (2)

Cas n°0 : $V_{gs} = 0$ et $V_{ds} = 0$

En l'absence de polarisation, **création des 2 ZCE** au niveau des jonctions PN (Grille - Canal)

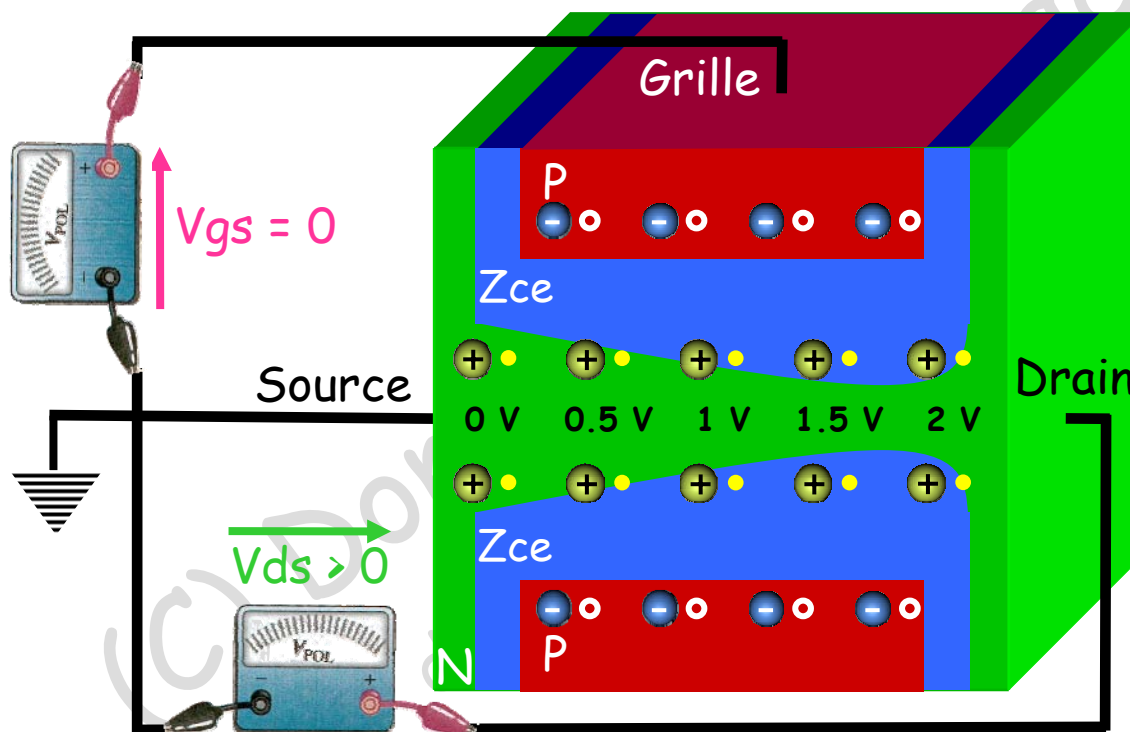


Pour injecter des électrons à partir de la source, faisons varier V_{ds}

Fonctionnement (4)

Cas n°1 : $V_{gs} = 0$ et $V_{ds} > 0$

La tension $V_{ds} > 0$ entraîne une **polarisation inverse plus forte** des jonctions PN au niveau du drain



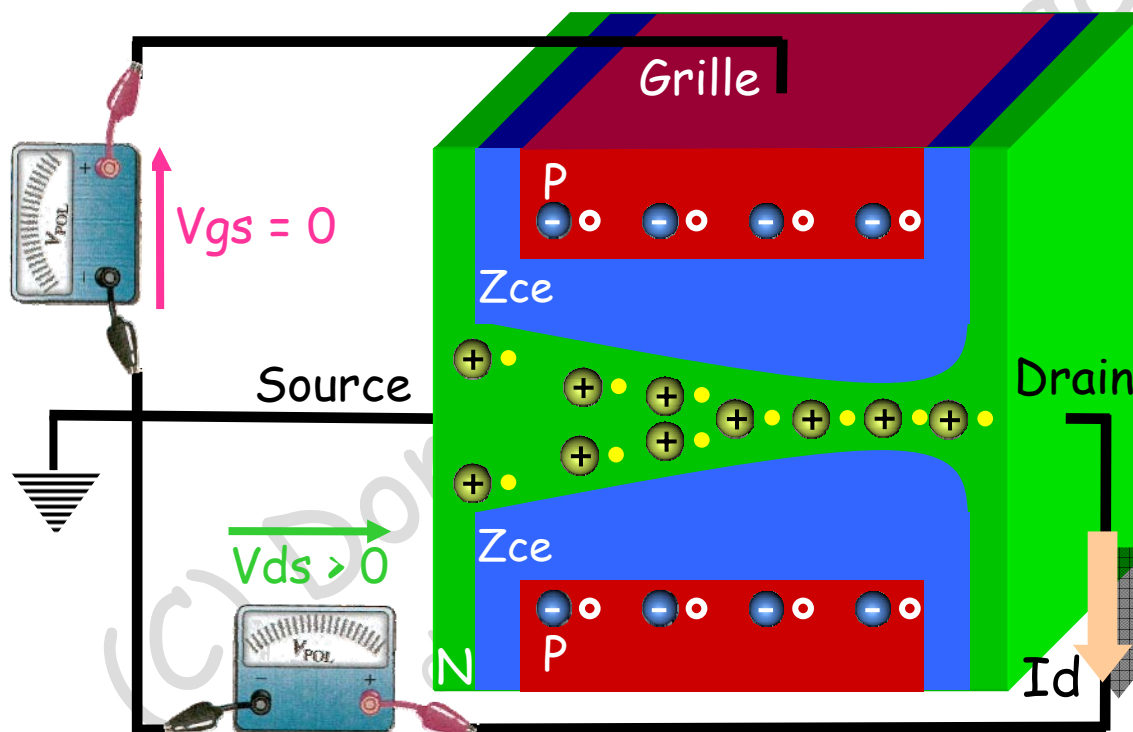
La tension V_{ds} se répartit sous forme de **gradient** entre la **source** et le **drain** (Ex : $V_{ds} = 2V$) et contribue à **augmenter** le **champ électrique**

On assiste à un **élargissement** de la **ZCE** du côté du drain et donc à un **rétrécissement** du **canal**

Fonctionnement (5)

Cas n°1 : $V_{gs} = 0$ et $V_{ds} > 0$

La tension $V_{ds} > 0$ entraîne une **polarisation inverse plus forte** des jonctions PN au niveau du drain



Un courant I_d circule entre la source et le drain

Il est **proportionnel** à la tension V_{ds}

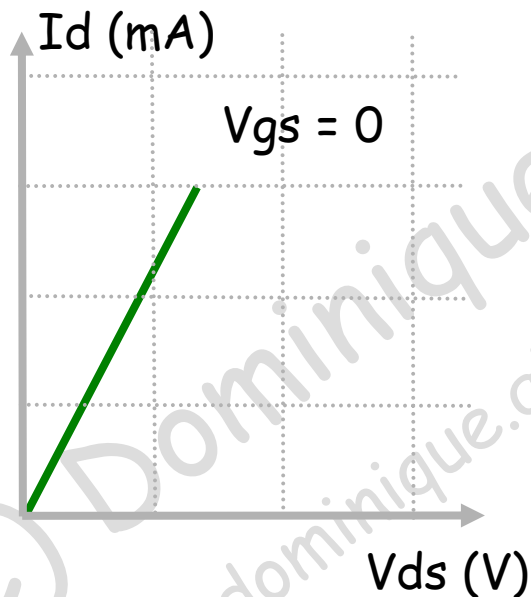
Le transistor est en **régime linéaire** et se comporte comme **une résistance**

$$I_d = f(V_{ds})$$

Fonctionnement (6)

Cas n°1 : $V_{gs} = 0$ et $V_{ds} > 0$

Fonctionnement en régime linéaire



La **pen**te de la courbe dépend :

- ✓ du **do**page du semi-conducteur,
- ✓ de la **lon**gueur du canal,
- ✓ de la **sec**tion du canal.

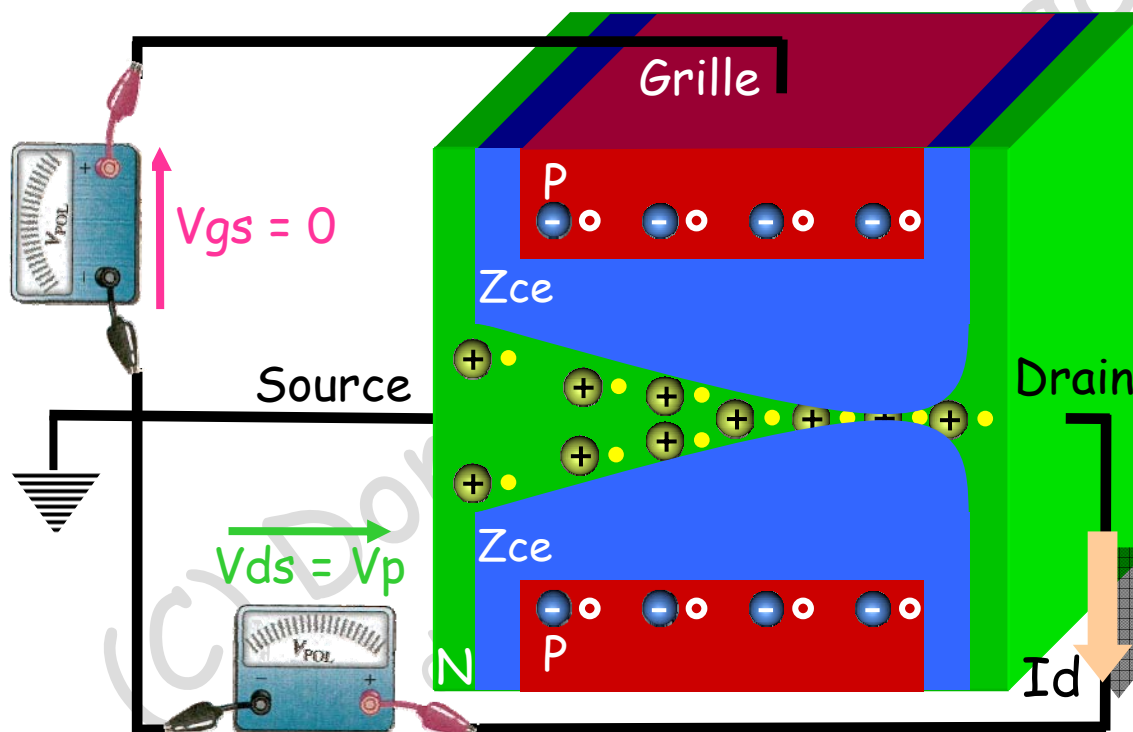


Que se passe t'il si on **aug**mente V_{ds} ?

Fonctionnement (7)

Cas n°2 : $V_{gs} = 0$ et $V_{ds} = V_p$

Si V_{ds} augmente suffisamment (jusqu'à V_p), il se produit un **étranglement du canal** lorsque les ZCE se rejoignent.



V_p : **tension d'étranglement** (ou Pinch-Off)

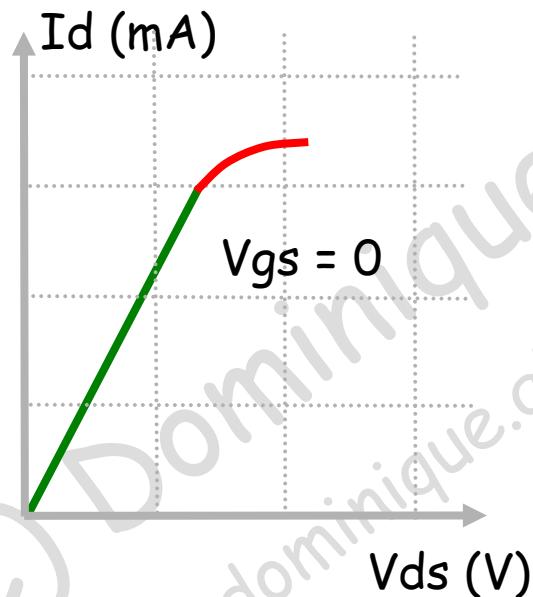
La valeur de V_p dépend de la **géométrie** du transistor

Le courant I_d tend à se **stabiliser**

Fonctionnement (8)

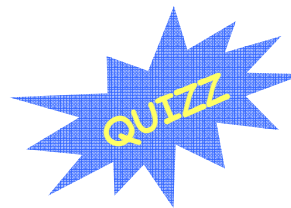
Cas n°2 : $V_{gs} = 0$ et $V_{ds} = V_p$

Fonctionnement en **zone de pincement**



I_d tend :

- ✓ à **augmenter** car V_{ds} est **grand**,
- ✓ à **diminuer** à cause de **l'étranglement** qui freine le passage des électrons.

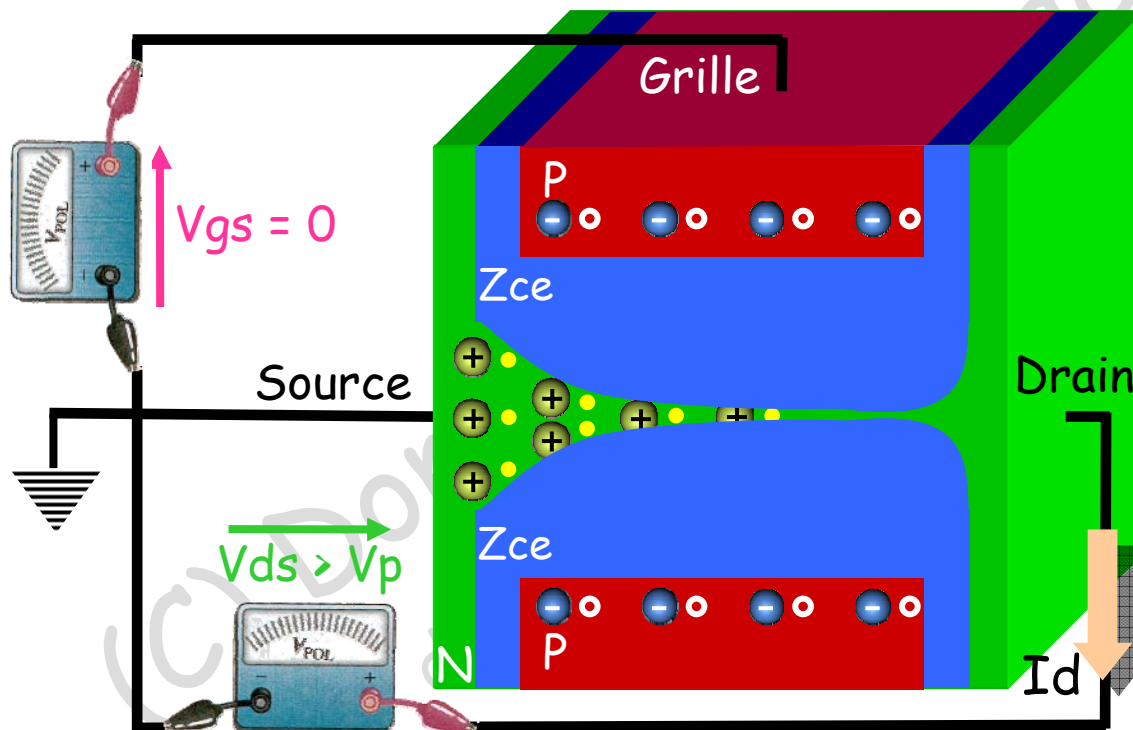


Que se passe t'il si on **augmente** encore V_{ds} ?

Fonctionnement (9)

Cas n°3 : $V_{gs} = 0$ et $V_{ds} > V_p$

Si V_{ds} augmente encore (au-delà de V_p), l'étranglement du canal se déplace vers la source



Fonctionnement en Zone de saturation

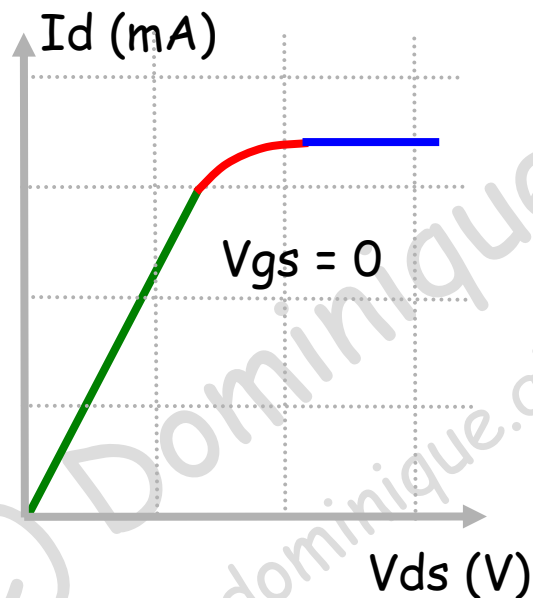
Le courant I_d devient constant (courant de saturation)

Le transistor se comporte en source de courant

Fonctionnement (10)

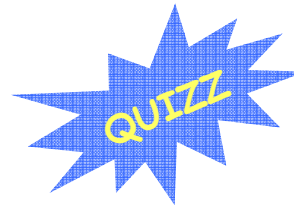
Cas n°3 : $V_{gs} = 0$ et $V_{ds} > V_p$

Fonctionnement en **zone de saturation**



I_d est **constant** (indépendant de la tension V_{ds}) car il existe un **canal minimal** laissant passer les porteurs

Le transistor fonctionne en **source de courant** égale au courant de saturation

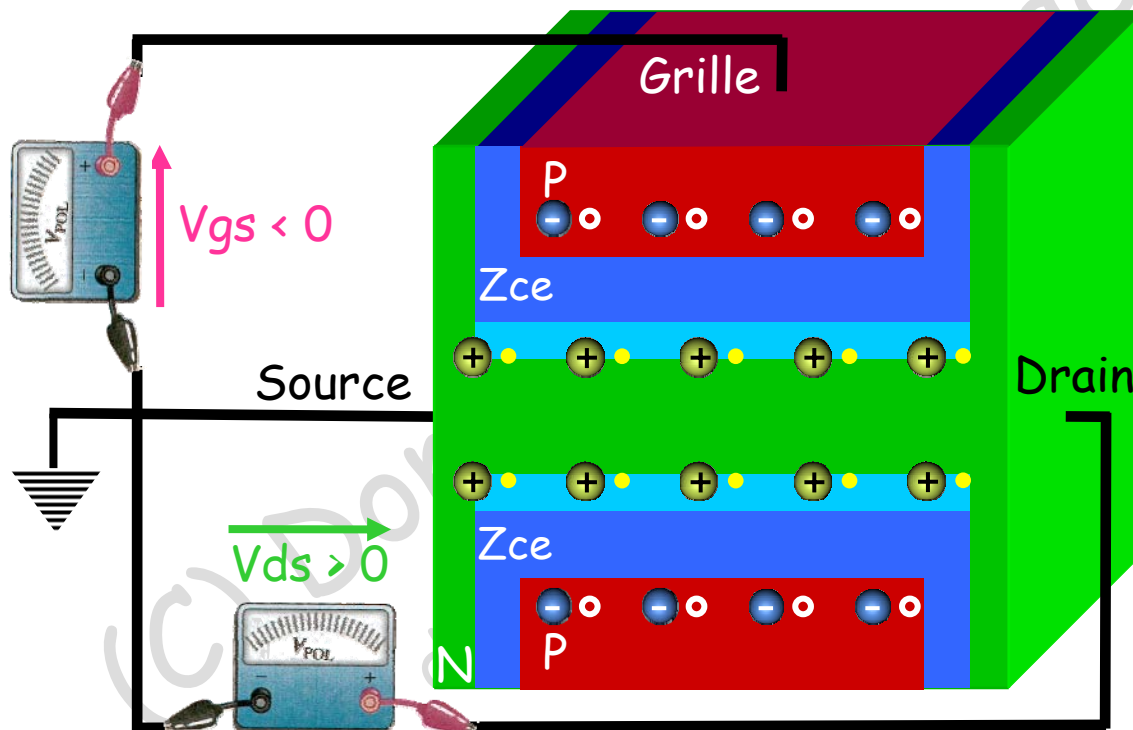


Que se passe t'il si on **augmente** la tension V_{gs} ?

Fonctionnement (11)

Cas n°4 : $V_{gs} < 0$ et $V_{ds} \geq 0$

La tension $V_{gs} < 0$ influence directement (indépendamment de V_{ds}) la taille du canal en augmentant la polarisation inverse des jonctions PN



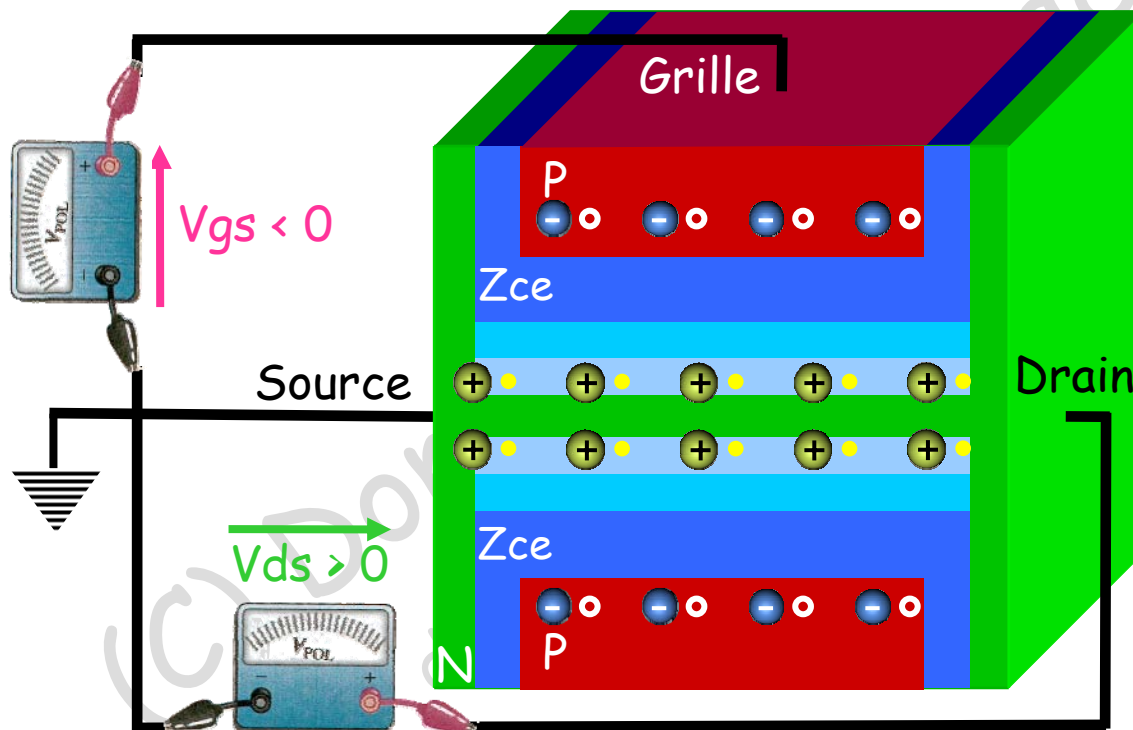
$$V_{gs} = 0 \text{ V}$$

$$V_{gs} = -0.5 \text{ V}$$

Fonctionnement (12)

Cas n°4 : $V_{gs} < 0$ et $V_{ds} \geq 0$

La tension $V_{gs} < 0$ influence directement (indépendamment de V_{ds}) la taille du canal en augmentant la polarisation inverse des jonctions PN



$$V_{gs} = 0 \text{ V}$$

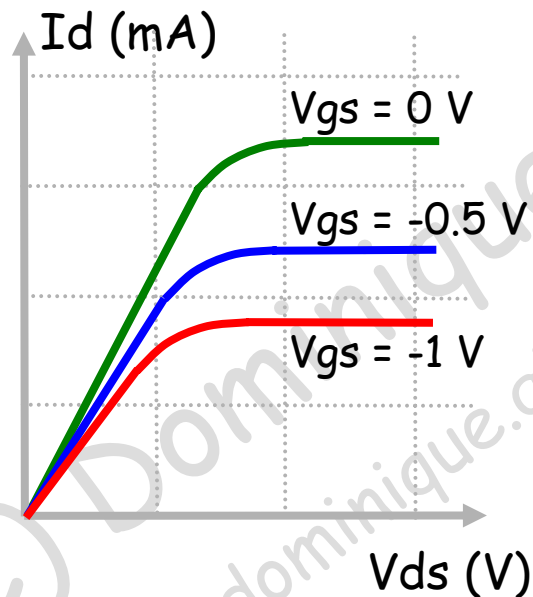
$$V_{gs} = -0.5 \text{ V}$$

$$V_{gs} = -1 \text{ V}$$

Fonctionnement (13)

Cas n°4 : $V_{gs} < 0$ et $V_{ds} > 0$

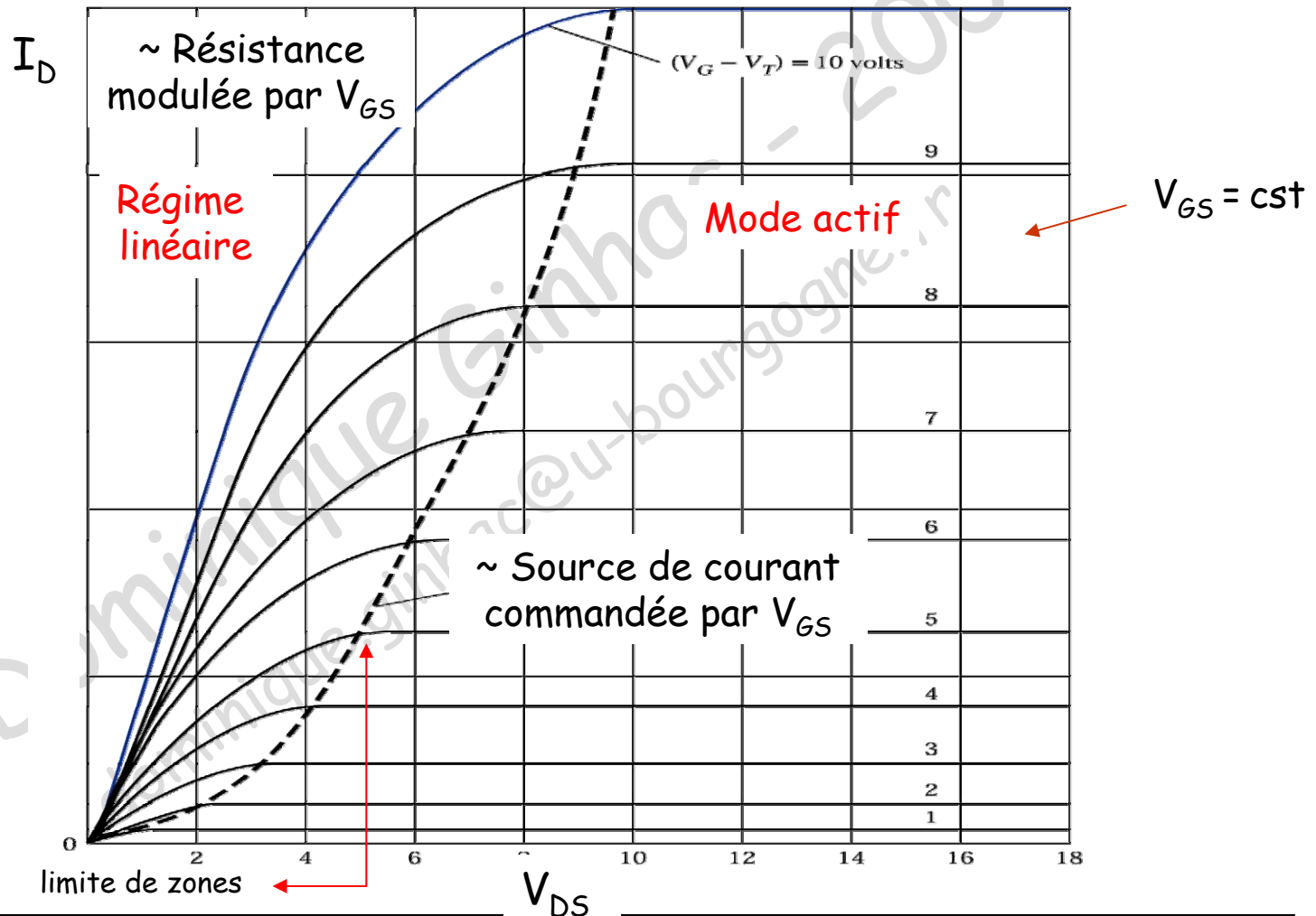
Apparition du **phénomène de pincement** plus rapide



La valeur de $V_{gs} < 0$ influence directement le **pincement du canal** et le phénomène de **saturation de I_d**

Fonctionnement (14)

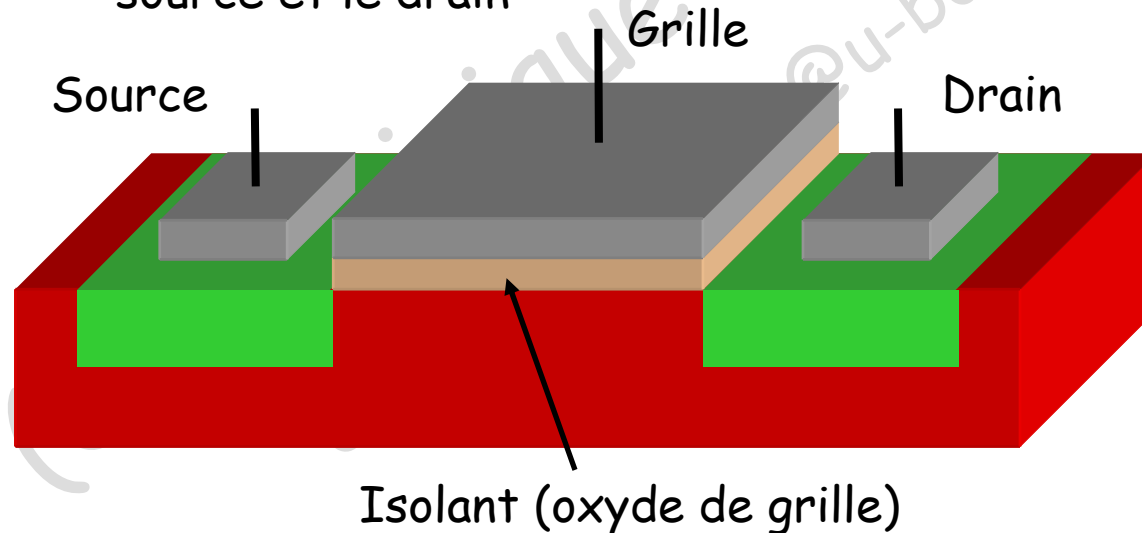
En résumé :



Le Transistor MOS

Principales caractéristiques de la structure MOS

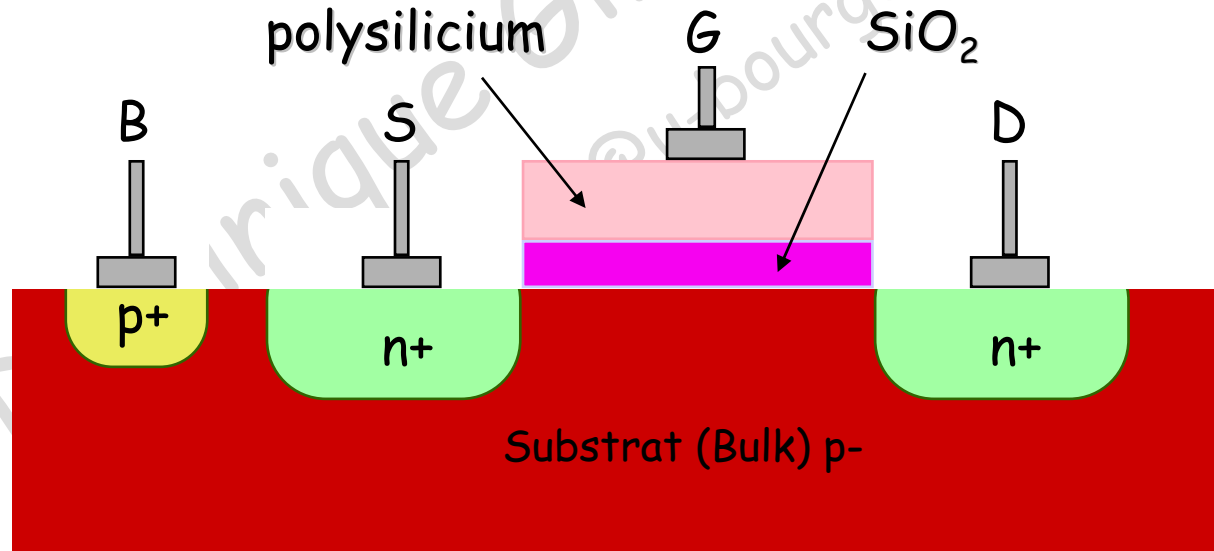
- ✓ Le Transistor **MOS** (Metal Oxyde Semiconductor) est un transistor à effet de Champ
- ✓ A l'origine, la grille était en **Aluminium** d'où le nom MOS. Aujourd'hui, elle est en polysilicium
- ✓ La grille et le canal forment un **condensateur à « plaques parallèles »**, l'isolant étant l'oxyde du silicium.
- ✓ A l'origine, le **transistor est bloqué** car aucun canal n'existe entre la source et le drain



Le Transistor MOS

Principales caractéristiques d'un transistor NMOS

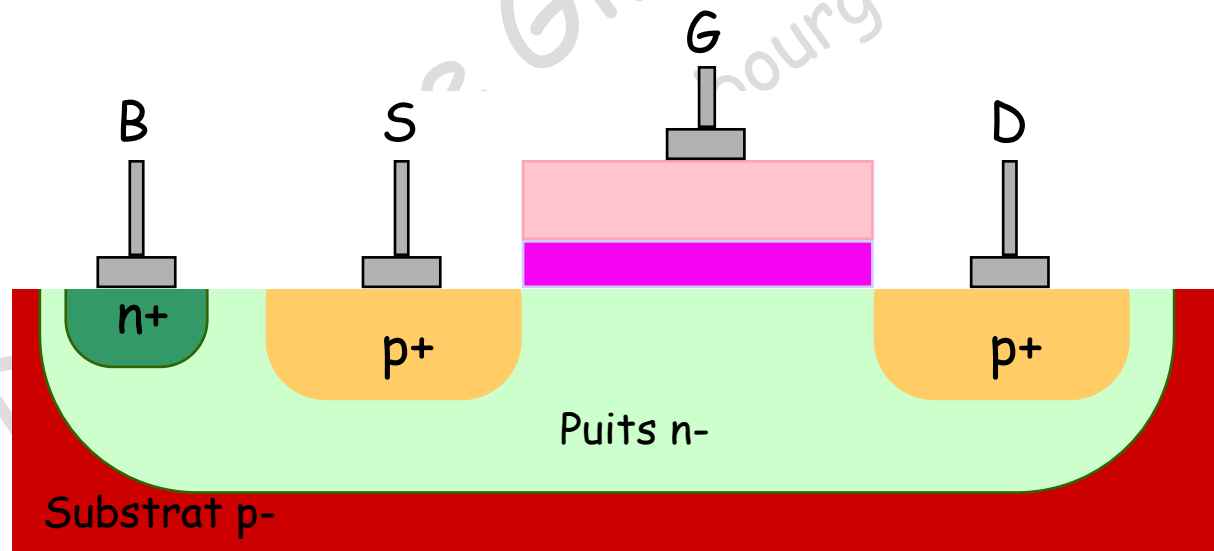
- ✓ Substrat en Silicium dopé P (Bore) d'épaisseur $\approx 500\mu\text{m}$ $N_{\text{DOP}} = 10^{15} \text{ at./cm}^3$
- ✓ Oxyde de grille en SiO_2 (qq 10nm) et Polysilicium de grille ($\approx 0.4 \mu\text{m}$)
- ✓ Diffusion n+ (ou p+) : $\approx 0.4\mu\text{m}$ $N_{\text{DOP}} = 10^{19} \text{ à } 10^{20} \text{ at./cm}^3$
- ✓ Connexion du substrat à la masse pour bloquer les jonctions PN SB et DB



Le Transistor MOS

Principales caractéristiques d'un transistor PMOS

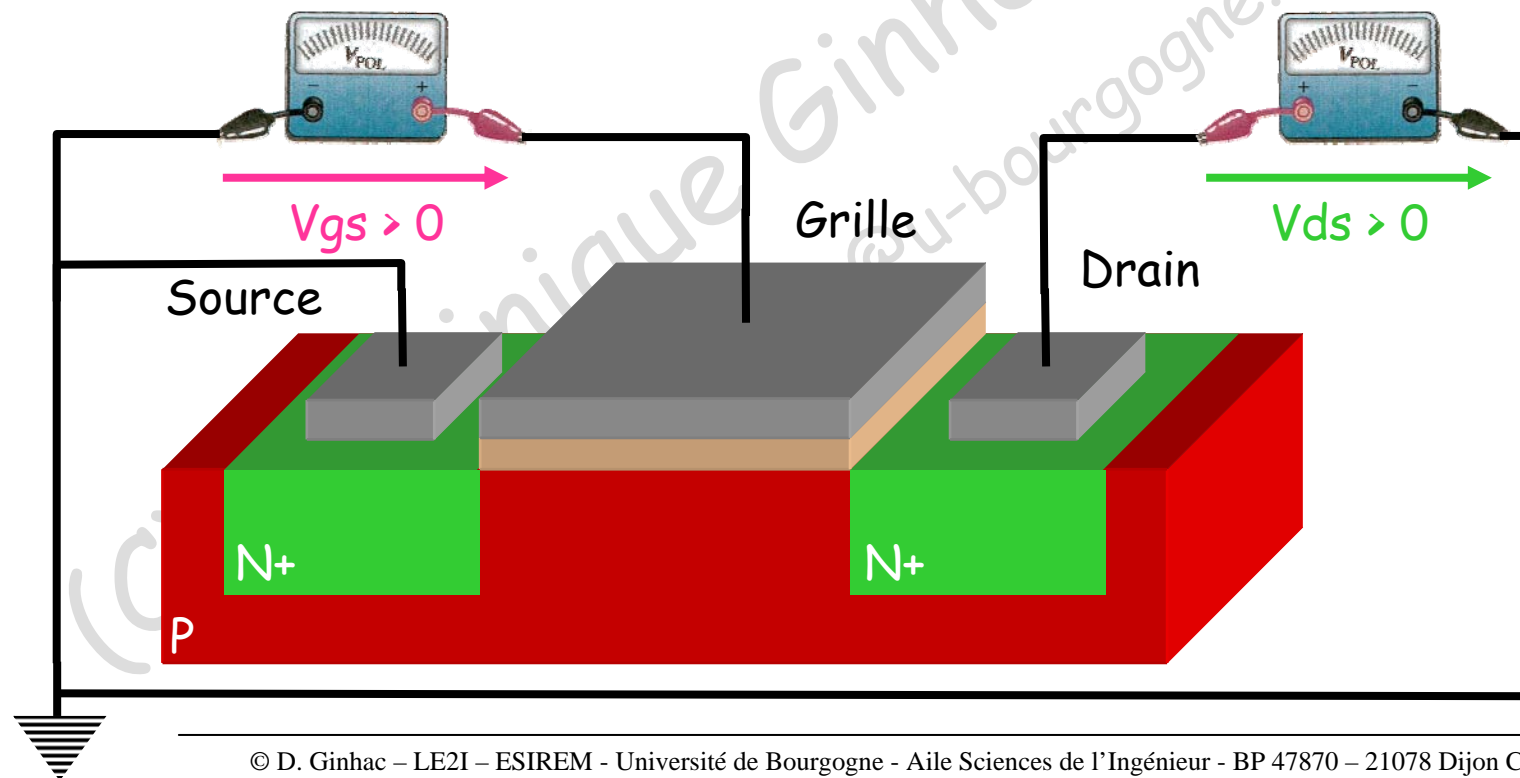
- ✓ Caractéristiques identiques à celles d'un NMOS
- ✓ Transistor réalisé sur le même substrat de type P avec l'utilisation d'un Puits (Caisson) de type N (N-Well) de faible dopage (10^{16} At/cm^3)
- ✓ Caisson relié à l'alimentation Vdd pour bloquer les diodes SB et SD



Fonctionnement d'un NMOS

Conditions normales de fonctionnement : $V_{gs} > 0$ et $V_{ds} > 0$

Sous ses conditions, un courant I_d peut circuler de la source S au drain D via le « canal » qui va se créer sous l'oxyde de grille.
La variation du courant I_d s'effectue en faisant varier la densité des porteurs dans le canal et non la surface

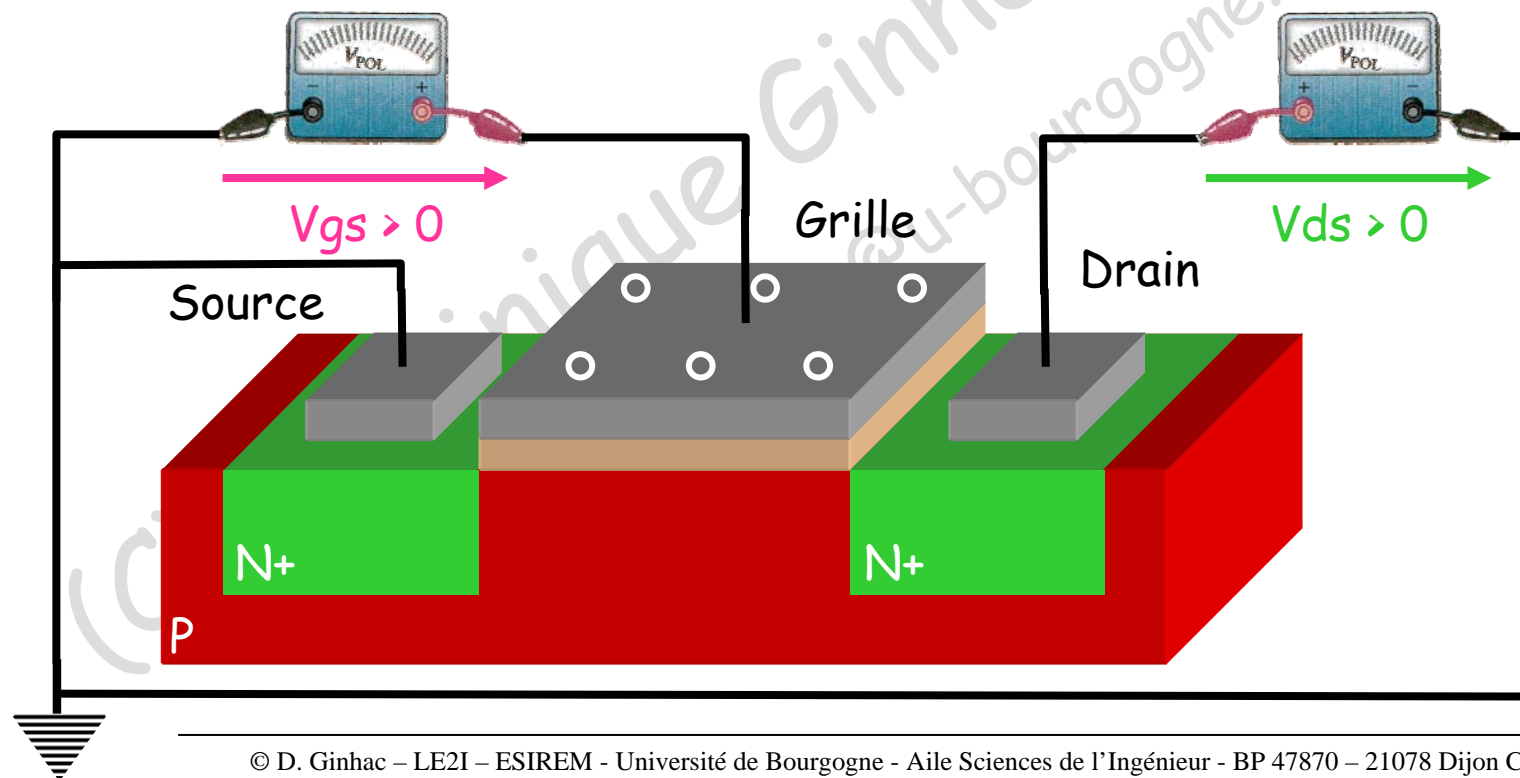


Fonctionnement d'un NMOS (2)

Conditions normales de fonctionnement : $V_{gs} > 0$

La tension V_{gs} positive va permettre l'accumulation de charges positives sur la grille du transistor MOS

Cette accumulation est possible à cause de la capacité MOS constituée de la Grille (armature 1), de l'oxyde de grille (isolant) et du substrat (armature 2)

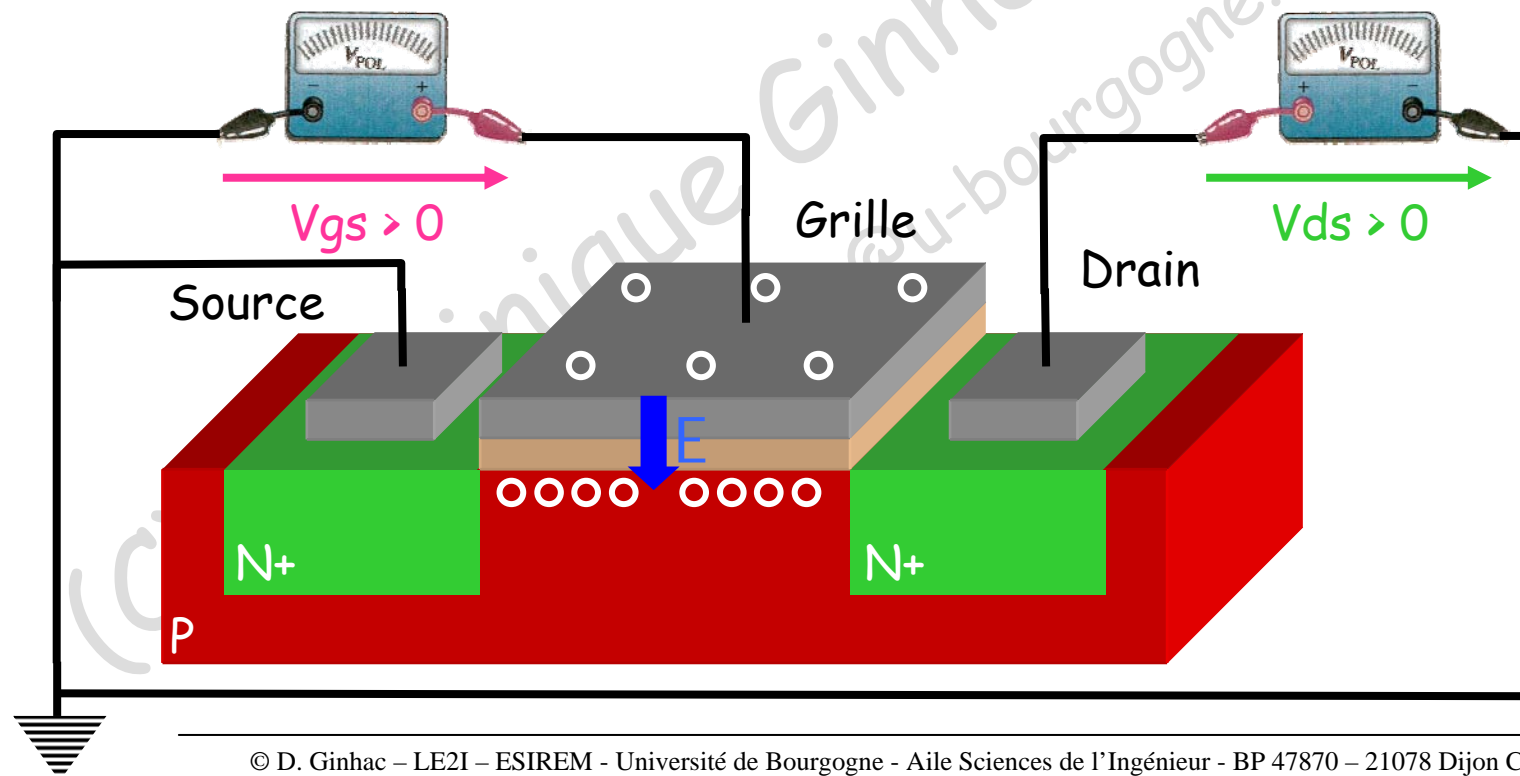


Fonctionnement d'un NMOS (3)

Conditions normales de fonctionnement : $V_{gs} > 0$

La différence de potentiel entre Grille et Substrat entraîne la création d'un champ électrique E aux bornes de la capacité MOS :

- ✓ qui repousse les porteurs majoritaires (trous) loin de la grille
- ✓ qui attire les porteurs minoritaires (e^-) du substrat près de la grille

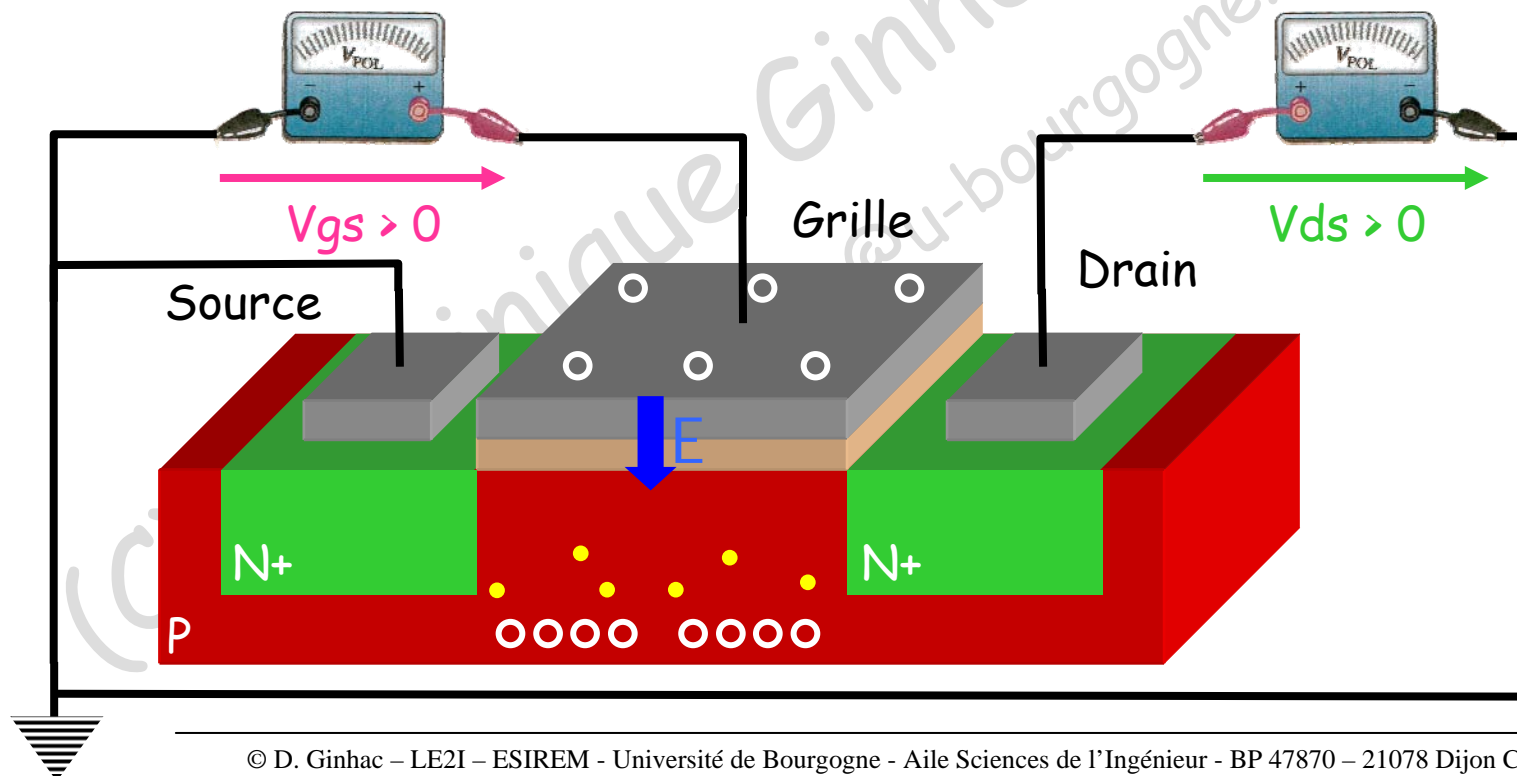


Fonctionnement d'un NMOS (4)

Conditions normales de fonctionnement : $V_{gs} > 0$

La différence de potentiel entre Grille et Substrat entraîne la création d'un champ électrique E aux bornes de la capacité MOS :

- ✓ qui repousse les porteurs majoritaires (trous) loin de la grille
- ✓ qui attire les porteurs minoritaires (e^-) du substrat près de la grille

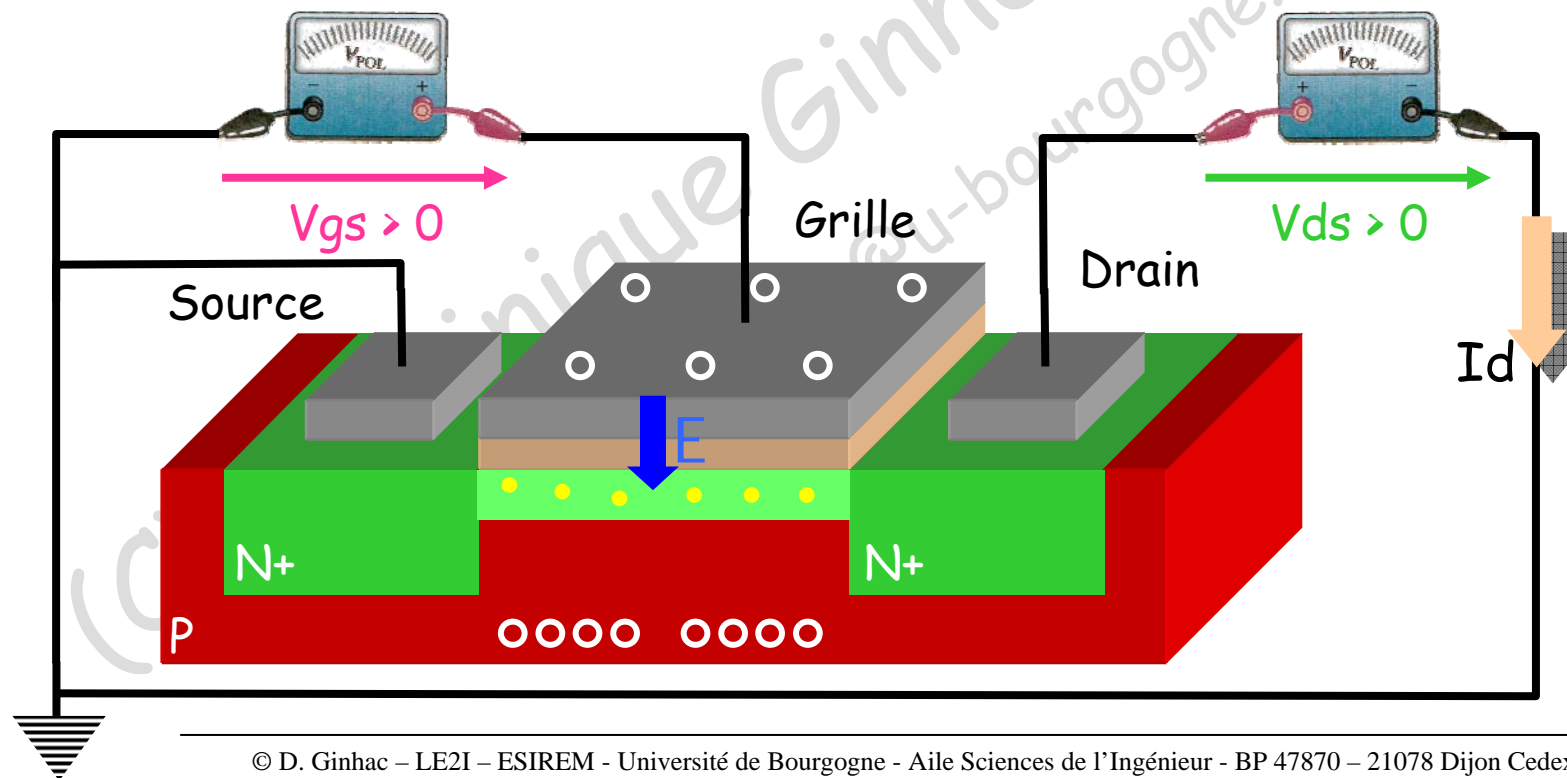


Fonctionnement d'un NMOS (5)

Conditions normales de fonctionnement : $V_{gs} > 0$ et $V_{ds} > 0$

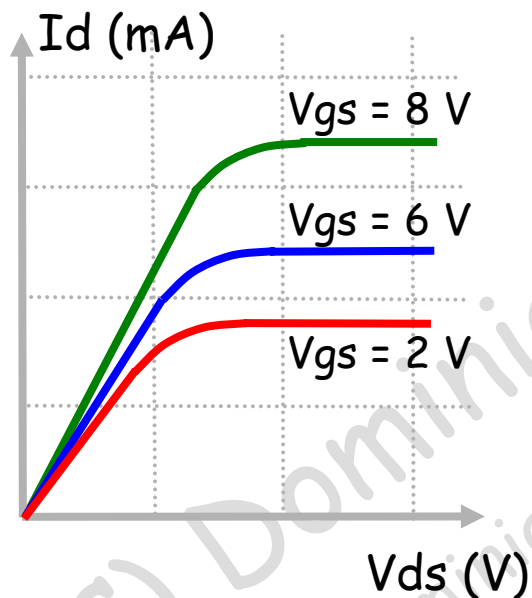
Une **couche d'inversion** (canal) se crée sous la grille permettant de relier la source au drain.

L'application d'une tension $V_{ds} > 0$ permet au courant **I_d de circuler**



Caractéristiques

Caractéristiques similaires à celles d'un transistor JFET



Cas 1 : Transistor bloqué

Pour V_{gs} très faible ($V_{gs} < V_{th}$) il n'existe pas de canal et donc pas de courant I_d

Cas 2 : Régime linéaire

Pour $V_{gs} > V_{th}$ et V_{ds} faible, le courant I_d est modulé par la tension de grille

Cas 3 : Régime saturé

Pour $V_{gs} > V_{th}$ et V_{ds} important, le courant I_d devient constant indépendamment de V_{ds}

Caractéristiques

Pour mieux comprendre le fonctionnement :

Comparaison à un robinet d'eau :

La grille est la commande analogue au pas de vis du robinet qui contrôle le débit d'eau (courant) :

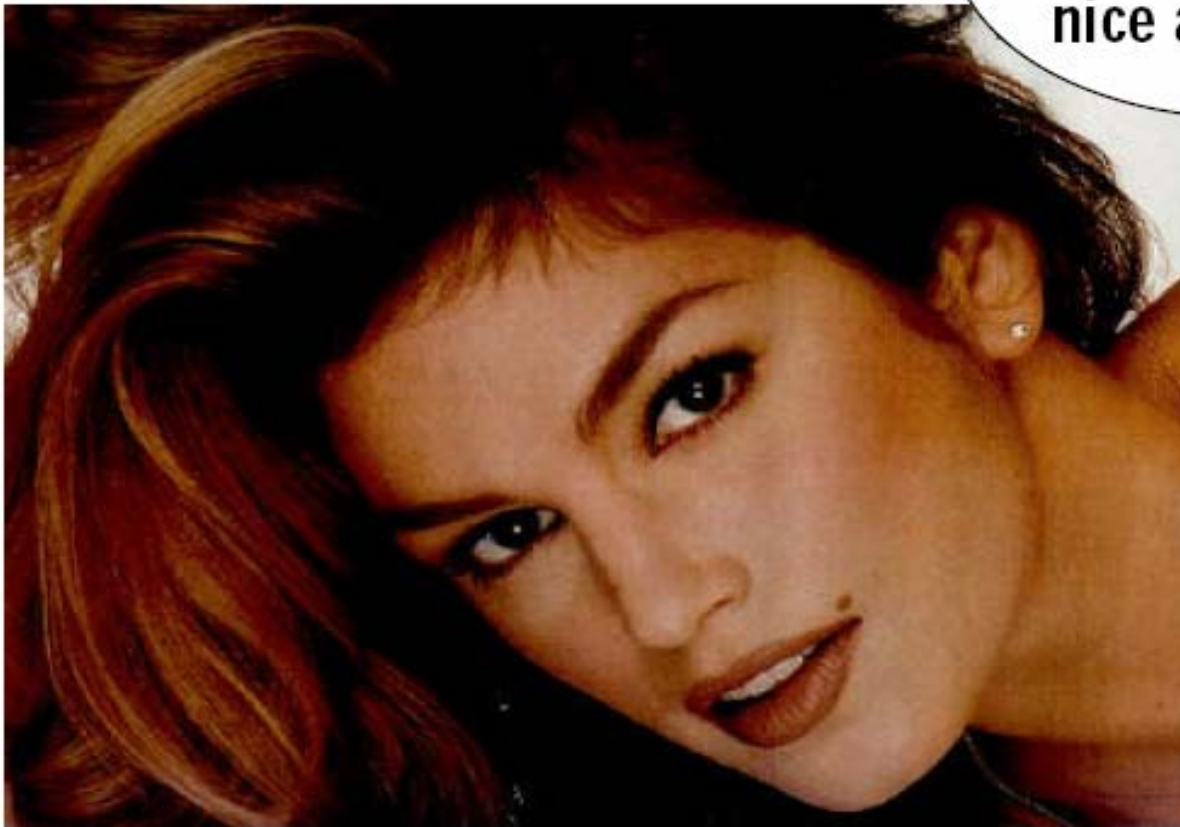
- ✓ Au début, rien ne se passe (**transistor bloqué**)
- ✓ Après un quart de tour, un faible filet d'eau coule. Puis, le courant augmente rapidement dès qu'on tourne un peu le robinet. (**régime linéaire**)
- ✓ Enfin, malgré des tours dans le vide, le débit d'eau n'augmente plus... (**régime de saturation**)

Si on veut augmenter le débit du robinet, il faut augmenter le diamètre du tuyau (c'est-à-dire augmenter la tension V_{gs}).



Modélisation du transistor MOS

The MOSFET model



Wow !
Are device models as
nice as Cindy ?

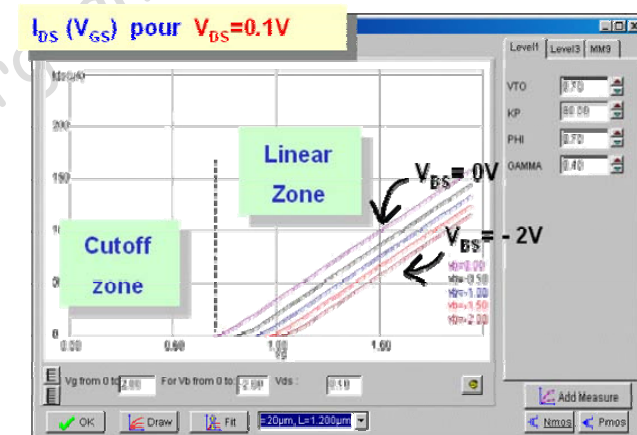
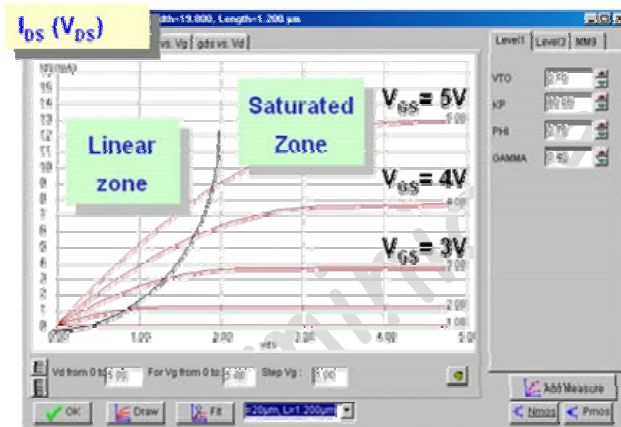


Modélisation du transistor MOS

Qu'est ce qu'un modèle de transistor MOS ?

Ensemble d'équations qui lient tensions et courants, afin de simuler et prédire le comportement d'un transistor.

Objectif : calculer le courant I_{DS} entre le drain et la source en fonction des tensions V_b , V_g , V_s et V_d .



Plusieurs caractéristiques sont utilisées : $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$

Elles dépendent de **paramètres** liés à la technologie utilisée

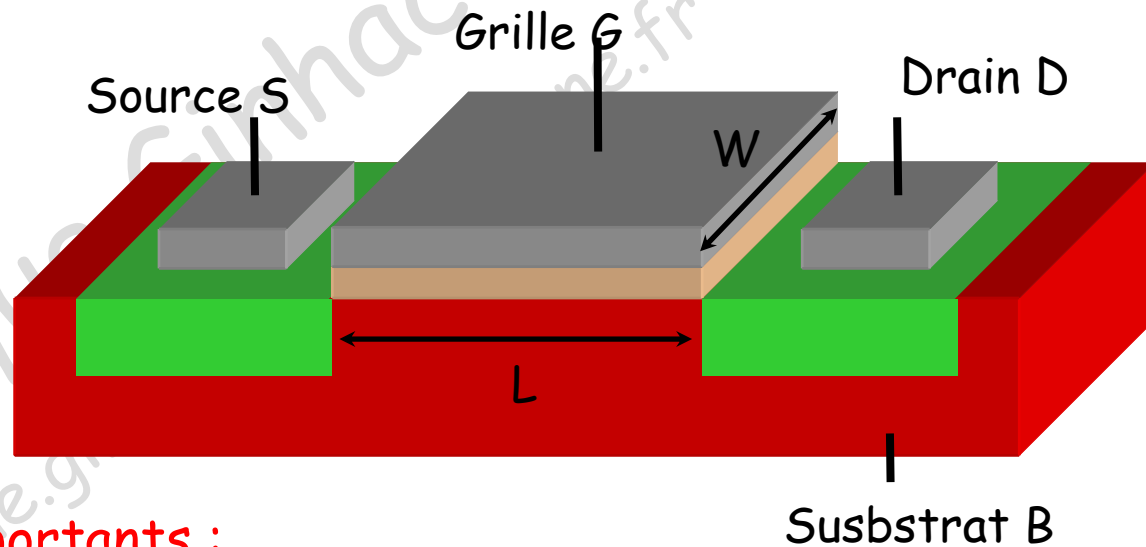
Modélisation du transistor MOS

3 régimes de fonctionnement à étudier

Cas 1 : Transistor **bloqué**

Cas 2 : Régime **linéaire**

Cas 3 : Régime **saturé**



2 paramètres très importants :

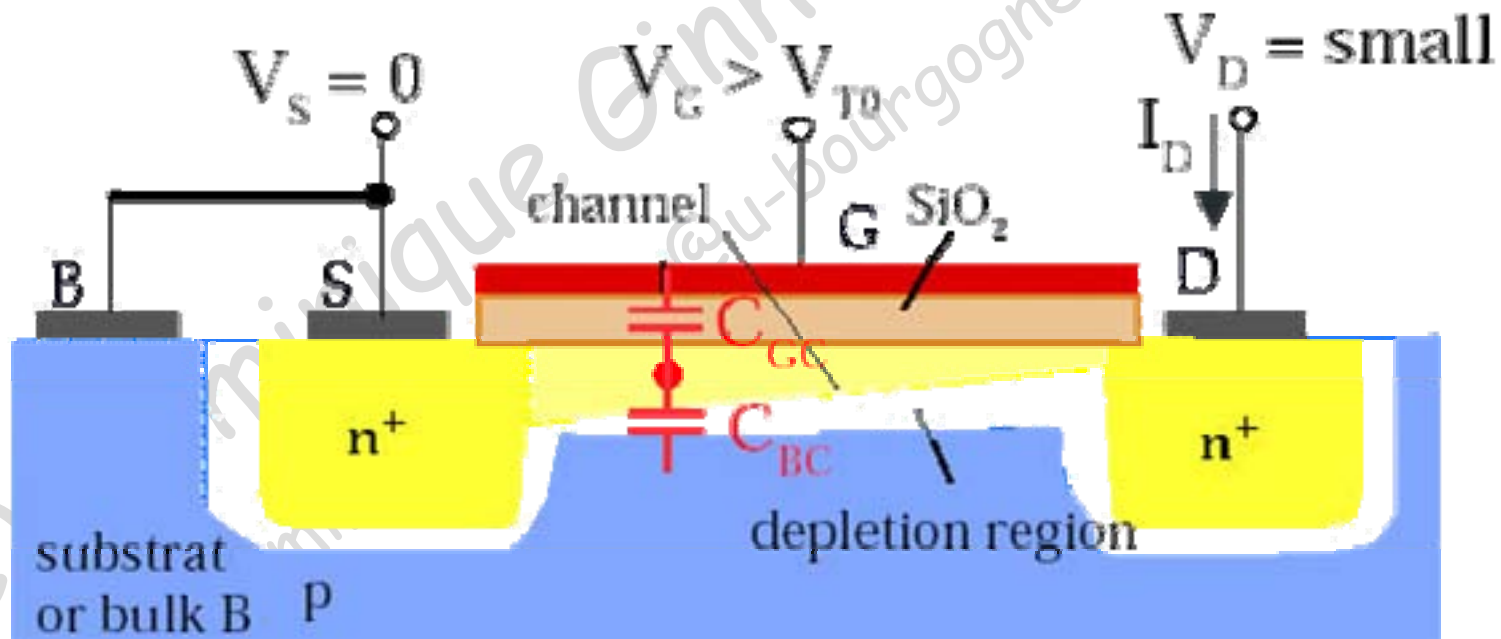
- ✓ **Largeur** L du transistor
- ✓ **Profondeur** W du transistor

Fonctionnement en zone ohmique

En zone ohmique, I_D est fonction du carré de V_{DS}

$$I_D = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot [2 (V_{GS} - V_{TO}) V_{DS} - V_{DS}^2]$$

avec $V_{GS} > V_{TO}$ et $V_{DS} < V_{GS} - V_{TO}$



Fonctionnement en zone ohmique

En zone ohmique, I_D est fonction du carré de V_{DS}

Si on se place à V_{DS} très faible, on peut écrire :

$$I_D = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot [2 (V_{GS} - V_{T0}) V_{DS} - V_{DS}^2]$$

$$I_D \approx (\mu_n C_{OX} / 2) \cdot (W / L) \cdot [2 (V_{GS} - V_{T0}) V_{DS}] \quad \text{car} \quad V_{DS}^2 \sim 0$$

$$I_D \approx (\mu_n C_{OX}) \cdot (W / L) \cdot [(V_{GS} - V_{T0}) V_{DS}]$$

Dans ces conditions, le transistor peut être vu comme une **résistance commandée** par V_{GS}

C'est pour cela qu'on parle de **fonctionnement ohmique** !

Fonctionnement en zone ohmique

En zone ohmique, I_D est fonction du carré de V_{DS}

$$I_D = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot [2 (V_{GS} - V_{TO}) V_{DS} - V_{DS}^2]$$

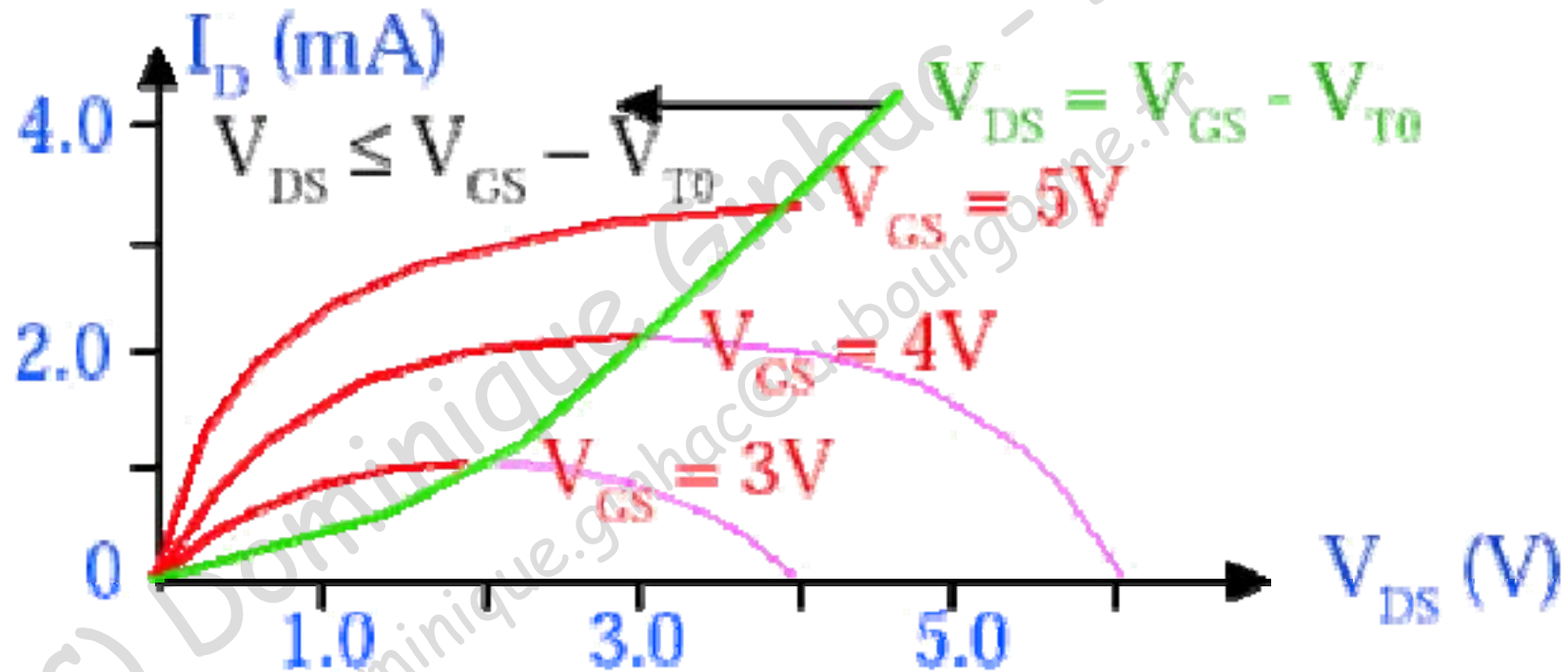
avec $V_{GS} > V_{TO}$ et $V_{DS} < V_{GS} - V_{TO}$

I_D est fonction de :

- ✓ **Profondeur** W du transistor
- ✓ **Largeur** L du transistor c'est-à-dire la distance séparant la source du drain
- ✓ **Tensions** V_{GS} et V_{DS} du transistor
- ✓ **Tension de seuil** V_{TO} du transistor
- ✓ **Mobilité** μ_n des électrons
- ✓ **Capacité de grille** C_{OX} par unité de surface

Caractéristique $I_D = f(V_{DS})$

En zone ohmique, I_D est fonction du carré de V_{DS}

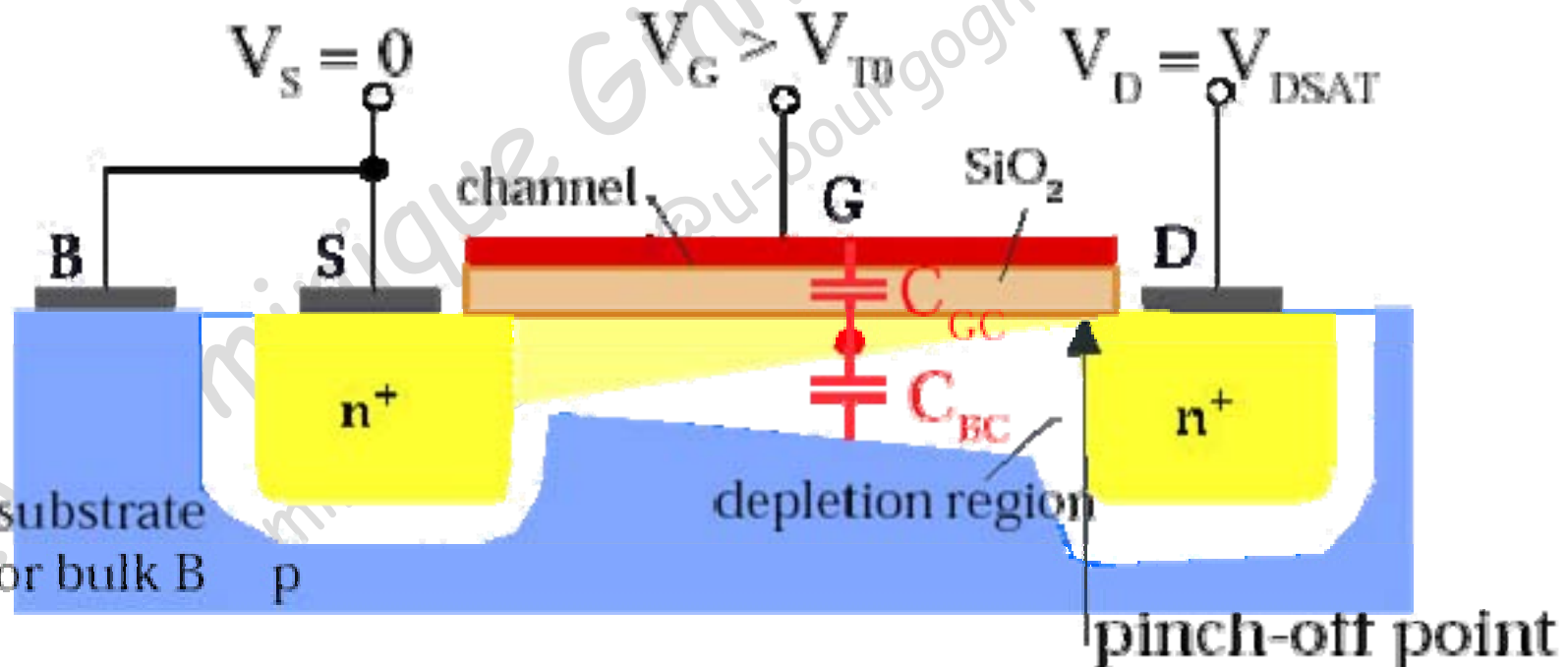


Fonctionnement au pincement

Au pincement, I_d ne dépend plus de V_{ds}

$$I_{Dsat} = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot (V_{GS} - V_{TO})^2$$

avec $V_{DS} = V_{DSat} = V_{GS} - V_{TO}$



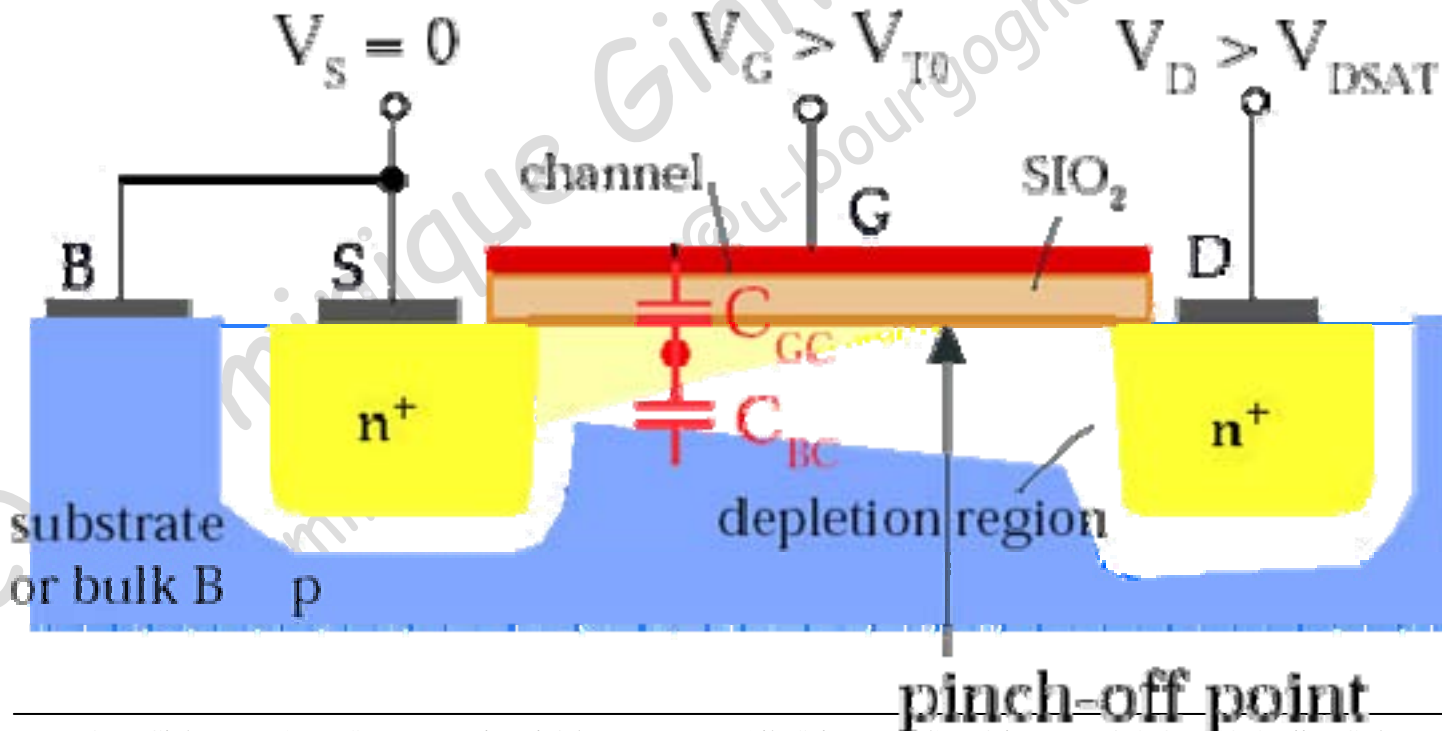
Fonctionnement en saturation

Au-delà du pincement, I_d devient stable

$$I_{Dsat} = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot (V_{GS} - V_{TO})^2$$

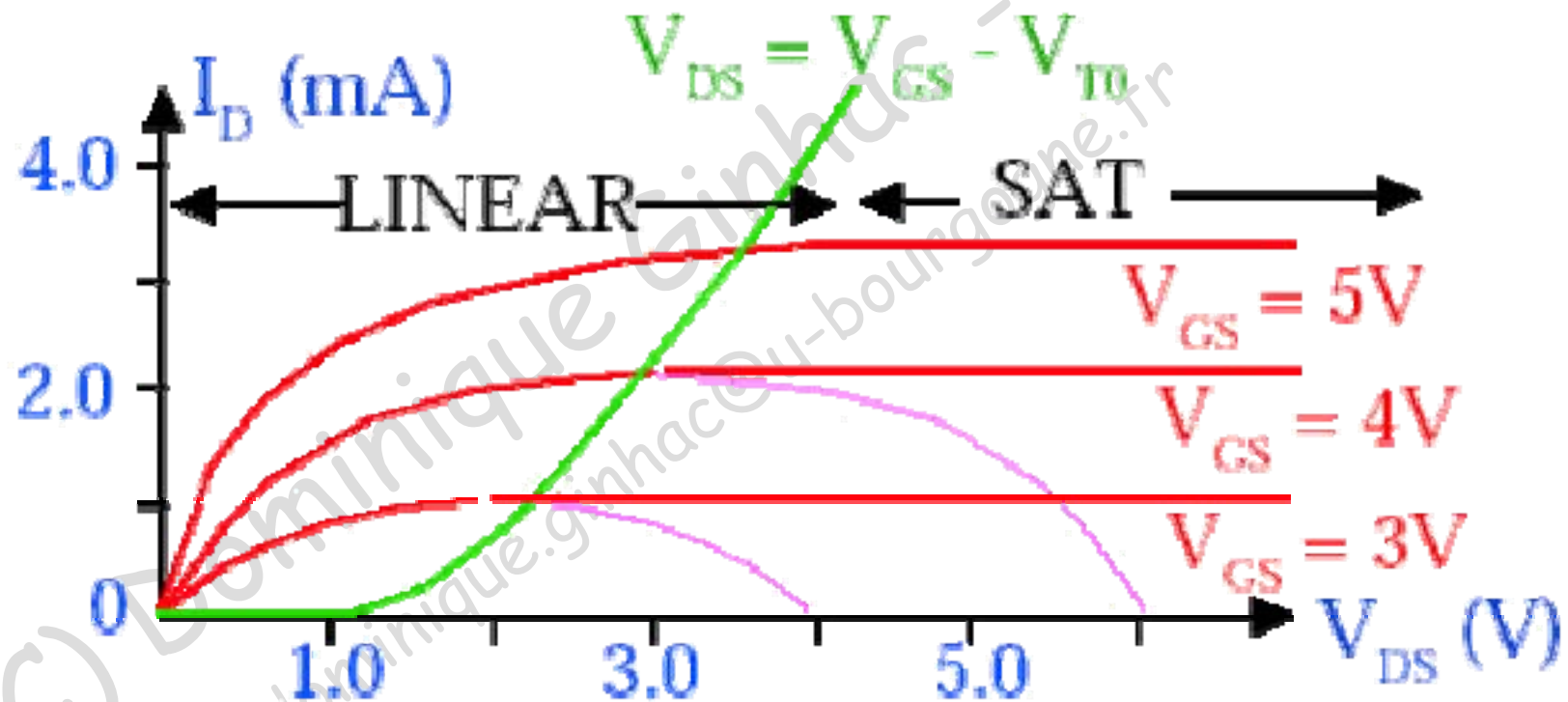
avec $V_{DS} > V_{DSat}$

Il y a **déplacement du point de pincement** vers la source



Caractéristique $I_d = f(V_{ds})$

En zone de saturation, I_d devient stable

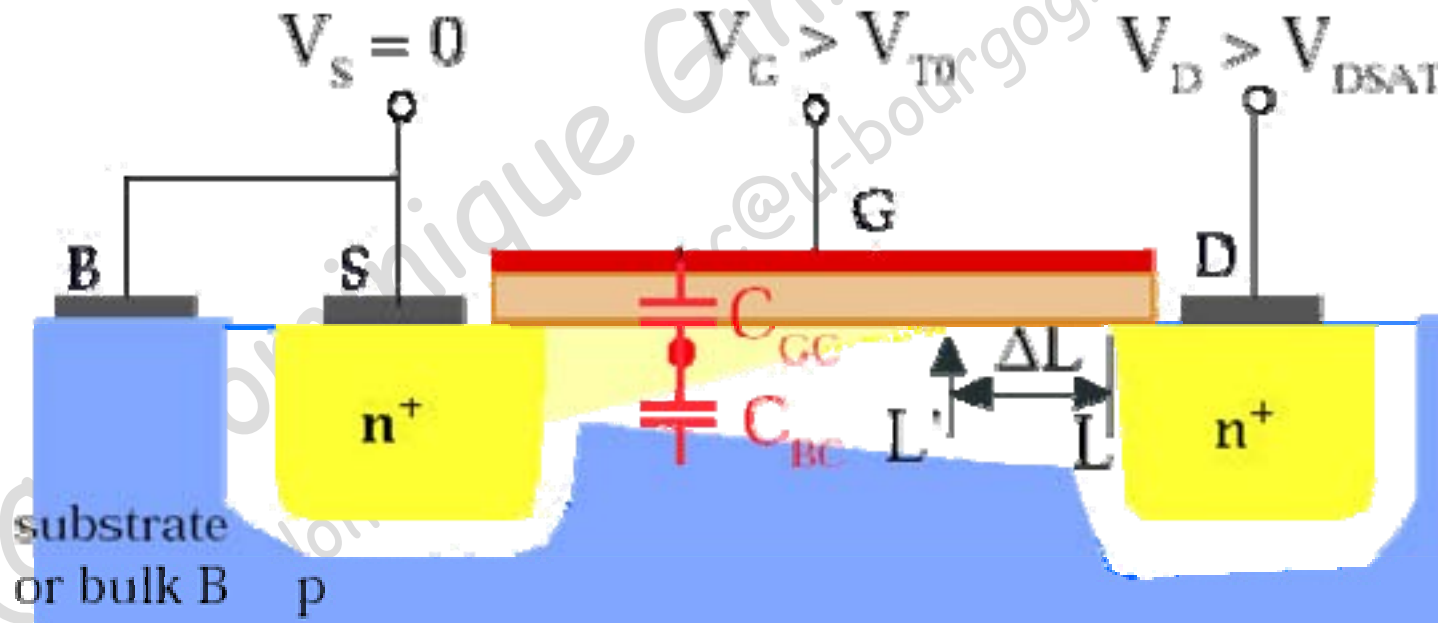


Modulation de la longueur du canal

En zone de saturation :

La largeur réelle du canal est plus courte que la largeur théorique : $L' = L - \Delta L$

$I_{Dsat} = (\mu_n C_{OX} / 2) \cdot (W / L') \cdot (V_{GS} - V_{TO})^2$ plus grand



Modulation de la longueur du canal

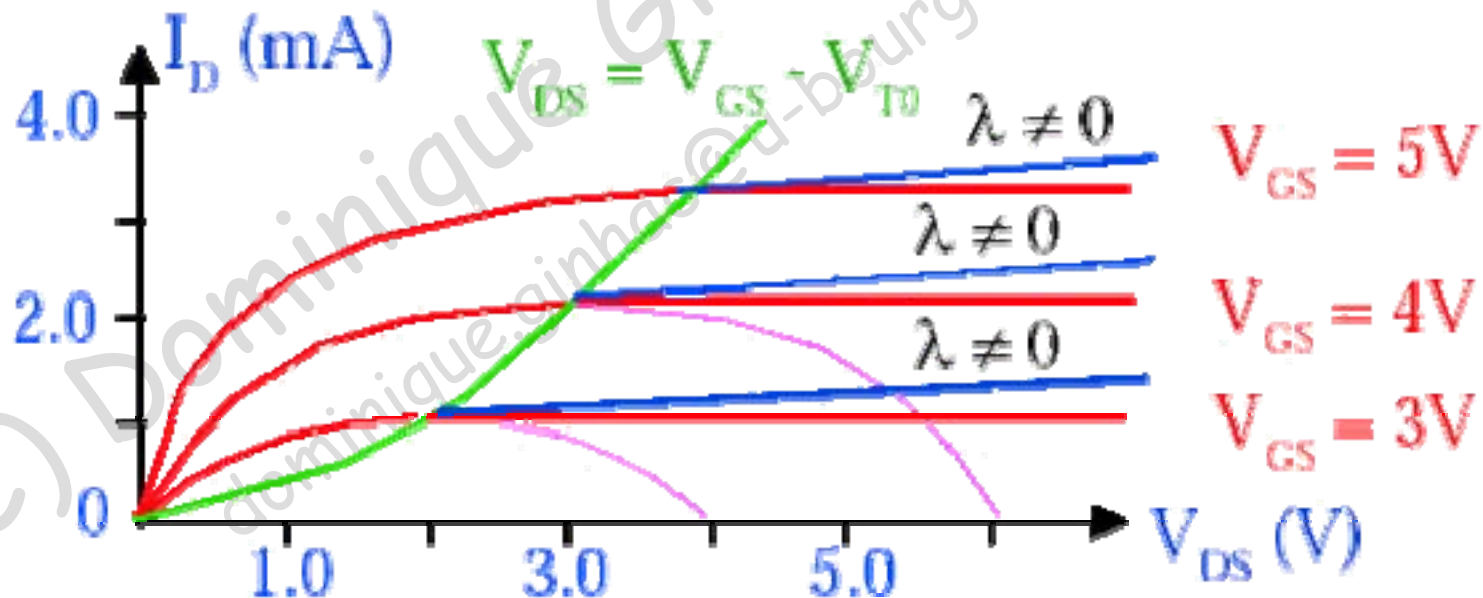
En zone de saturation :

$$I_{Dsat} = (\mu_n C_{OX} / 2) \cdot (W / L') \cdot (V_{GS} - V_{TO})^2$$

$$L' = L - \Delta L = L \cdot (1 - \Delta L / L)$$

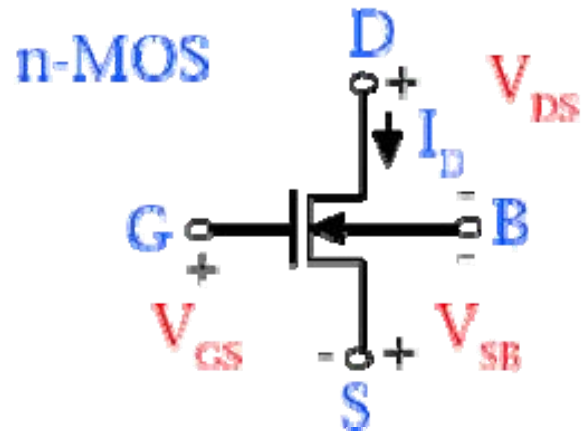
En posant $1 - \Delta L / L = 1 - \lambda V_{DS}$ avec $\lambda V_{DS} \ll 1$

$$\text{On a } I_{Dsat} = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot (V_{GS} - V_{TO})^2 \cdot (1 + \lambda V_{DS})$$



En résumé pour le transistor NMOS

3 zones de fonctionnement :



Cas 1 : $V_{GS} < V_{T0}$

$$I_D = 0$$

Cas 2 : $V_{GS} > V_{T0}$ et $V_{DS} < V_{GS} - V_{T0}$

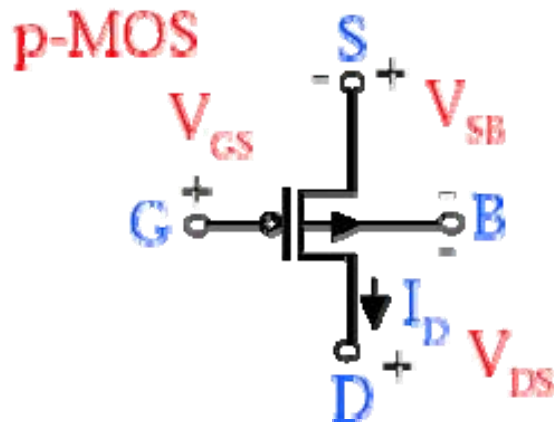
$$I_{Dlin} = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot [2 (V_{GS} - V_{T0}) V_{DS} - V_{DS}^2]$$

Cas 3 : $V_{GS} > V_{T0}$ et $V_{DS} > V_{GS} - V_{T0}$

$$I_{Dsat} = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot (V_{GS} - V_{T0})^2 \cdot (1 + \lambda V_{DS})$$

En résumé pour le transistor PMOS

3 zones de fonctionnement :



Cas 1 : $V_{GS} > V_{T0}$

$$I_D = 0$$

Cas 2 : $V_{GS} < V_{T0}$ et $V_{DS} > V_{GS} - V_{T0}$

$$I_{Dlin} = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot [2 (V_{GS} - V_{T0}) V_{DS} - V_{DS}^2]$$

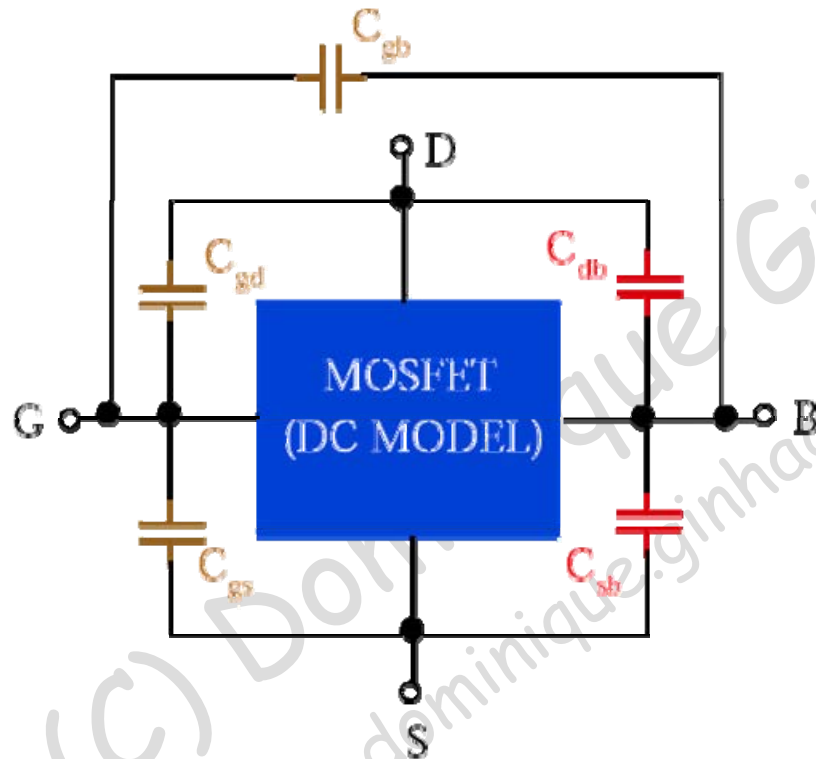
Cas 3 : $V_{GS} < V_{T0}$ et $V_{DS} < V_{GS} - V_{T0}$

$$I_{Dsat} = (\mu_n C_{OX} / 2) \cdot (W / L) \cdot (V_{GS} - V_{T0})^2 \cdot (1 + \lambda V_{DS})$$

Modélisation des capacités parasites

Grand nombre de capacités parasites :

Pour chaque transistor MOS, il existe 5 capacités parasites :



Capacités d'oxyde à l'interface de l'oxyde de grille

- ✓ C_{gb} : Capacité Grille - Substrat
- ✓ C_{gd} : Capacité Grille - Drain
- ✓ C_{gs} : Capacité Grille - Source

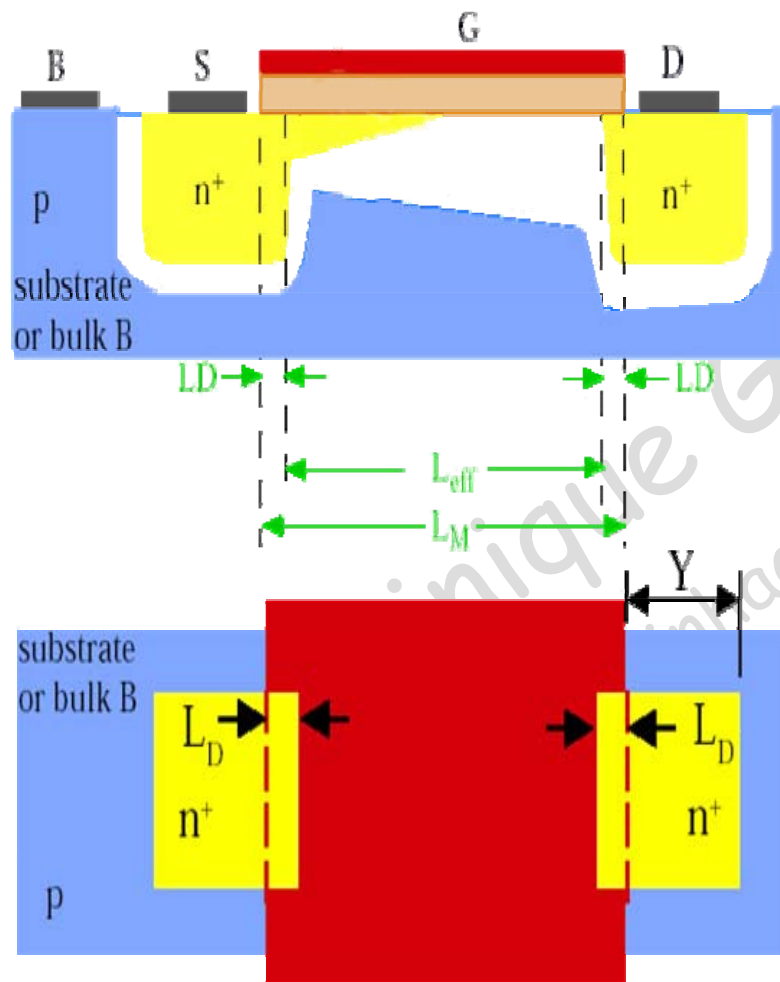
Capacités de jonctions situés « sous » la source et le drain

- ✓ C_{db} : Capacité Drain- Substrat
- ✓ C_{sb} : Capacité Source - Substrat

Selon le régime de fonctionnement, leurs valeurs changent.

Capacités d'oxyde

Considérations technologiques de fabrication :



En raison des imprécisions technologiques de fabrication en fonderie, la **largeur effective** L_{eff} de la grille du transistor est **différente** de la **largeur dessinée** L_M

Il existe donc un **recouvrement** ou **débordement** du côté Source/Grille et du côté Drain/Grille de l'ordre de quelques dizaines de nanomètres.

On peut supposer que ces **recouvrements** sont de **taille** L_D **équivalente** des deux côtés

$$L_M = L_{eff} + 2 \cdot L_D$$

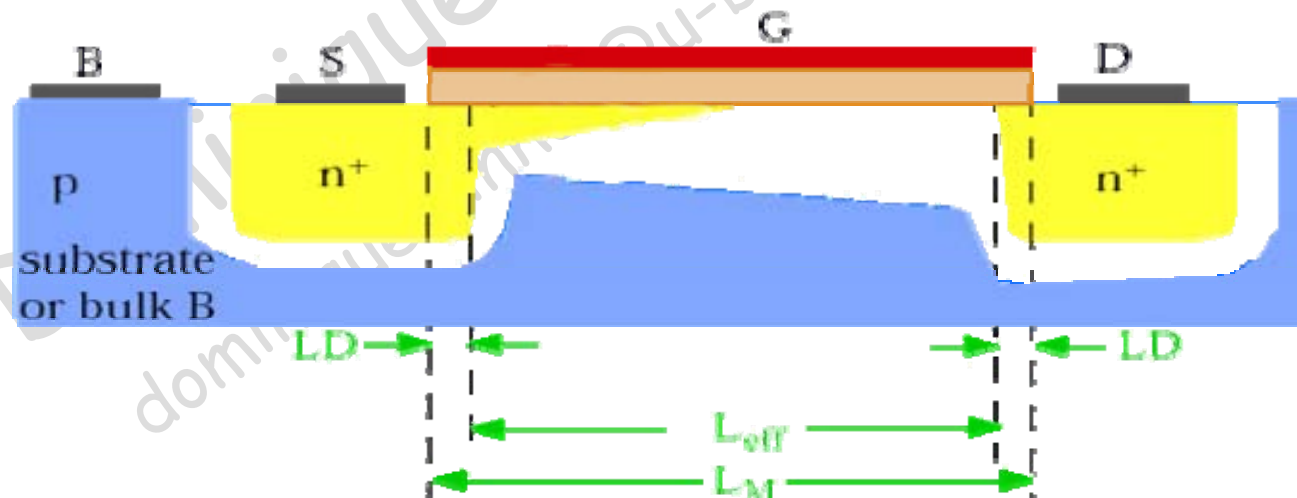
Capacités d'oxyde

Considérations technologiques de fabrication :

Quel que soit le régime, il existera toujours une **capacité de recouvrement grille/source** et une **capacité de recouvrement grille/drain** :

✓ Grille / source : $C_{gs0} = C_{ox} \cdot W \cdot L_D$ avec $C_{ox} = \epsilon_{ox} / t_{ox}$

✓ Grille / drain : $C_{gd0} = C_{ox} \cdot W \cdot L_D$



Capacités d'oxyde en régime bloqué

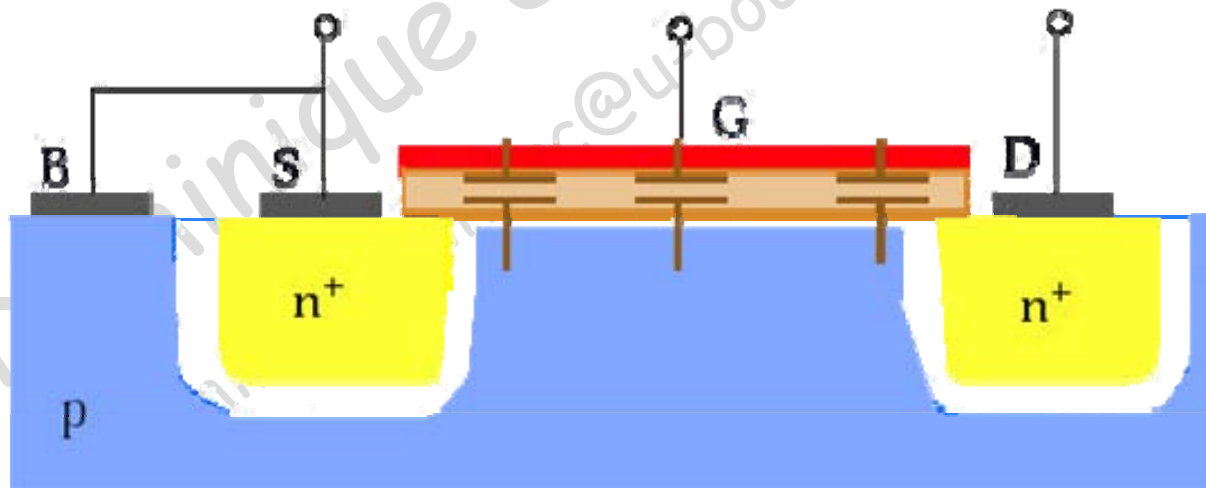
Régime bloqué : pas de canal conducteur entre S et D

La capacité se retrouve **intégralement** entre grille et substrat

$$\checkmark C_{gs} = 0 + C_{gs0} = C_{ox} \cdot W \cdot L_D$$

$$\checkmark C_{gd} = 0 + C_{gd0} = C_{ox} \cdot W \cdot L_D$$

$$\checkmark C_{gb} = C_{ox} \cdot W \cdot L$$



Capacités d'oxyde en régime ohmique

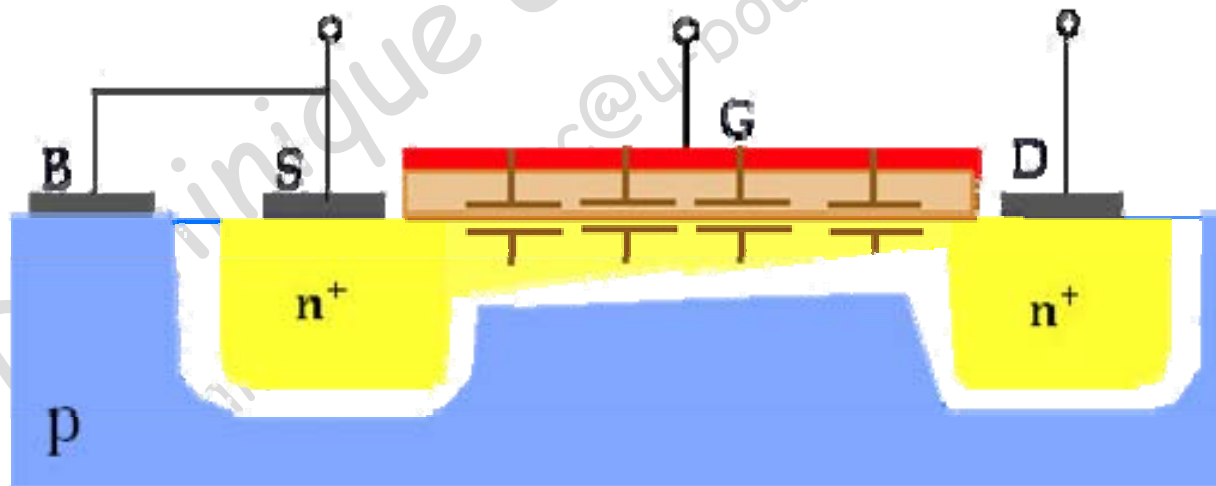
Régime ohmique : Existence d'un canal conducteur

La capacité se répartit équitablement entre source et drain :

$$\checkmark C_{gs} \approx \frac{1}{2} C_{ox} \cdot W \cdot L + C_{gs0} = \frac{1}{2} C_{ox} \cdot W \cdot L + C_{ox} \cdot W \cdot L_D$$

$$\checkmark C_{gd} \approx \frac{1}{2} C_{ox} \cdot W \cdot L + C_{gd0} = \frac{1}{2} C_{ox} \cdot W \cdot L + C_{ox} \cdot W \cdot L_D$$

$$\checkmark C_{gb} = 0$$



Capacités d'oxyde en zone saturée

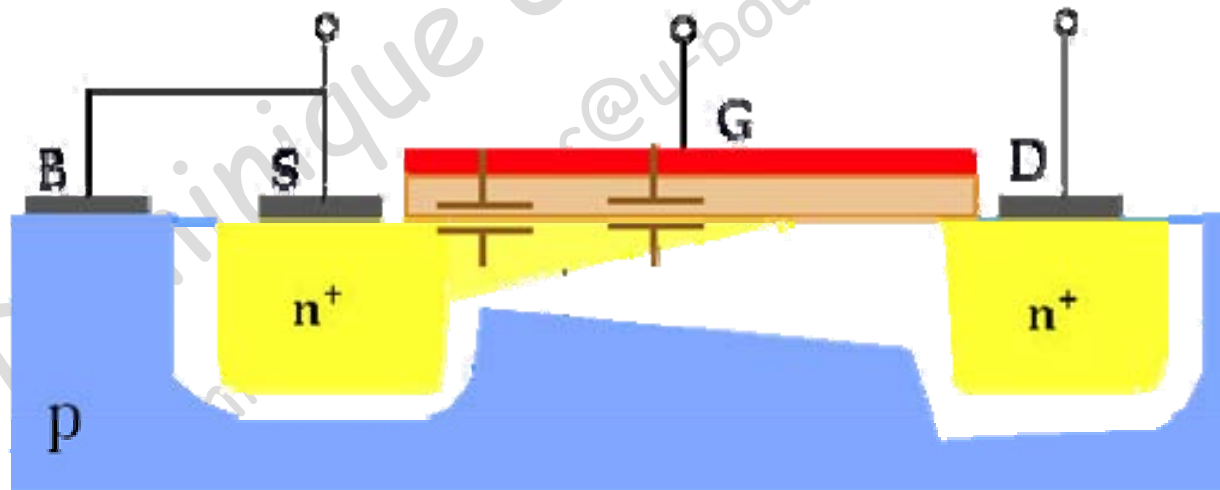
Régime ohmique : Existence d'un pincement du canal

La capacité se **retrouve majoritairement** du côté de la **source** :

$$\checkmark C_{gs} \approx \frac{2}{3} C_{ox} \cdot W \cdot L + C_{gs0} = \frac{2}{3} C_{ox} \cdot W \cdot L + C_{ox} \cdot W \cdot L_D$$

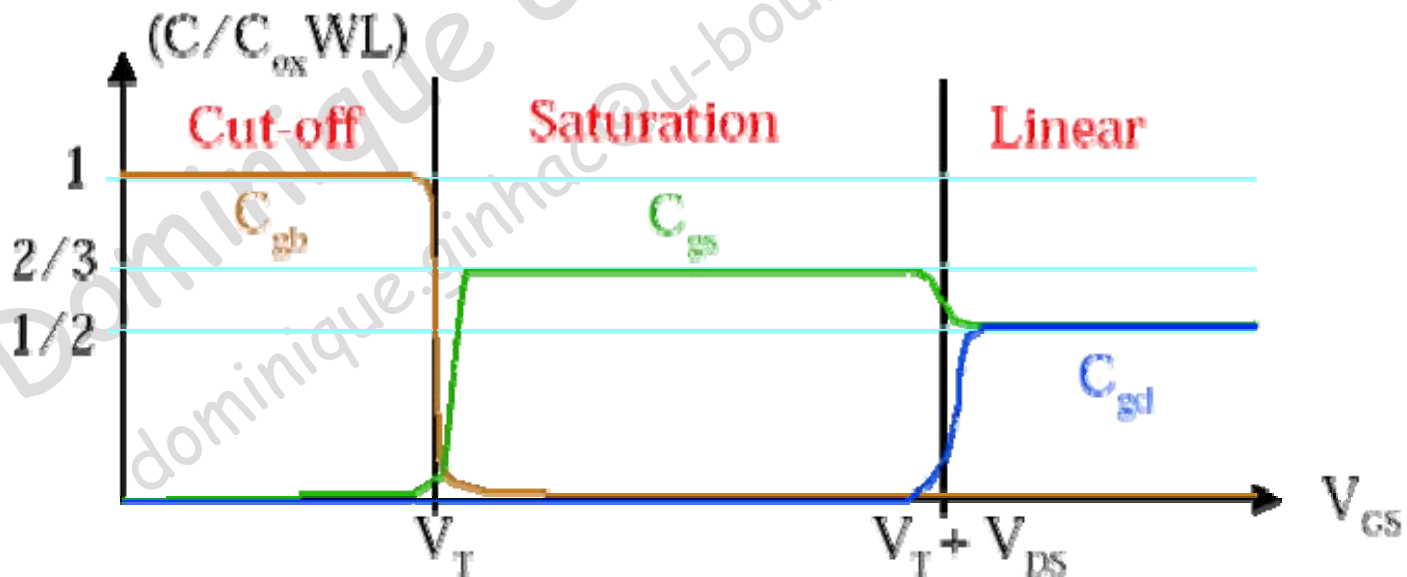
$$\checkmark C_{gd} = 0 + C_{gd0} = C_{ox} \cdot W \cdot L_D$$

$$\checkmark C_{gb} = 0$$



Capacités d'oxyde : Bilan

Capacité	Bloqué	Ohmique	Saturé
$C_{gb} \text{ (total)}$	$C_{ox} \cdot W \cdot L$	0	0
$C_{gd} \text{ (total)}$	$C_{ox} \cdot W \cdot L_D$	$\frac{1}{2} C_{ox} \cdot W \cdot L + C_{ox} \cdot W \cdot L_D$	$C_{ox} \cdot W \cdot L_D$
$C_{gs} \text{ (total)}$	$C_{ox} \cdot W \cdot L_D$	$\frac{1}{2} C_{ox} \cdot W \cdot L + C_{ox} \cdot W \cdot L_D$	$\frac{2}{3} C_{ox} \cdot W \cdot L + C_{ox} \cdot W \cdot L_D$

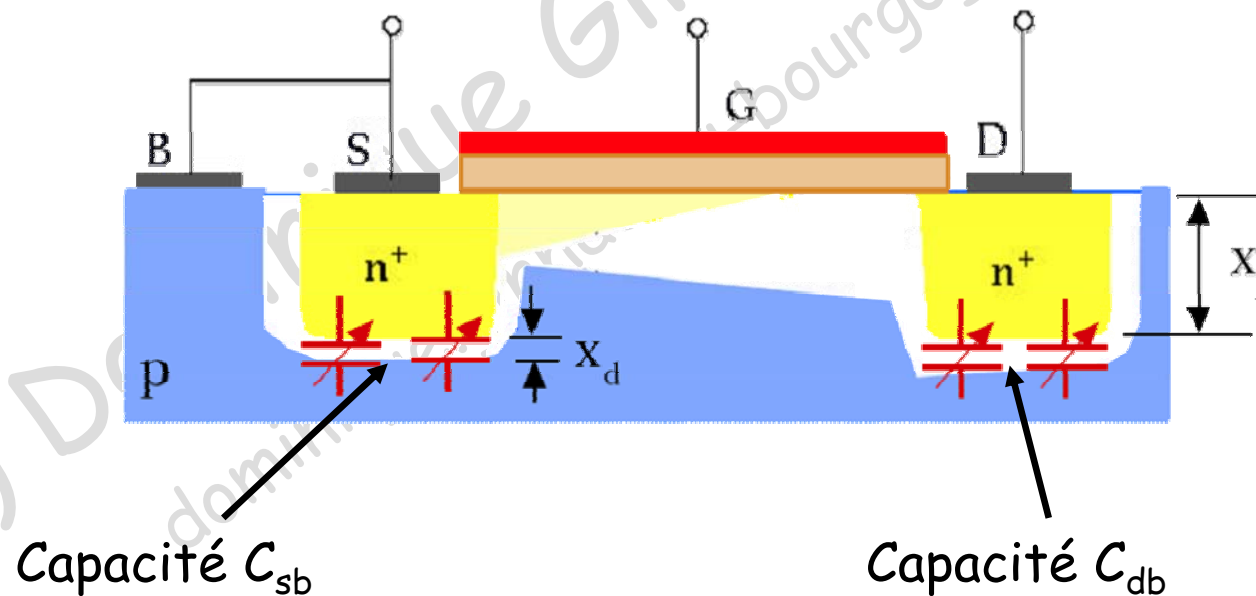


Capacités parasites de jonctions

Capacités de jonctions : C_{sb} et C_{db}

Elles s'établissent au niveau des jonctions entre les zones de diffusions et le substrat

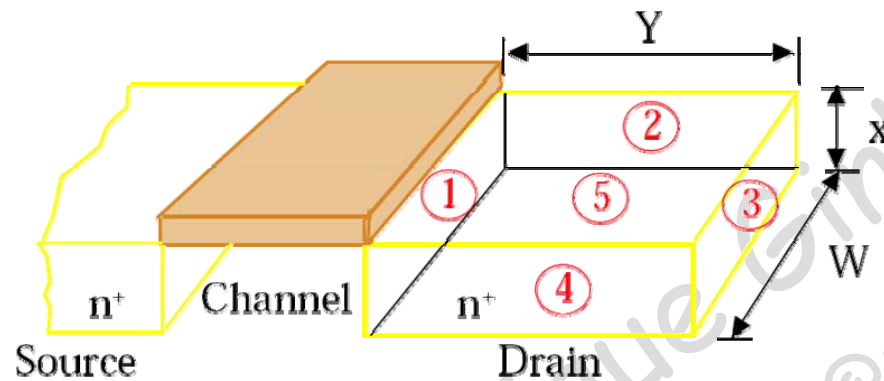
Leurs valeurs sont relativement complexes à calculer !!!!!



Capacités parasites de jonctions

Capacités de jonctions : C_{sb} et C_{db} très compliquées à évaluer

Elles s'établissent au niveau des **jonctions** entre les zones de **diffusions** et le **substrat**



$$\begin{aligned}
 C_{diff} &= C_{bottom} + C_{sw} \\
 &= C_j \cdot AREA + C_{jsw} \cdot PERIMETER \\
 &= C_j \cdot L_s \cdot W + C_{jsw} \cdot (2L_s + W)
 \end{aligned}$$

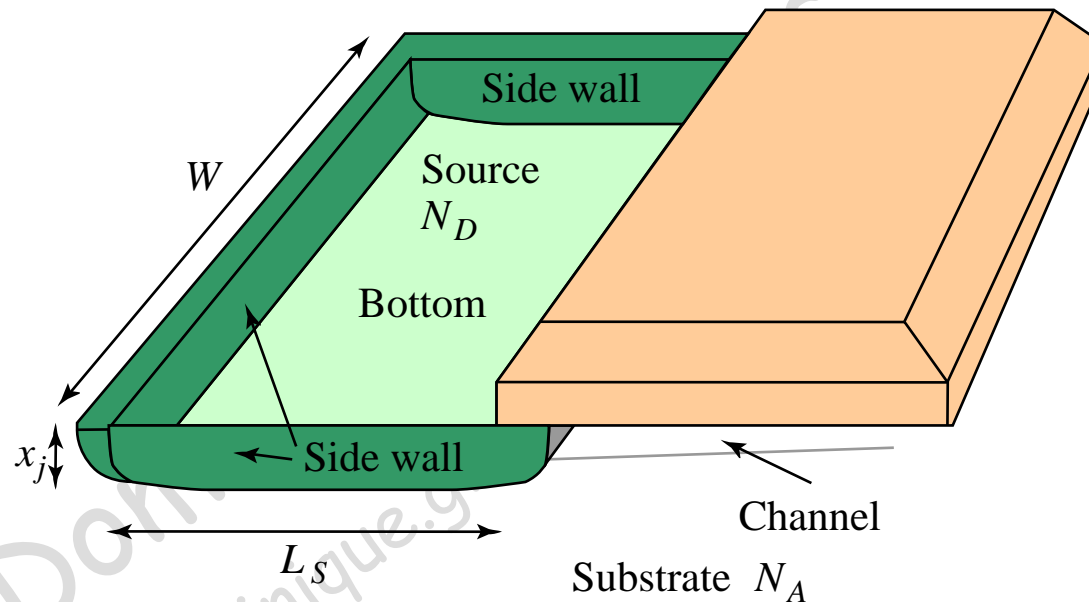
Junction	Area	Type
①	$W x_j$	n^+/p
②	$Y x_j$	n^+/p^+
③	$W x_j$	n^+/p^+
④	$Y x_j$	n^+/p^+
⑤	WY	n^+/p

Il ne reste plus
qu'à évaluer tous
ces paramètres !!!

Capacités parasites de jonctions

Capacités de jonctions : C_{sb} et C_{db} très compliquées à évaluer

Elles s'établissent au niveau des **jonctions** entre les **zones de diffusions** et le **substrat**



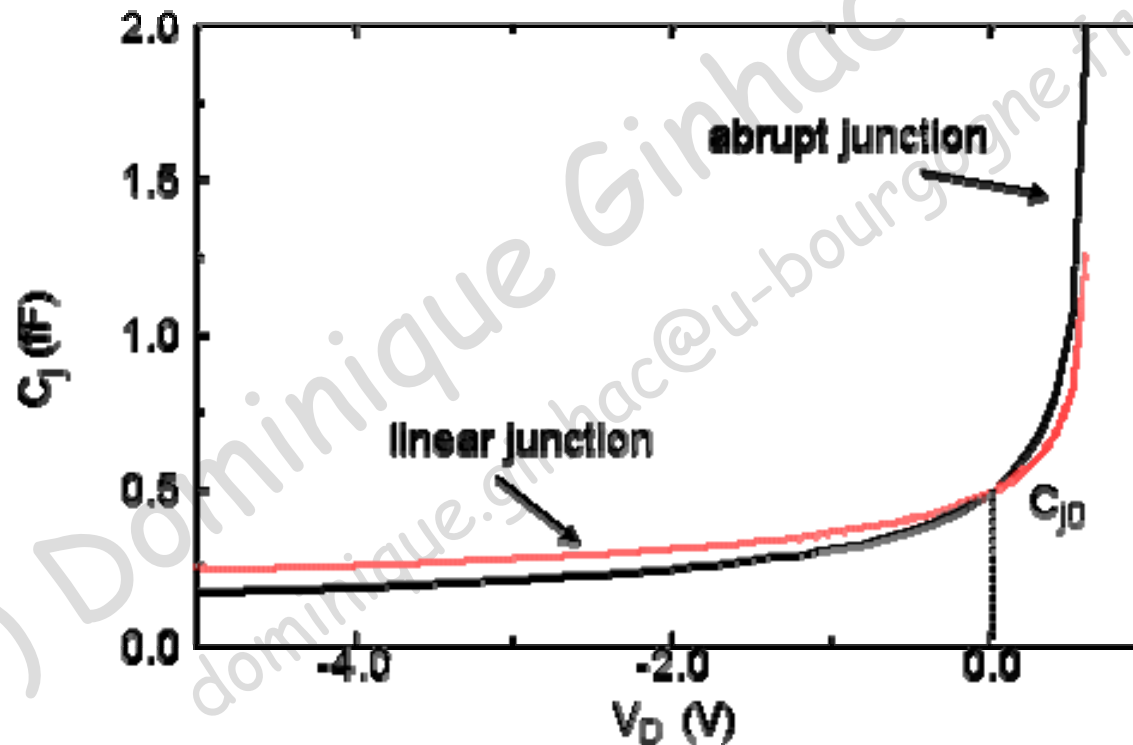
$$C_{diff} = C_{bottom} + C_{sw} = C_j \cdot AREA + C_{jsw} \cdot PERIMETER$$

$$C_{diff} = C_j \cdot L_s \cdot W + C_{jsw} \cdot (2L_s + W)$$

Capacités parasites de jonctions

Capacités de jonctions : C_{sb} et C_{db} très compliquées à évaluer

Valeurs non linéaires en fonction de V_D



Modélisation et Simulation SPICE

Pourquoi simuler ?

L'explosion du marché électronique a engendré une **complexité croissante** des circuits intégrés

Dimensionner une dizaine de composants « manuellement » est relativement aisé (quoique ...).

Comment imaginer pouvoir dessiner et agencer « à la main » un ou plusieurs millions de transistors ?

Apparition des premiers simulateurs dans les années 70

La simulation a pris son essor sous l'impulsion de l'Université de Berkeley qui a développé un algorithme de simulation appelé **SPICE** qui fut le premier simulateur analogique de CI

SPICE : **S**imulation **P**rogram with **I**ntegrated **C**ircuits **E**mphasis

Modélisation et Simulation SPICE

SPICE : Un simulateur à plusieurs niveaux

SPICE utilise des **modèles paramétrés** (ou levels) fournis par les fondeurs pour représenter le comportement des composants.

Il existe différents **niveaux de description** plus ou moins précis et performants :

- ✓ Level 1 - Shichman-Hodges model (MOS1)
- ✓ Level 2 - Geometry based - analytic model (MOS2)
- ✓ Level 3 - Semi-empirical, short channel model (MOS3)
- ✓ Level 4 - BSIM model
- ✓ Level 5 - EKV model (version 2.6)
- ✓ Level 6 - BSIM3 model (version 2)
- ✓ Level 7 - BSIM3 model (version 3.1)

Model	L min (μm)	Tox min(nm)
Spice 1	5	50
Spice 2	2	25
Spice 3	1	20
Bsim 1	0,8	15
Bsim 2	0,35	7,5
Bsim3v2	0,25	5
Bsim3v3	0,15	4

Modélisation et Simulation SPICE

Level 1 : Shichman-Hodges model (MOS1) = premier modèle

Ce modèle utilise les **équations** des transistors dits « **à canal long** » présentées précédemment.

Région ohmique :
$$I_{DS} = KP \frac{W}{L - 2X_{jl}} \left(V_{gs} - V_t - \frac{V_{DS}}{2} \right) V_{DS} (1 + \lambda V_{DS})$$

Saturation :
$$I_{DS} = KP \frac{W}{L - 2X_{jl}} (V_{gs} - V_t)^2 V_{DS} (1 + \lambda V_{DS})$$

Les principaux paramètres sont KP (k'), VTO (V_{to}), GAMMA (γ), PHI (2φ_F) et LAMBDA (λ)

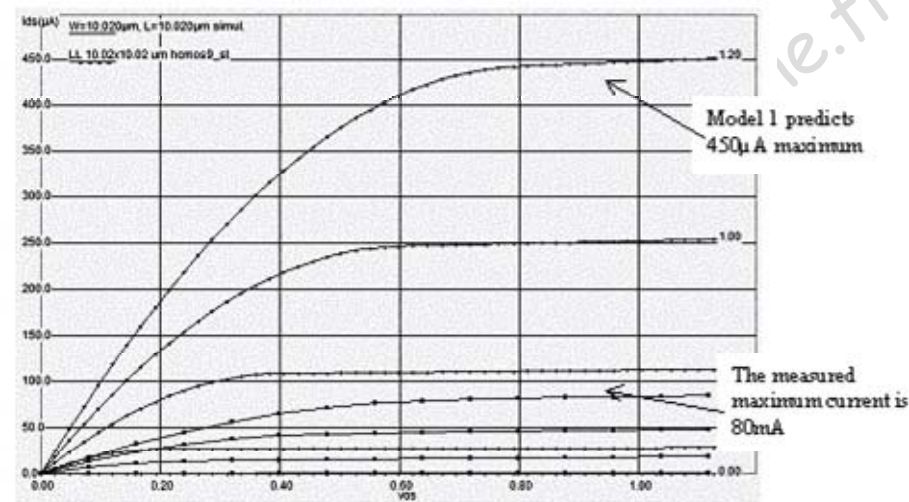
SPICE parameter	Unit	Value in 0.8μm	Value in 0.25μm	Description
VTO	V	0.8	0.5	Threshold voltage
KP	A/V ²	500	250	Transconductance
W	μm	1.6	0.5	Channel width
L	μm	0.7	0.25	Channel length
GAMMA	V ^{1/2}	0.4	0.4	Threshold dependency with V _{substrat}
PHI	V	0.7	0.7	Surface potential

Modélisation et Simulation SPICE

Level 1 : Shichman-Hodges model (MOS1)

Ce modèle n'est pas du tout adapté à des simulations très précises

$W=10\mu\text{m}$, $L=10\mu\text{m}$, technologie $0.12\mu\text{m}$



Désaccord entre la mesure et la simulation

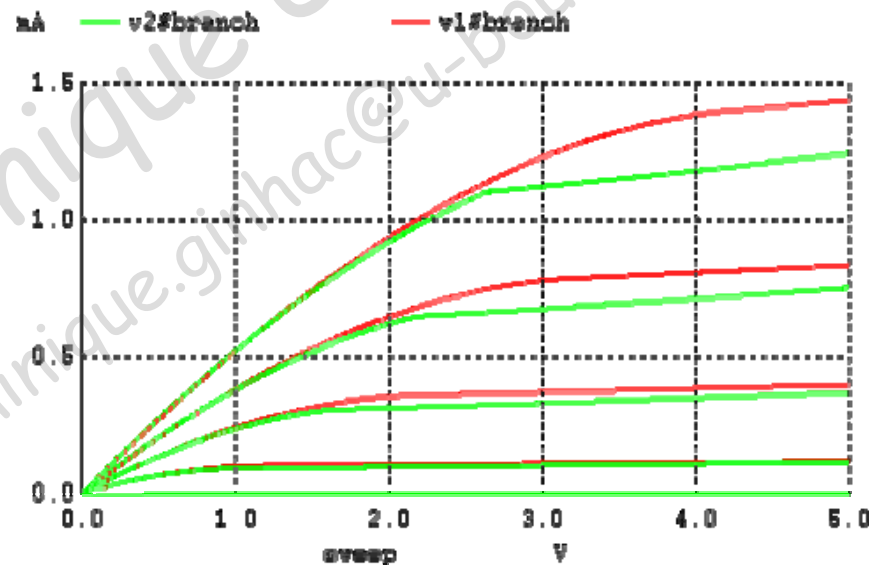
Modèle non acceptable pour des technologies récentes ($< 0.12\mu\text{m}$)

Modélisation et Simulation SPICE

Level 2 : Geometry based - analytic model (MOS2)

Ce modèle **plus lent** mais **plus précis** est dérivé du précédent à partir d'un **modèle physique plus précis** (40 paramètres environ) en tenant compte de :

- ✓ La **saturation de vitesse** limitant V_{Dsat}
- ✓ La **variation de la tension de seuil** V_{th}



Modélisation et Simulation SPICE

Level 3 : Semi-empirical, short channel model (MOS3)

Ce modèle est un modèle **semi empirique** dont les paramètres sont ajustés afin de « coller » aux caractéristiques mesurées :

- ✓ **40 %** plus rapide que le niveau 2
- ✓ Paramètres identiques au niveau 2

Modèle **pas encore adapté** aux technologies modernes

Parameters

SPICE Parameter	Unit	Value in 0.8µm	Value in 0.25µm	Description
VTO	V	0.8	0.5	Threshold voltage
KP	A/V²	135	250	Transconductance
W	µm	1.6	0.5	Channel width
L	µm	0.6	0.25	Channel length
LD	µm	0.05	0.03	Effective length correction
GAMMA	V/A	0.4	0.4	Threshold dependency with V _{substrat}
KAPPA	V/A	0.01	0.01	Current variation in saturation mode
PHIN	V	0.7	0.7	Surface potential
NSS	V	0.07	0.07	Current slope under threshold
THETA	V	0.2	0.3	Mobility degradation
VMAX	m/s	130K	130K	Mobility saturation

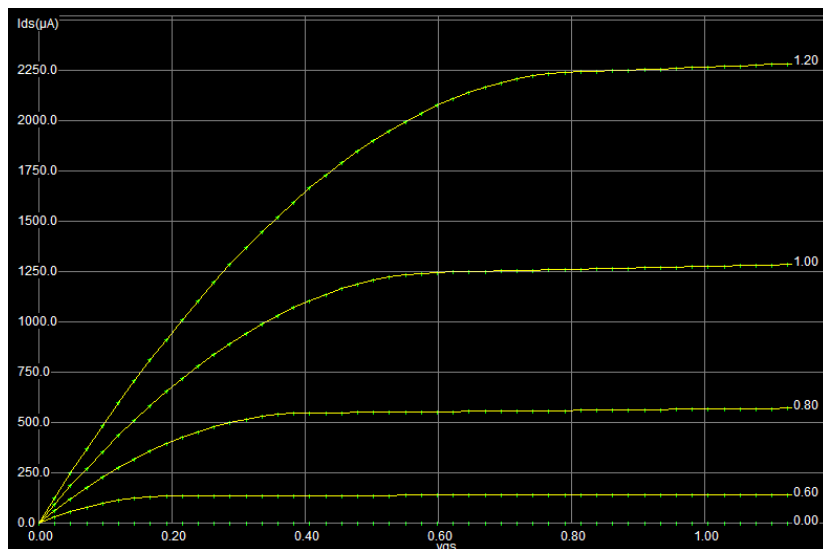
Physical parameters

Modélisation et Simulation SPICE

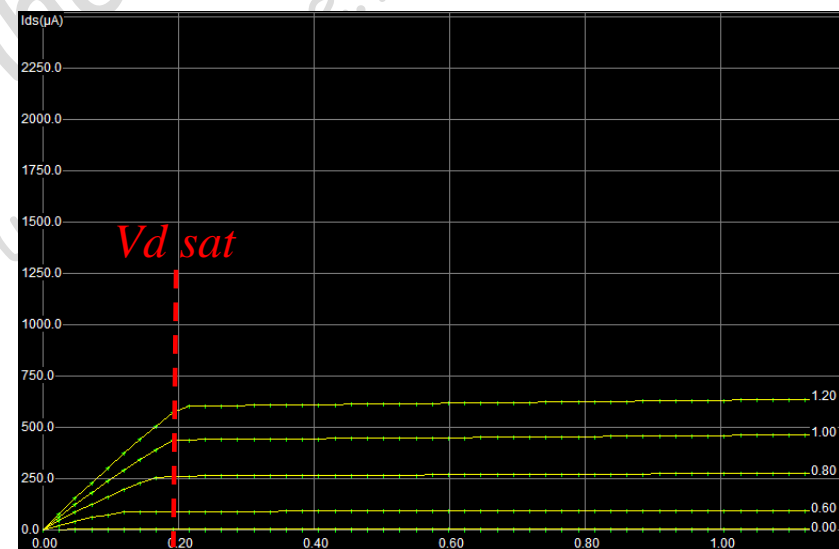
Comparaison Level1 et Level3

Prise en compte de la saturation $V_d \text{ sat}$.

Influence sur les transistors à canal court.



MOS Level 1



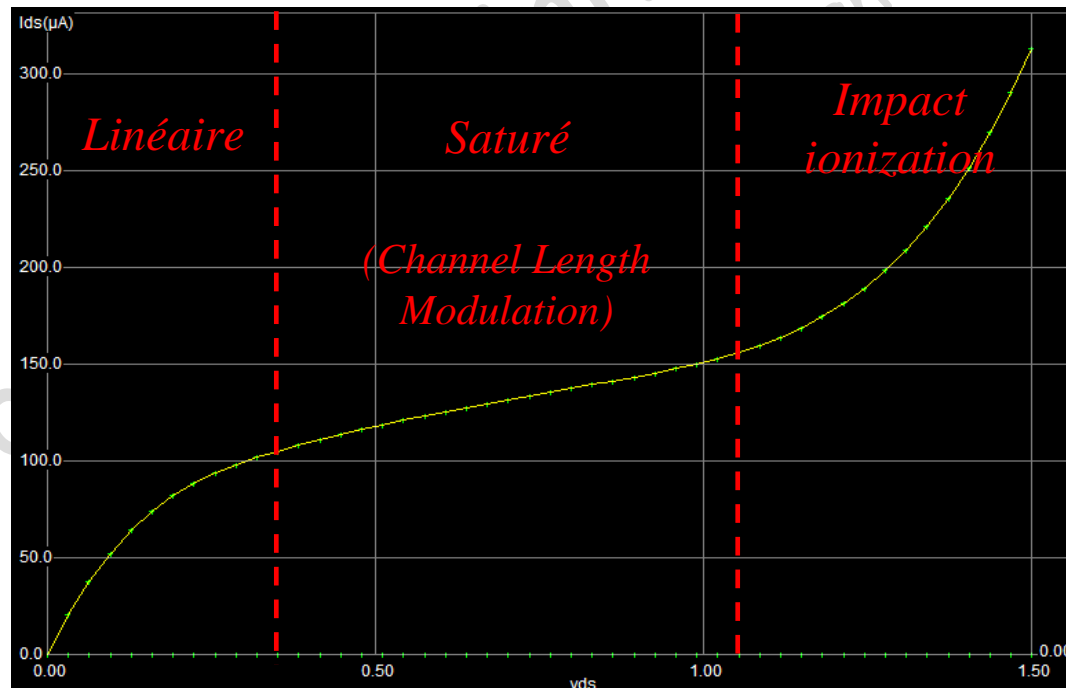
MOS Level 3

Modélisation et Simulation SPICE

Level > 3 : Berkeley Short channel Igfet Model (BSIM)

Modèles développés à l'Université de Berkeley adaptés aux technologies modernes

La version actuelle BSIM4 contient 300 paramètres et décrit 3 zones de fonctionnement avec une bonne continuité entre chacune.



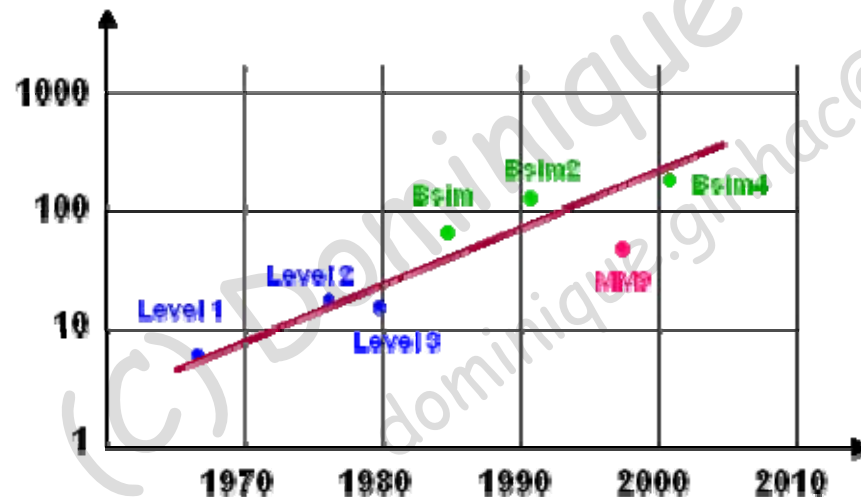
Modélisation et Simulation SPICE

Quel modèle choisir ?

Plus le modèle est complexe, plus les **effets parasites** liés à la réduction des tailles sont pris en compte.

BSIM4 est adapté aux **circuits analogiques et digitaux** en technologie submicronique qui nécessitent une grande précision.

La tendance est à **l'augmentation des paramètres**.



Sous Mentor et AMS 0.35 μm

- ✓ Modèle **BSIM3V3** (level=53)
- ✓ Fichier de description du modèle de **1500 lignes** environ

A suivre...

(C) Dominique Ginhac - 2007
dominique.ginhac@u-bourgogne.fr