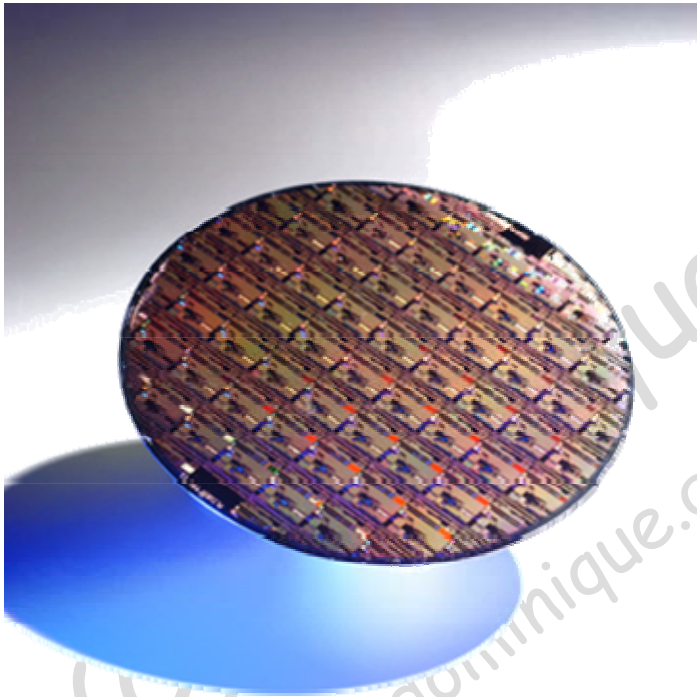


Micro *Électronique*

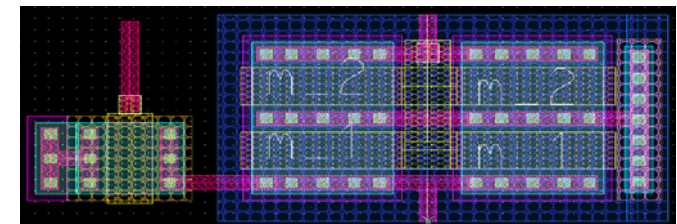


Chapitre 3

Principes de la technologie CMOS



Dominique GINHAC
dginhac@u-bourgogne.fr



Plan du cours

1- Introduction sur la microélectronique numérique

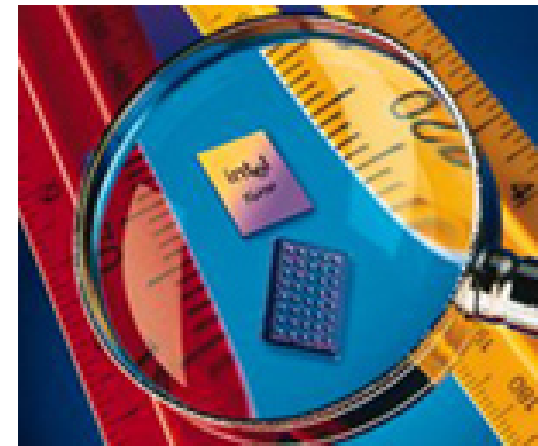
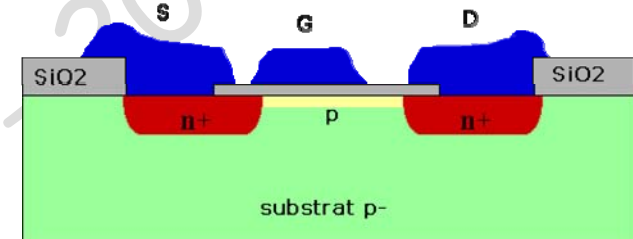
2- Physique des semi conducteurs

3- Bases de la technologie CMOS

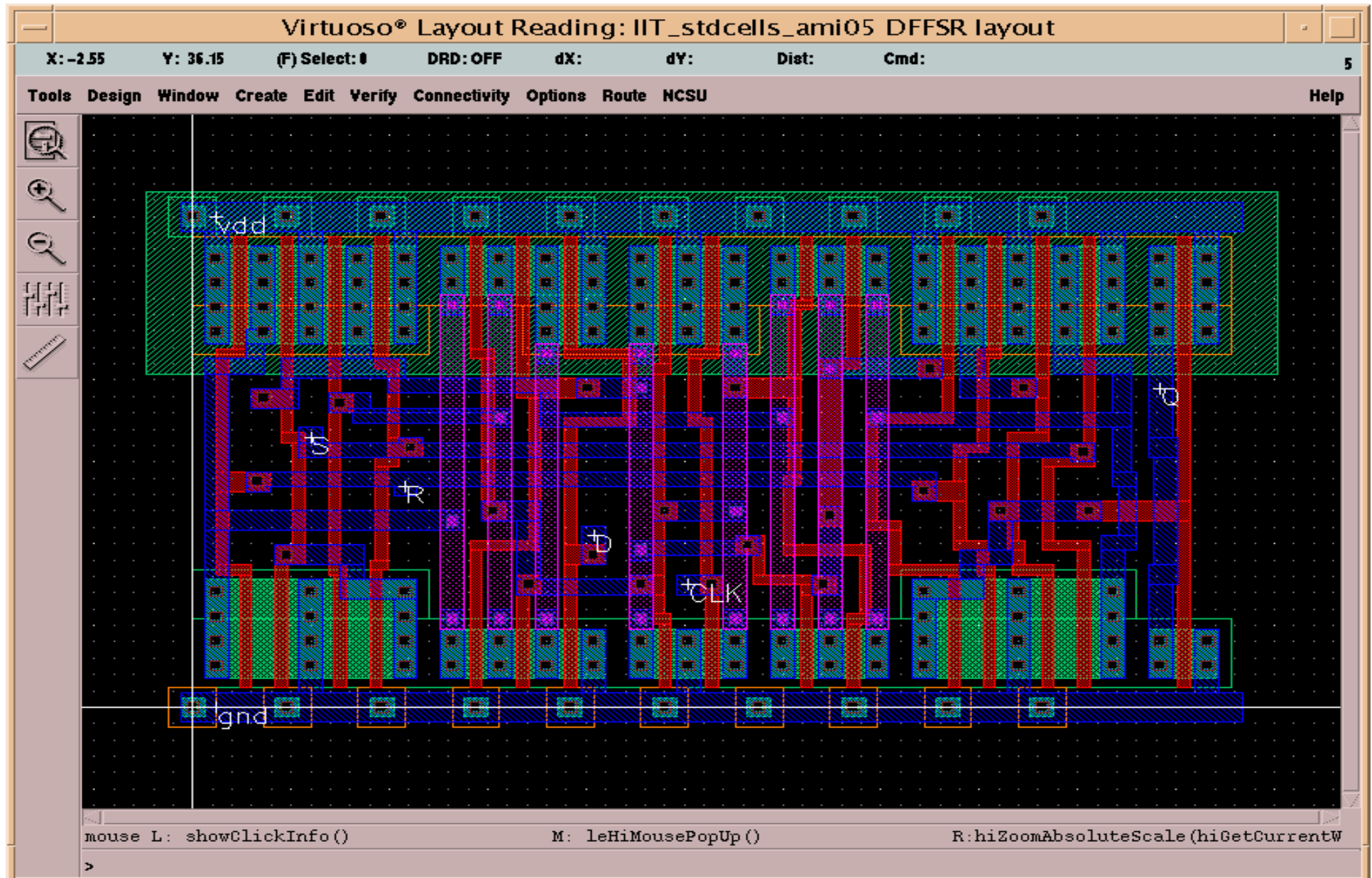
- ✓ Généralités
- ✓ Inverseur CMOS
- ✓ Portes NOR et NAND

4- Design de portes élémentaires

5- Technologie des composants



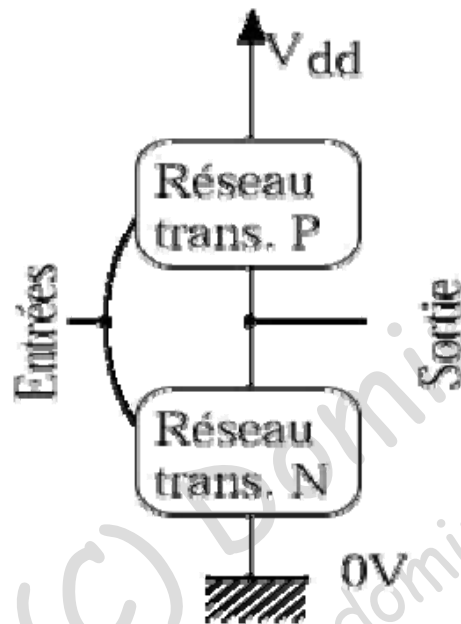
CMOS : Principes généraux



Définition

CMOS = Complementary MOS = NMOS + PMOS

La **structure CMOS** est un assemblage de **transistors NMOS et PMOS** dans l'objectif d'effectuer une **opération logique** plus ou moins complexe



Une porte logique CMOS est constituée :

- ✓ d'un réseau de **transistors PMOS**
- ✓ d'un réseau de **transistors NMOS**

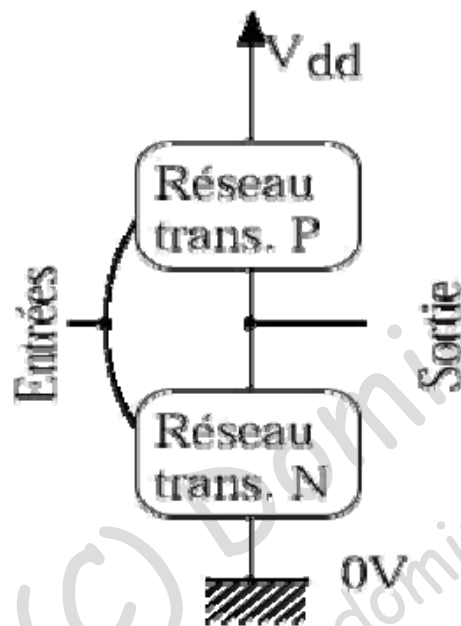
Ces réseaux sont connectés :

- ✓ aux **entrées**
- ✓ à la **sortie**
- ✓ aux **alimentations** (masse et vdd)

Définition (2)

CMOS = Complementary MOS = NMOS + PMOS

La **structure CMOS** est un assemblage de transistors **NMOS** et **PMOS** dans l'objectif d'effectuer une **opération logique** plus ou moins complexe



Pourquoi Complementary ?

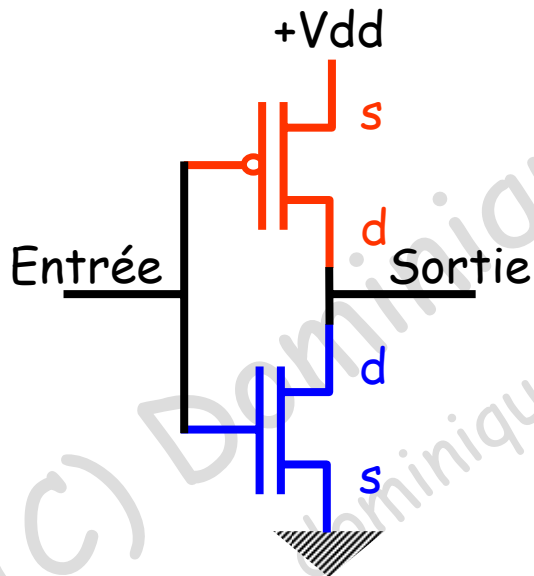
Tout simplement, parce que **chaque réseau de transistors** est chargé d'effectuer soit la **mise à 0**, soit la **mise à 1** de la fonction logique :

- ✓ Le réseau **P** effectue la **mise à 1** en mettant la sortie au **potentiel Vdd**
- ✓ Le réseau **N** effectue la **mise à 0** en mettant la sortie au **potentiel 0V**

Structures Complementary MOS

CMOS = Complementary MOS = NMOS + PMOS

La structure CMOS permet de construire l'élément de base de la logique à effet de champ : l'inverseur composé d'un seul transistor NMOS et d'un seul transistor PMOS



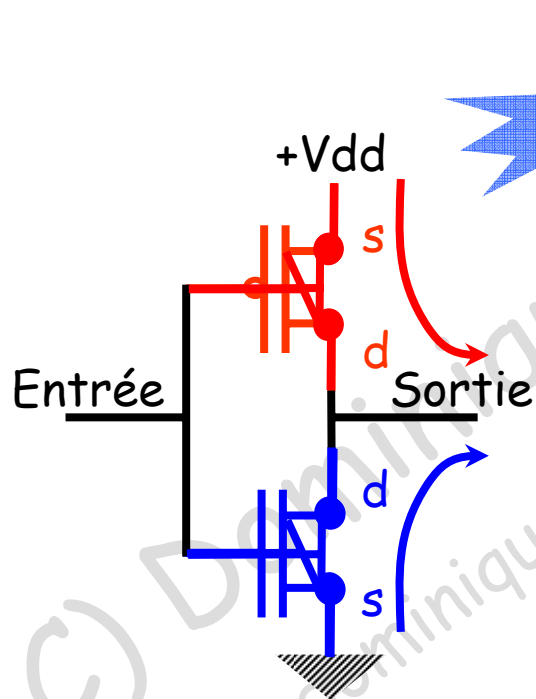
Interconnexions des transistors :

- ✓ Source du PMOS reliée à Vdd
- ✓ Source du NMOS reliée à la masse
- ✓ Grilles attaquées par l'entrée
- ✓ Drains connectés à la sortie

Inverseur CMOS

Inverseur CMOS : Sortie = Entrée

Du point de vue « logique », un **inverseur CMOS** est vu comme un **double interrupteur en série**



ENTREE = 0

PMOS : Conducteur / ~~Bloqué~~

NMOS : ~~Conducteur~~ / Bloqué

SORTIE = 1

ENTREE = 1

PMOS : ~~Conducteur~~ / Bloqué

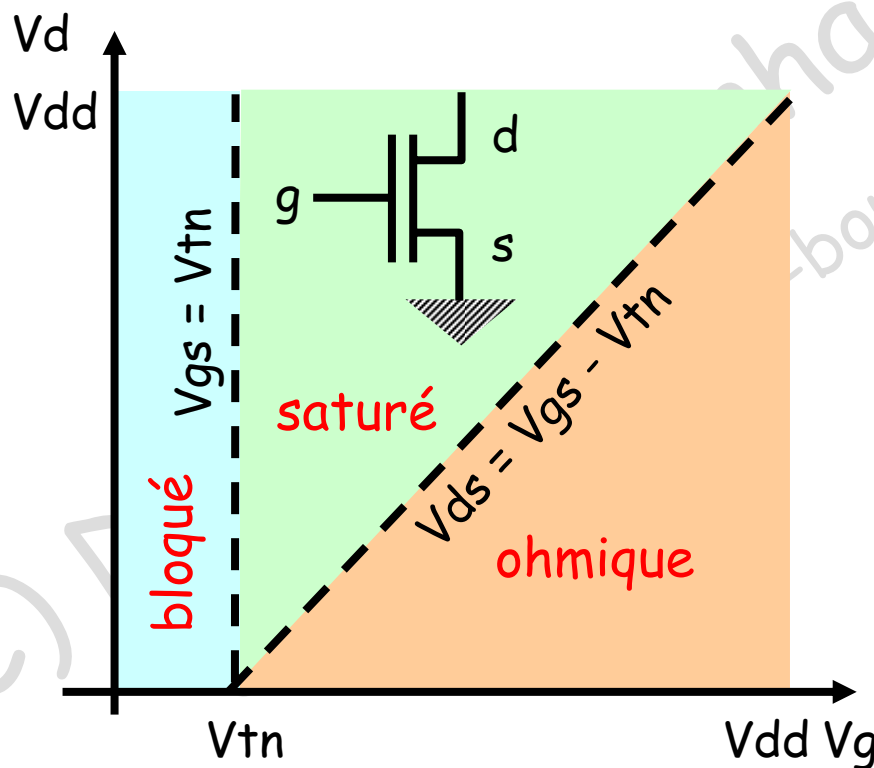
NMOS : Conducteur / ~~Bloqué~~

SORTIE = 0

Inverseur CMOS (2)

Inverseur CMOS : Sortie = Entrée

Du point de vue « électrique », le fonctionnement est plus **complexe**
Pour le transistor **NMOS** : **3 régimes de fonctionnement**



Régime bloqué :
 $V_{gs} < V_{tn}$

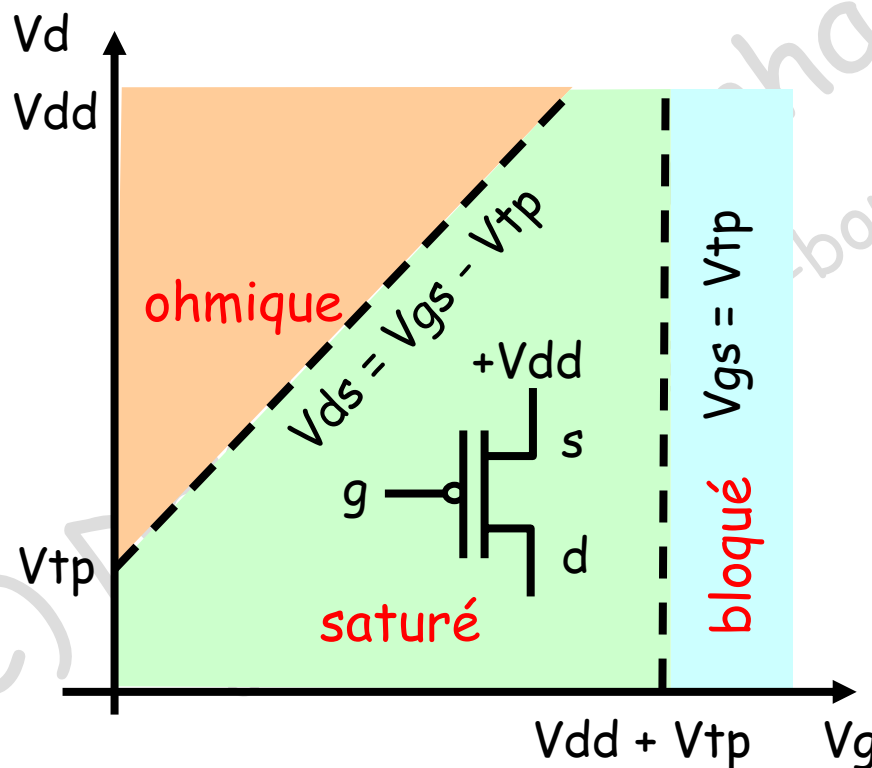
Régime saturé :
 $V_{ds} > V_{gs} - V_{tn}$

Régime ohmique :
 $V_{ds} < V_{gs} - V_{tn}$

Inverseur CMOS (3)

Inverseur CMOS : Sortie = Entrée

Du point de vue « électrique », le fonctionnement est plus **complexe**
 Pour le transistor **PMOS** : **3 régimes de fonctionnement**



Régime bloqué :
 $V_{gs} > V_{tp}$

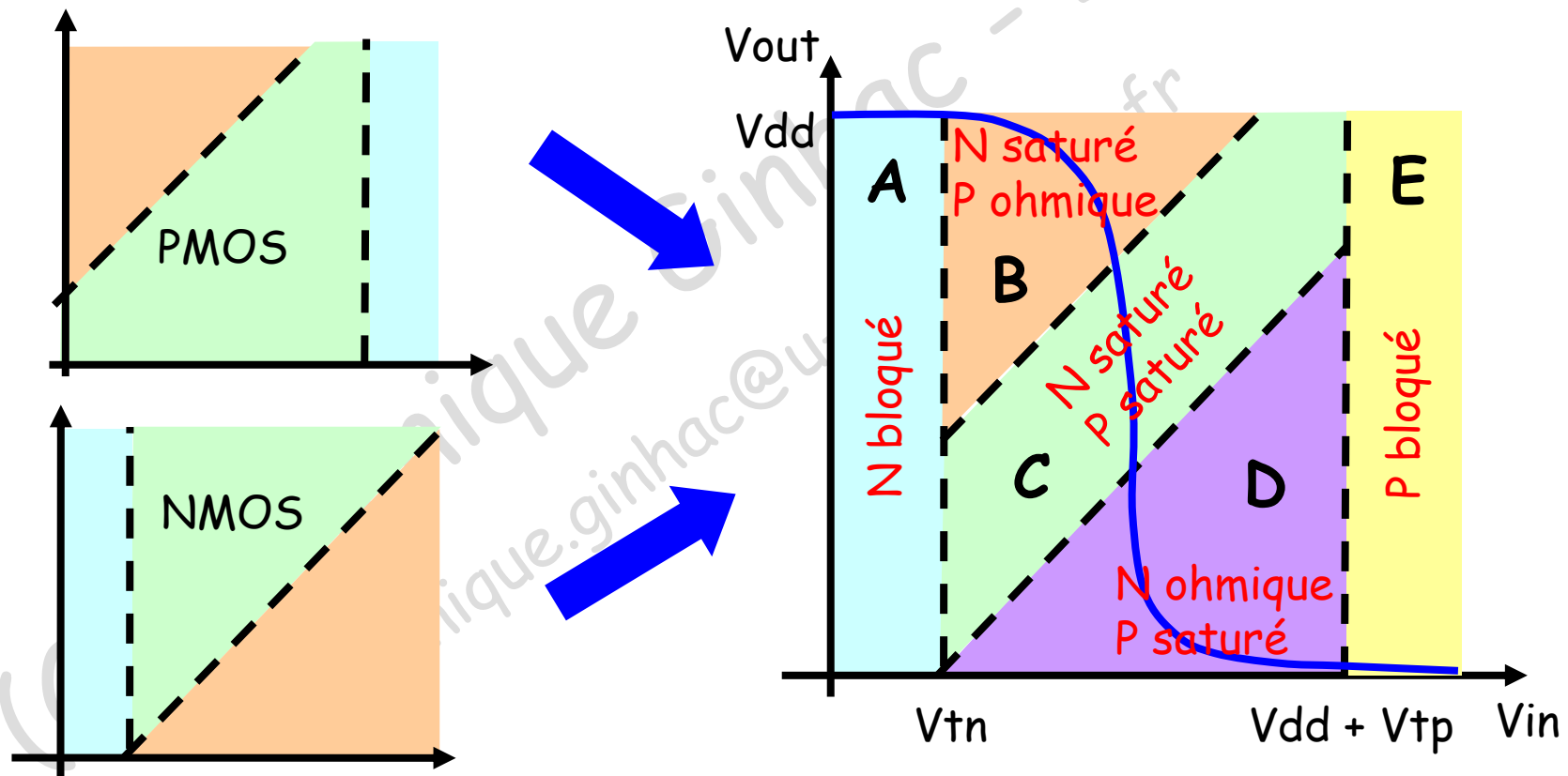
Régime saturé :
 $V_{ds} < V_{gs} - V_{tn}$

Régime ohmique :
 $V_{ds} > V_{gs} - V_{tn}$

Inverseur CMOS (4)

Inverseur CMOS : Sortie = $\overline{\text{Entrée}}$

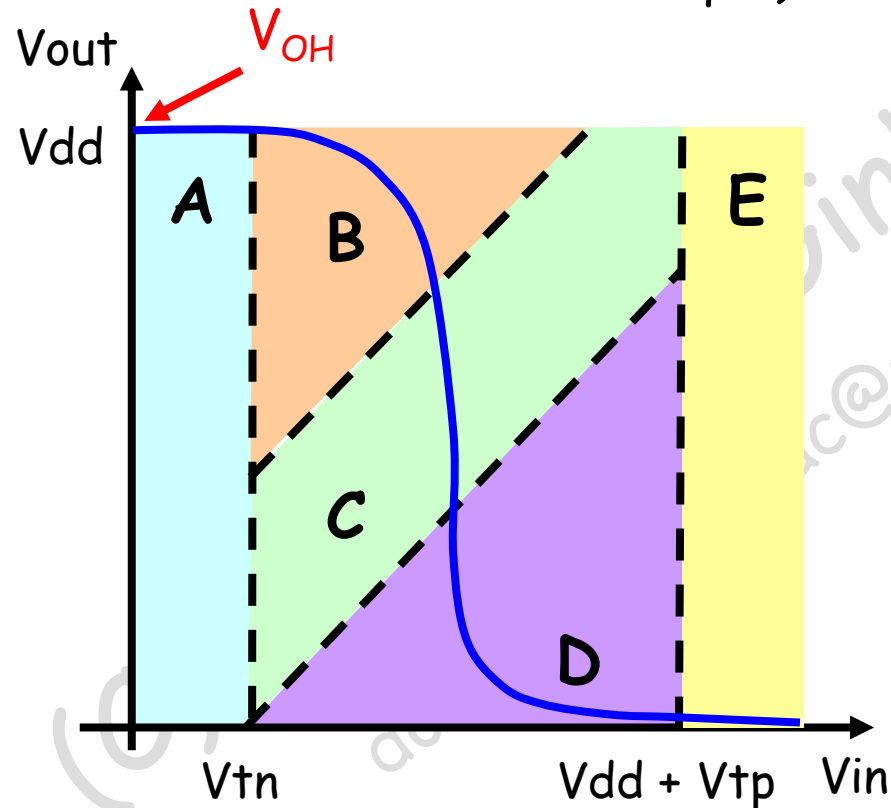
Pour l'inverseur CMOS : 5 régimes de fonctionnement au total



Inverseur CMOS (5)

Inverseur CMOS : Sortie = $\overline{\text{Entrée}}$

Région A : Fonctionnement en interrupteurs parfaits (PMOS conducteur et NMOS bloqué)



Un seul des 2 transistors conduit (ici, le PMOS)

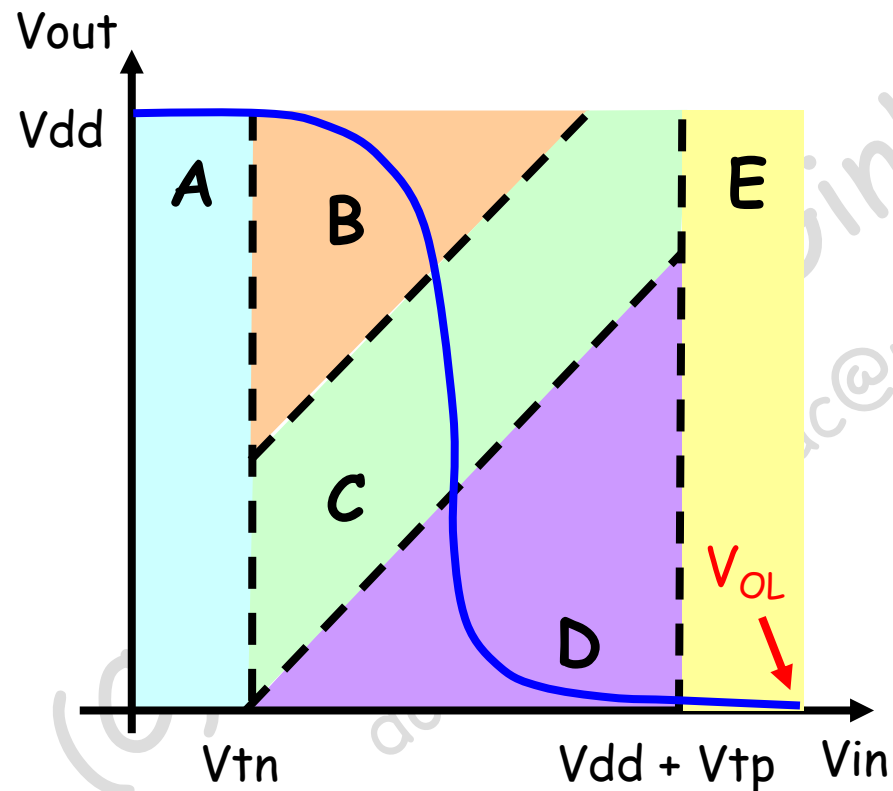
$$V_{IN} = 0 \Rightarrow V_{OUT} = 1$$

On définit V_{OH} comme la plus grande valeur obtenue sur la sortie V_{OUT} à savoir $V_{OH} = V_{dd}$

Inverseur CMOS (6)

Inverseur CMOS : Sortie = Entrée

Région E : Fonctionnement en **interrupteurs parfaits** (PMOS bloqué et NMOS conducteur)



Un seul des 2 transistors conduit (ici, le NMOS)

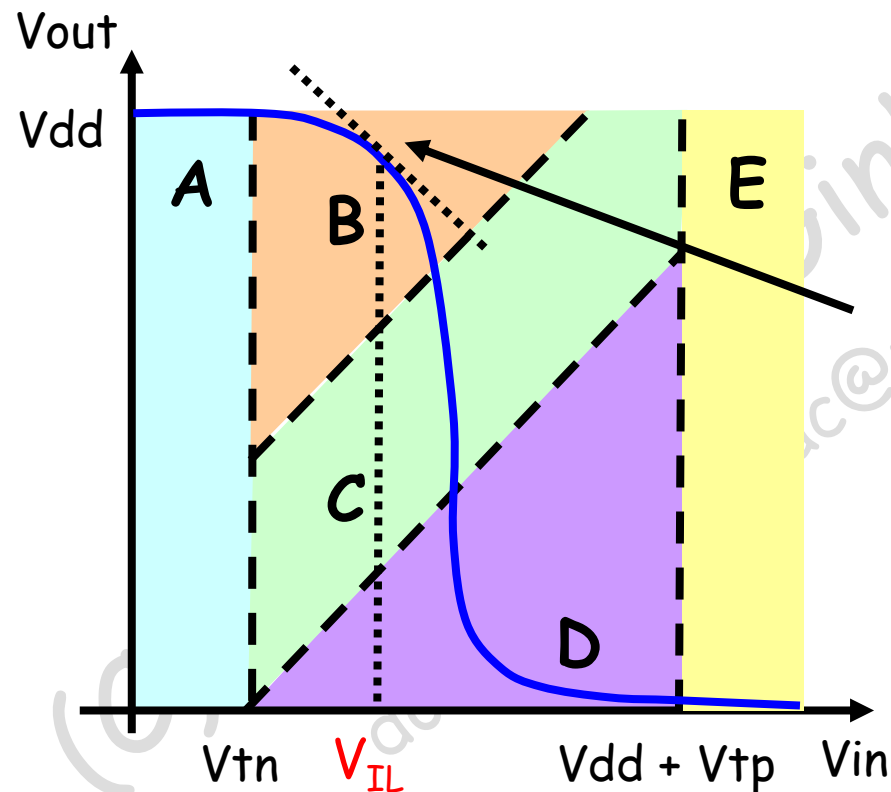
$$V_{IN} = 1 \Rightarrow V_{OUT} = 0$$

On définit V_{OL} comme la plus petite valeur obtenue sur la sortie V_{OUT} à savoir $V_{OL} = 0$

Inverseur CMOS (7)

Inverseur CMOS : Sortie = Entrée

Région B : Les **deux transistors** conduisent (PMOS ohmique et NMOS saturé)



On trouve un point caractéristique d'abscisse V_{IL} correspondant à une **pente négative de valeur -1**

V_{IL} est définie comme la plus grande valeur en entrée interprétée comme un 0 logique

V_{IL} est obtenue en résolvant le système d'équations :

$$\begin{cases} I_{DN}(\text{sat}) = I_{DP}(\text{lin}) \\ \left(\frac{dV_{out}}{dV_{in}} \right)_{V_{IL}} = -1 \end{cases}$$

Inverseur CMOS (8)

Calcul des tensions caractéristiques : V_{IL}

V_{IL} est obtenue à partir du système d'équations : $\begin{cases} I_{DN}^{(sat)} = I_{DP}^{(lin)} \\ \left(\frac{dV_{out}}{dV_{in}} \right)_{V_{IL}} = -1 \end{cases}$

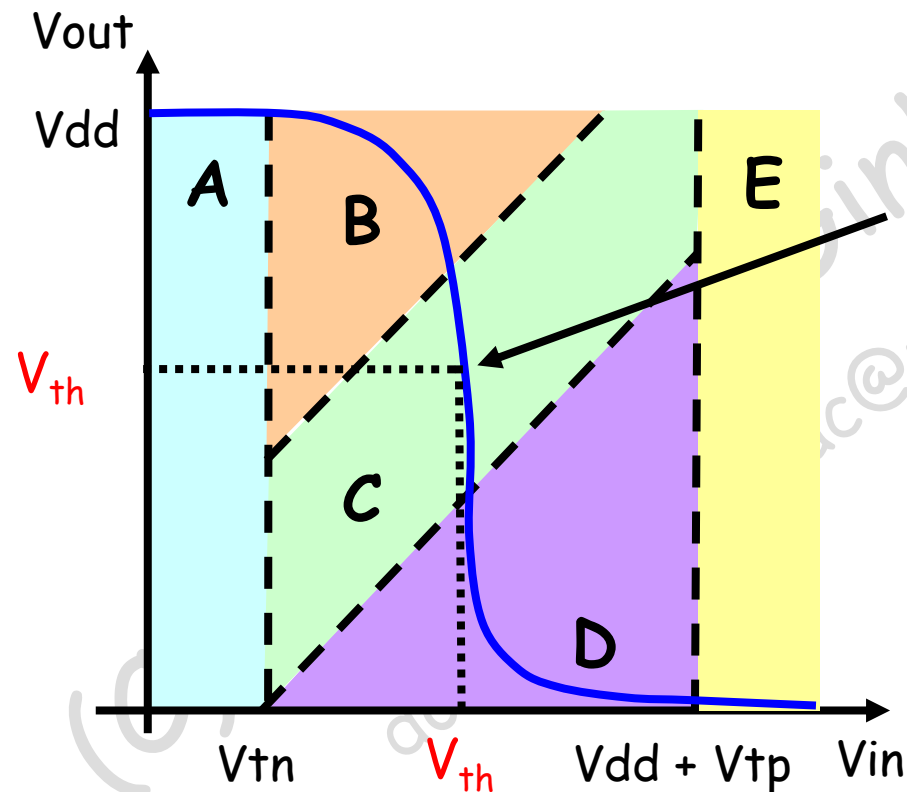
$$\begin{aligned} & \frac{k'_n}{2} \left(\frac{W}{L} \right)_n (V_{in} - V_{Tn})^2 \\ &= \frac{k'_p}{2} \left(\frac{W}{L} \right)_p \left[2(V_{in} - V_{DD} - V_{Tp})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2 \right] \end{aligned}$$

$$V_{IL} = \frac{2V_{out} + V_{Tp} - V_{DD} + k_R V_{Tn}}{1 + k_R} \quad \text{Avec} \quad k_R = \frac{k'_n (W/L)_n}{k'_p (W/L)_p}$$

Inverseur CMOS (9)

Inverseur CMOS : Sortie = Entrée

Région C : Les **deux transistors** conduisent (PMOS saturé et NMOS saturé)



On trouve un point caractéristique d'abscisse V_{th} défini comme le seuil de l'inverseur

Il s'agit du point pour lequel on a la relation : $V_{OUT} = V_{IN} = V_{th}$

$$\Rightarrow V_{th} = (V_{OH} - V_{OL})/2$$

V_{th} est obtenue en résolvant le système d'équations :

$$I_{DN}(sat) = I_{DP}(sat)$$

Inverseur CMOS (10)

Calcul des tensions caractéristiques : V_{th} $I_{DN}(sat) = I_{DP}(sat)$

V_{th} est défini comme le seuil de l'inverseur pour lequel la tension de sortie est égale à la tension d'entrée

$$V_{th} = \frac{V_{Tn} + \sqrt{\frac{1}{k_R}} (V_{DD} + V_{Tp})}{\left(1 + \sqrt{\frac{1}{k_R}}\right)}$$

Avec $k_R = \frac{k'_n (W/L)_n}{k'_p (W/L)_p}$

Inverseur CMOS (11)

Calcul des tensions caractéristiques : V_{th} $I_{DN}(sat) = I_{DP}(sat)$

Pour obtenir un inverseur **symétrique**, il faut avoir $V_{th} = \frac{1}{2} V_{DD}$

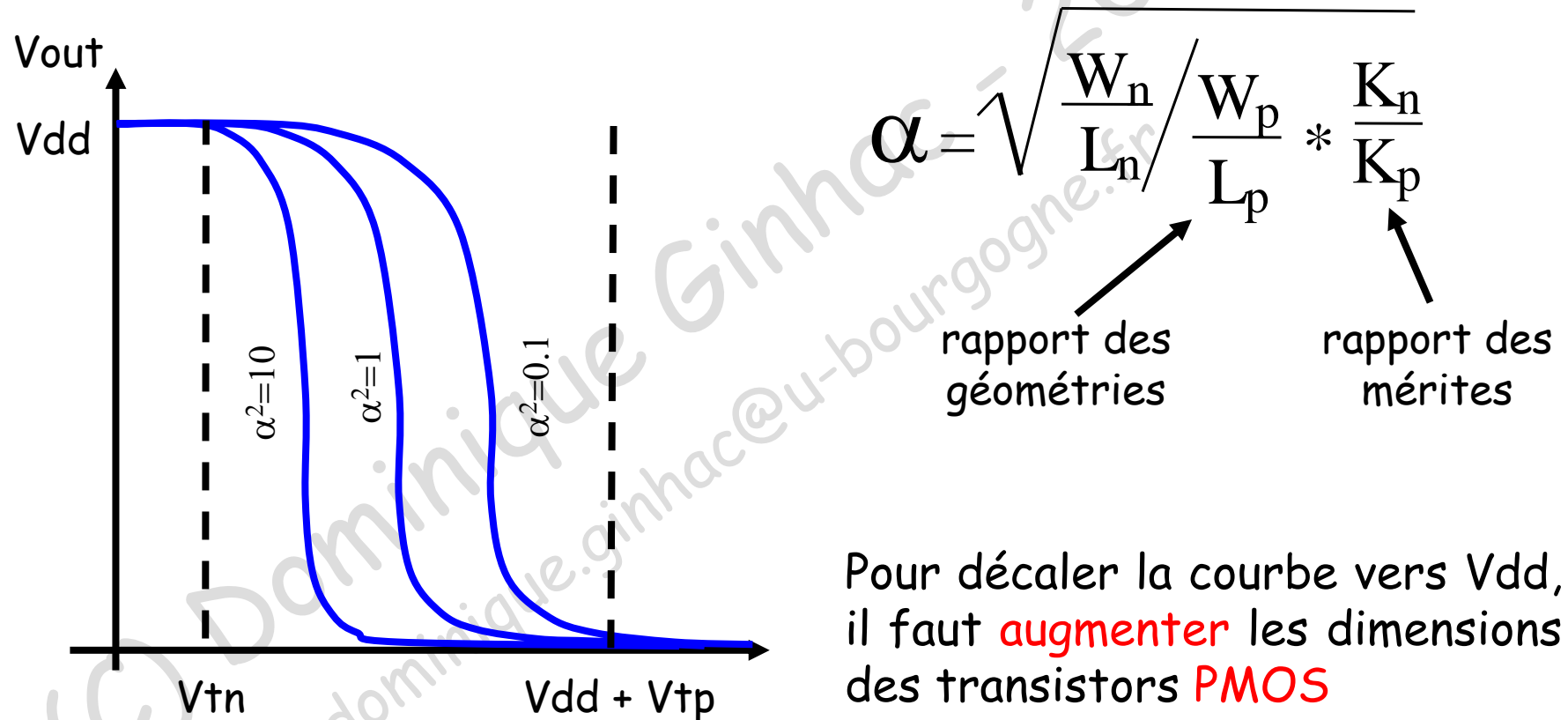
On a donc $k_R = \frac{k'_n (W/L)_n}{k'_p (W/L)_p} = 1$ avec $V_{tn} = -V_{tp}$

$$k_R = \frac{k'_n (W/L)_n}{k'_p (W/L)_p} = \frac{\mu_n C_{ox} (W/L)_n}{\mu_p C_{ox} (W/L)_p} = \frac{\mu_n (W/L)_n}{\mu_p (W/L)_p} = 1$$

$$\frac{(W/L)_n}{(W/L)_p} = \frac{\mu_p}{\mu_n} = \frac{230 \text{ cm}^2/\text{Vs}}{580 \text{ cm}^2/\text{Vs}} \longrightarrow (W/L)_p = 2.5(W/L)_n$$

Inverseur CMOS (12)

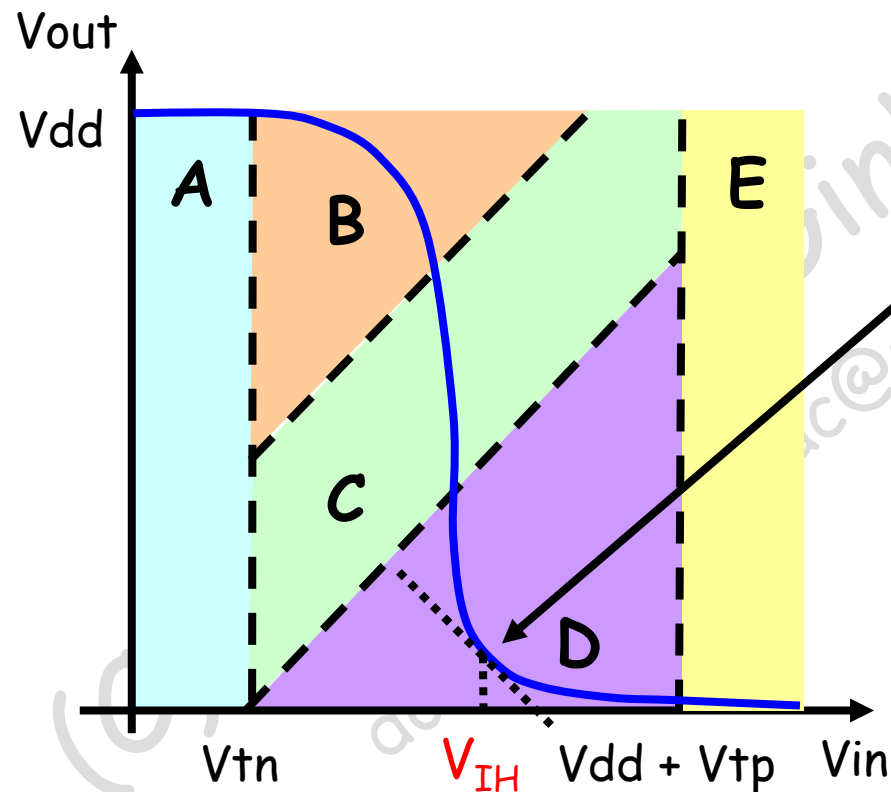
Calcul des tensions caractéristiques : V_{th}



Inverseur CMOS (13)

Inverseur CMOS : Sortie = $\overline{\text{Entrée}}$

Région D : Les **deux transistors** conduisent (PMOS saturé et NMOS ohmique)



On trouve un point caractéristique d'abscisse V_{IH} correspondant à une **pente négative de valeur -1**

V_{IH} est définie comme la plus petite valeur en entrée interprétée comme un 1 logique

V_{IH} est obtenue en résolvant le système d'équations :

$$\begin{cases} I_{DN}(\text{lin}) = I_{DP}(\text{sat}) \\ \left(\frac{dV_{out}}{dV_{in}} \right)_{V_{IH}} = -1 \end{cases}$$

Inverseur CMOS (14)

Calcul des tensions caractéristiques : V_{IH}

V_{IH} est obtenue à partir du système d'équations : $\begin{cases} I_{DN}(\text{lin}) = I_{DP}(\text{sat}) \\ \left(\frac{dV_{out}}{dV_{in}} \right)_{V_{IH}} = -1 \end{cases}$

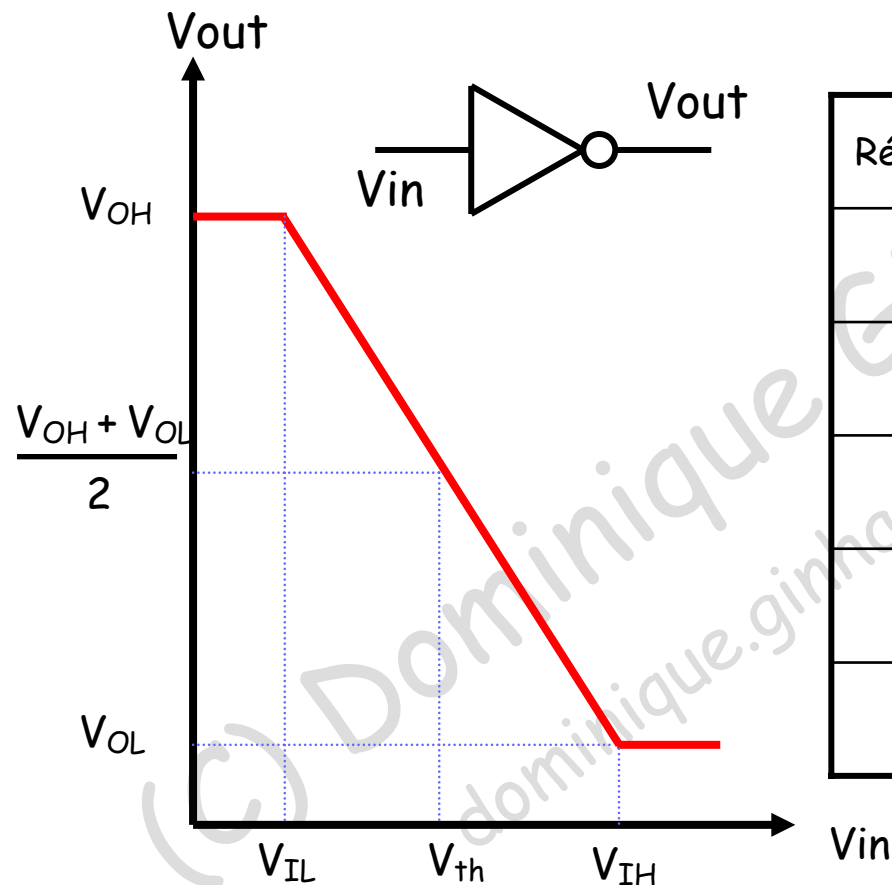
$$\frac{k'_n \left(\frac{W}{L} \right)_n}{2} [2(V_{in} - V_{Tn}) V_{out} - V_{out}^2] = \frac{k'_p \left(\frac{W}{L} \right)_p}{2} (V_{in} - V_{DD} - V_{Tp})^2$$

$$V_{IH} = \frac{V_{DD} + V_{Tp} + k_R (2V_{out} + V_{Tn})}{1 + k_R}$$

$$\text{Avec } k_R = \frac{k'_n (W/L)_n}{k'_p (W/L)_p}$$

Inverseur CMOS (15)

Premier bilan sur l'inverseur CMOS

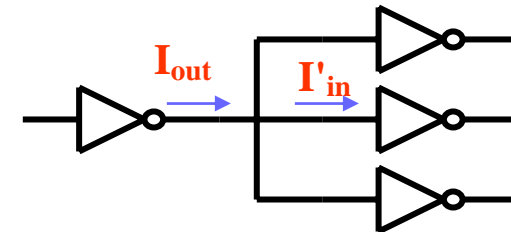


Région	Entrée	Sortie	NMOS	PMOS
A	$< V_{tn}$	V_{OH}	Bloqué	Ohmique
B	V_{IL}	V_{OH}	Saturé	Ohmique
C	V_{th}	V_{th}	Saturé	Saturé
D	V_{IH}	V_{OL}	Ohmique	Saturé
E	$> (V_{dd} + V_{tp})$	V_{OL}	Ohmique	Bloqué

Inverseur CMOS (16)

Caractéristiques électriques des portes logiques :

1. **Excursion en sortie** (« Logic swing ») :
 - ✓ Amplitude de variation max de la sortie : $V_{LS} = V_{OH} - V_{OL}$
Pour l'inverseur : $V_{LS} = V_{DD}$
2. **Largeur de transition** (« Transition Width ») :
 - ✓ Variation nécessaire de la tension d'entrée pour changer l'état de la sortie : $V_{TW} = V_{IH} - V_{IL}$
3. **Sortance des portes** (Fan out) :
 - ✓ Nombre de portes qui peuvent être commandées par une porte :
 $F = I_{out} / I'_{in}$

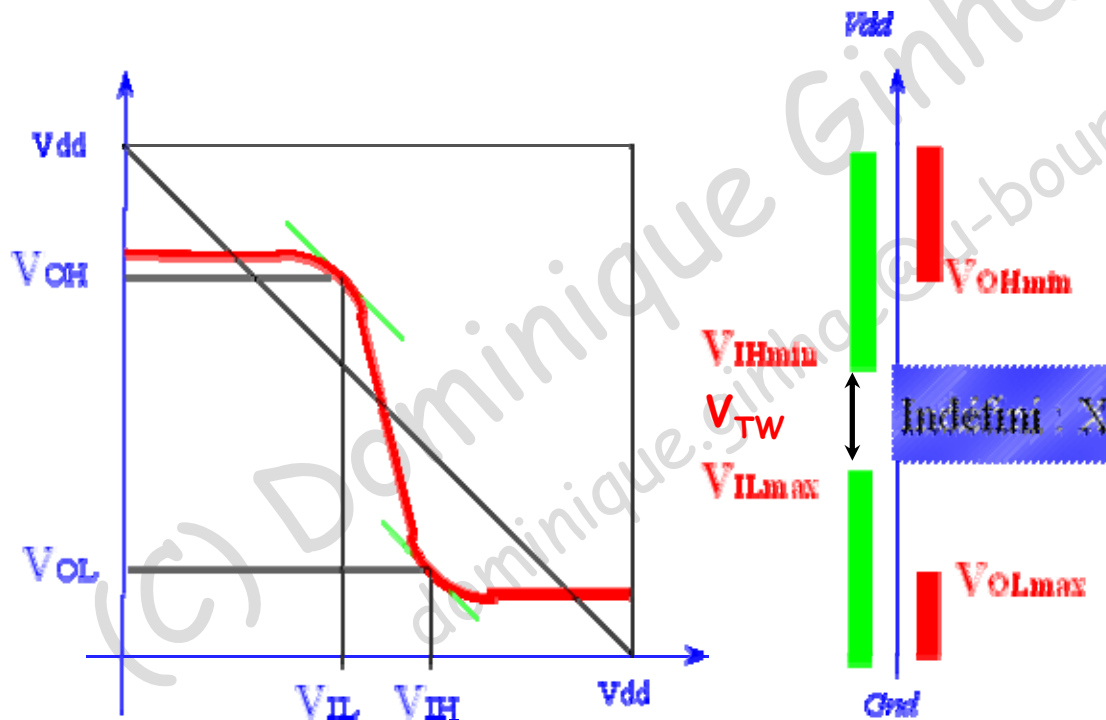


Inverseur CMOS (17)

Caractéristiques électriques des portes logiques :

4. Marges de bruit (« Noise Margin »)

- ✓ Capacité d'une porte à éliminer le bruit sur les entrées (bruit par couplage capacitif, résistif, bruit thermique, ...)



Rappels :

V_{OHmin} : tension minimale de sortie représentant un état haut

V_{OLmax} : tension maximale de sortie représentant un état bas

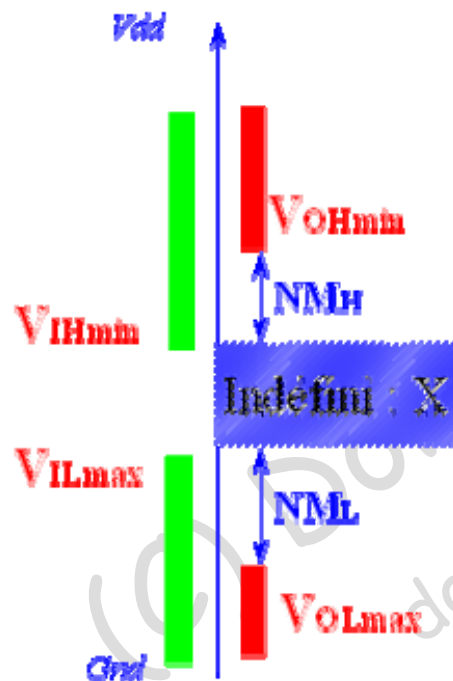
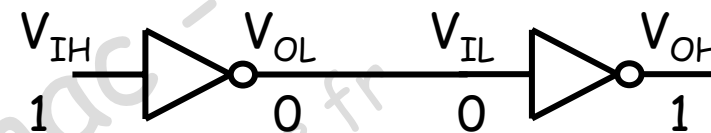
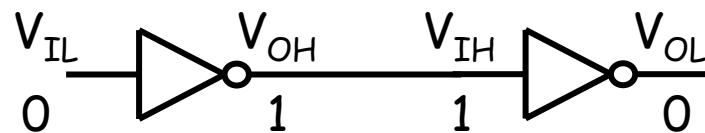
V_{IHmin} : tension minimale d'entrée pour laquelle on est à l'état bas en sortie

V_{ILmax} : tension maximale d'entrée pour laquelle on est à l'état haut en sortie

Inverseur CMOS (18)

Caractéristiques électriques des portes logiques :

4. Marges de bruit (« Noise Margin »)



Marge de bruit haute : $N_{MH} = V_{OH} - V_{IH}$

✓ La sortie du 1^{er} inverseur V_{OH} doit être supérieure à la valeur minimale V_{IH} en entrée du 2^{ème} inverseur

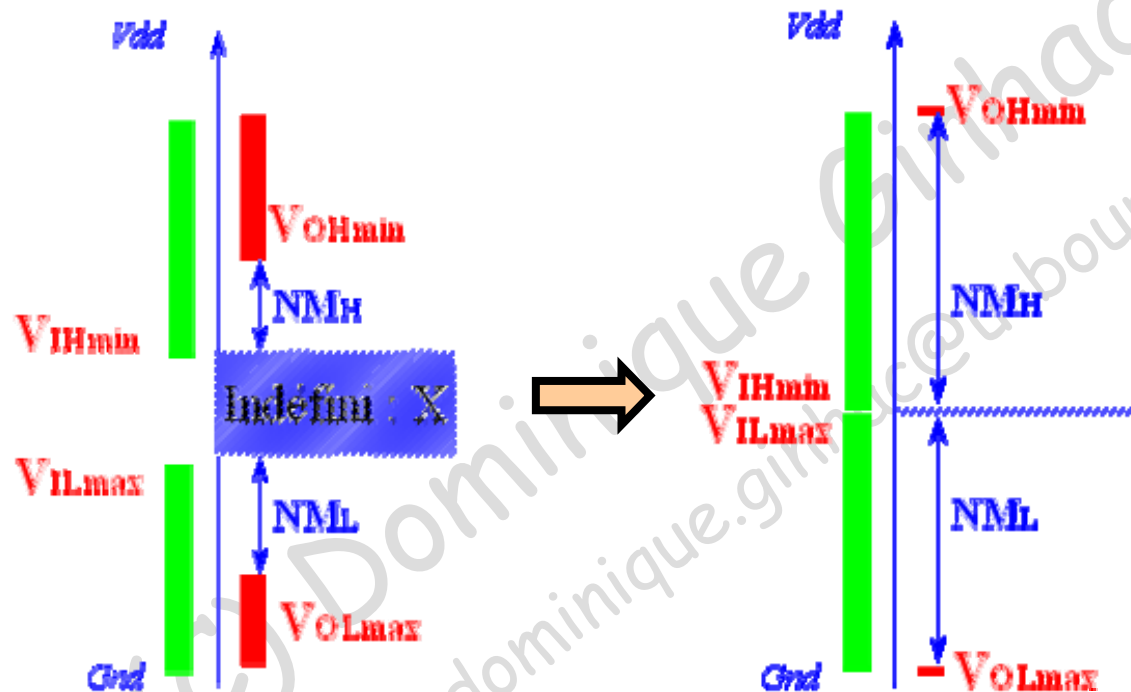
Marge de bruit basse : $N_{ML} = V_{IL} - V_{OL}$

✓ La sortie du 1^{er} inverseur V_{OL} doit être inférieure à la valeur maximale V_{IL} en entrée du 2^{ème} inverseur

Inverseur CMOS (19)

Caractéristiques électriques des portes logiques :

4. Marges de bruit idéales



$$V_{OHmin} = V_{dd}$$

$$V_{OLmax} = 0$$

$$V_{IHmin} = V_{dd} / 2$$

$$V_{ILmax} = V_{dd} / 2$$

Donc :

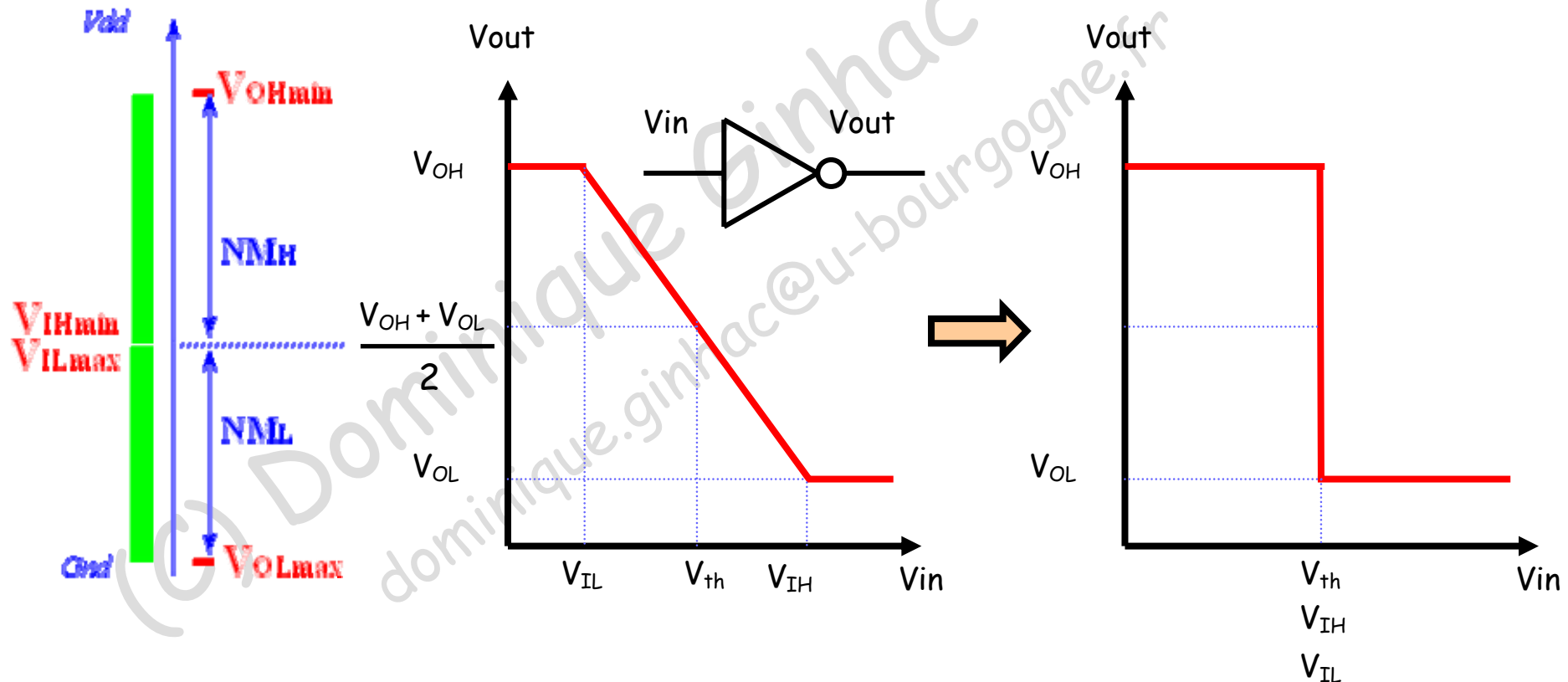
$$N_{MH} = V_{dd} / 2$$

$$N_{ML} = V_{dd} / 2$$

Inverseur CMOS (20)

Caractéristiques électriques des portes logiques :

4. Marges de bruit idéales et caractéristique de l'inverseur

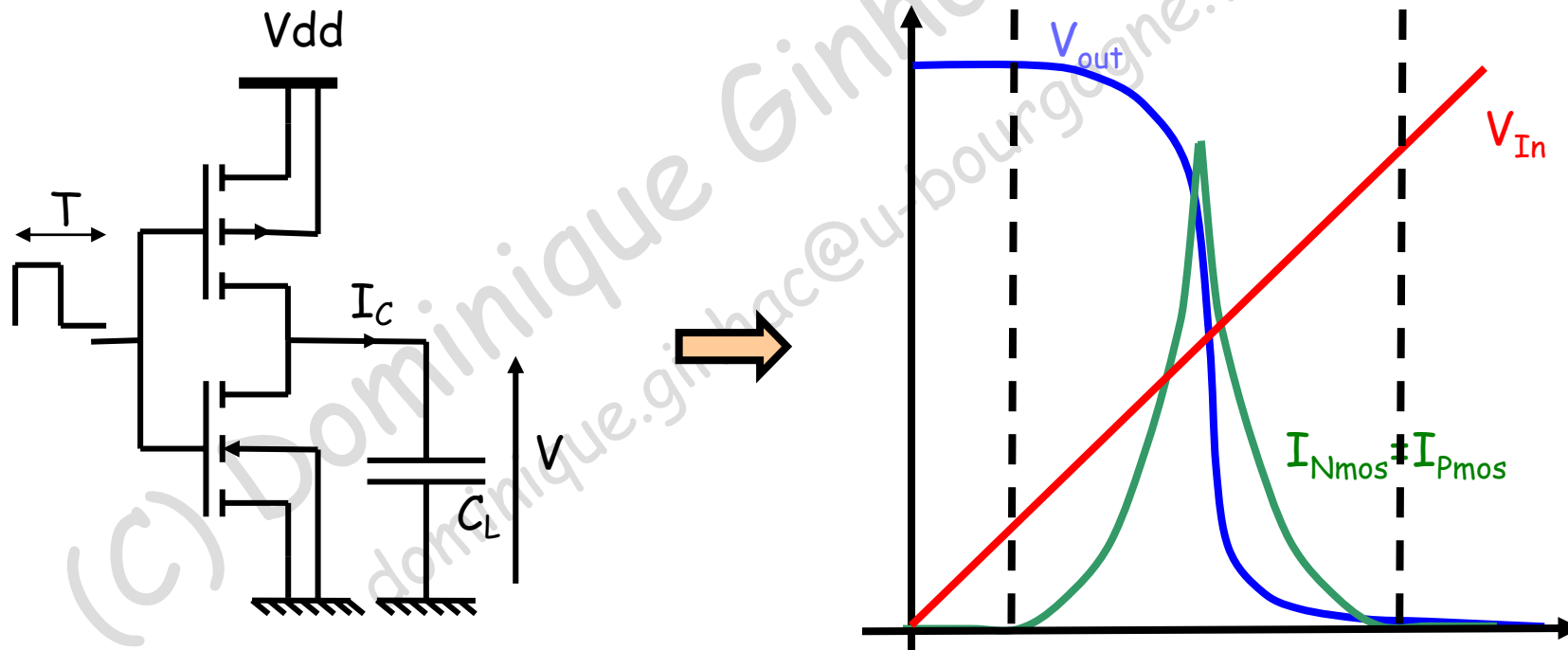


Inverseur CMOS (21)

Consommation électrique des portes logiques :

Les structures CMOS ont une **consommation statique** quasi **nulle** (pas de chemin conducteur entre V_{dd} et V_{ss} en régime statique)

Cela se traduit par un **pic de courant** autour de V_{th}



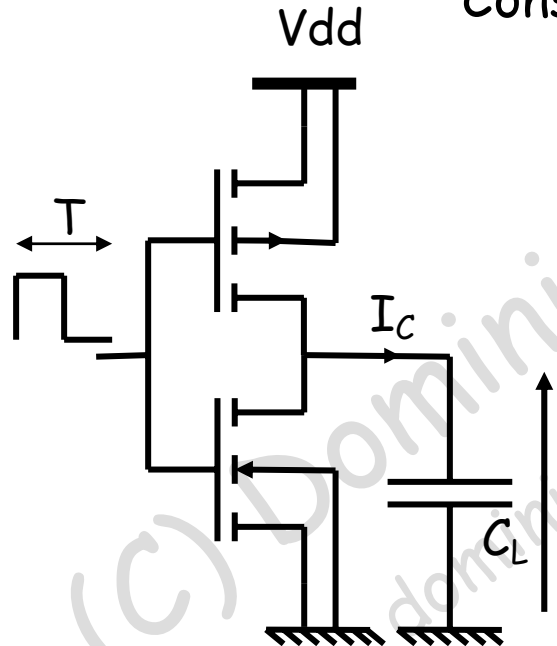
Inverseur CMOS (22)

Consommation électrique des portes logiques :

La **puissance** est uniquement **dissipée** lors des **commutations** correspondant aux **charges** et **décharges** des **capacités parasites**

Consommation totale : $P_{\text{totale}} = \cancel{P_{\text{statique}}} + P_{\text{dynamique}}$

$$P_{\text{moy}} = \frac{1}{T} \int_0^T V I_C dt = \frac{1}{T} \left(\int_0^{\frac{T}{2}} -C_L V \frac{dV}{dt} dt + \int_{\frac{T}{2}}^T C_L V \frac{dV}{dt} dt \right)$$

$$P_{\text{moy}} = \frac{1}{T} \left(\int_{V_{DD}}^0 -C_L V dV + \int_0^{V_{DD}} C_L V dV \right) = \frac{C_L V_{DD}^2}{T}$$


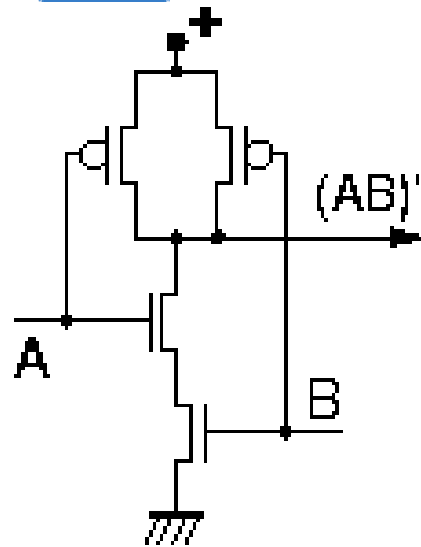
$P_{\text{totale}} = C_L \cdot V_{dd}^2 \cdot F$

Capacité de charge

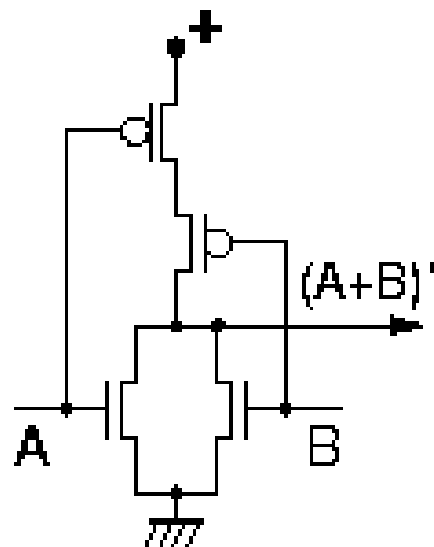
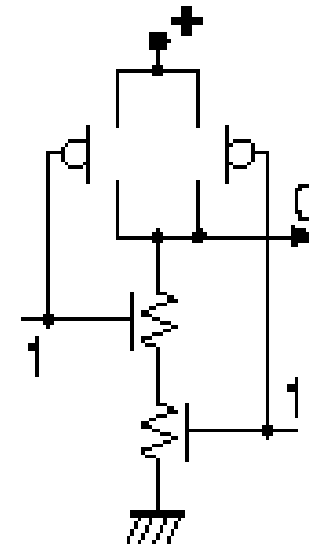
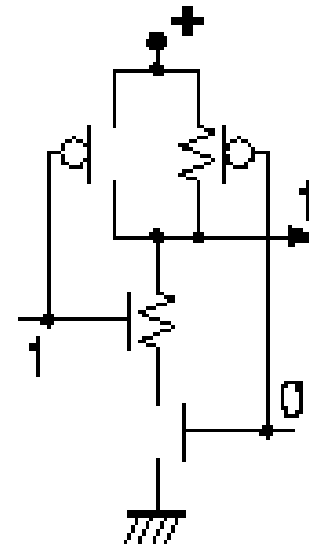
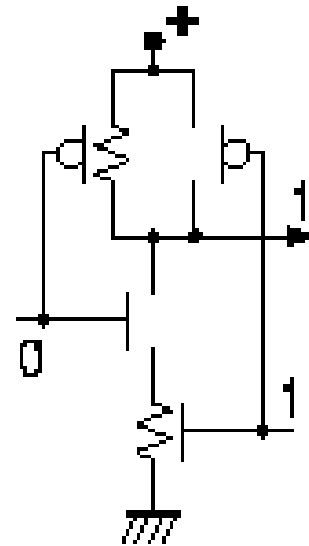
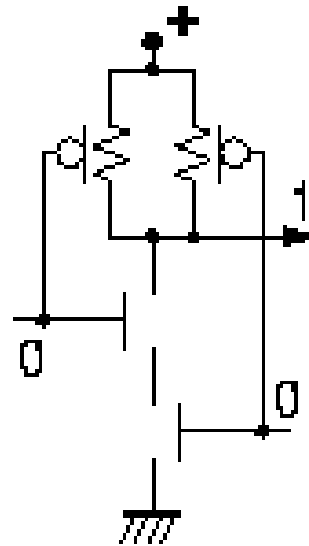
Alimentation

Fréquence des commutations du signal d'entrée

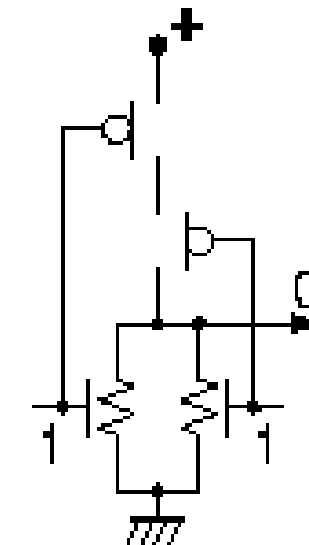
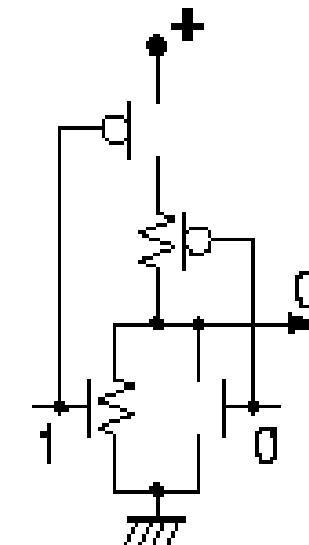
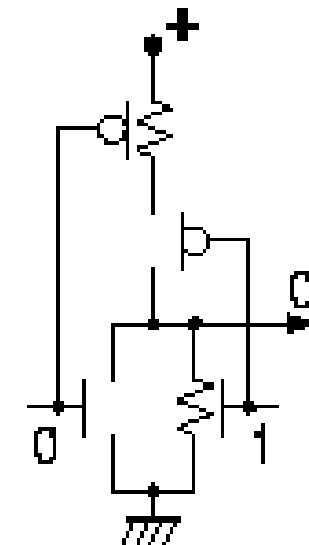
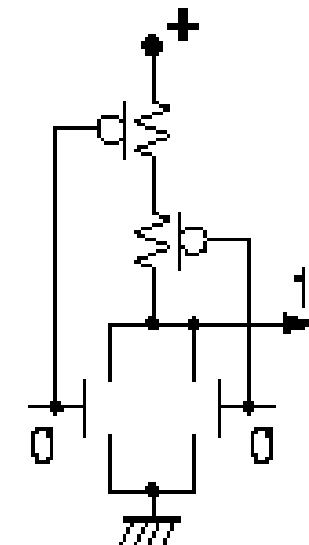
Quelques portes simples



NAND gate



NOR gate

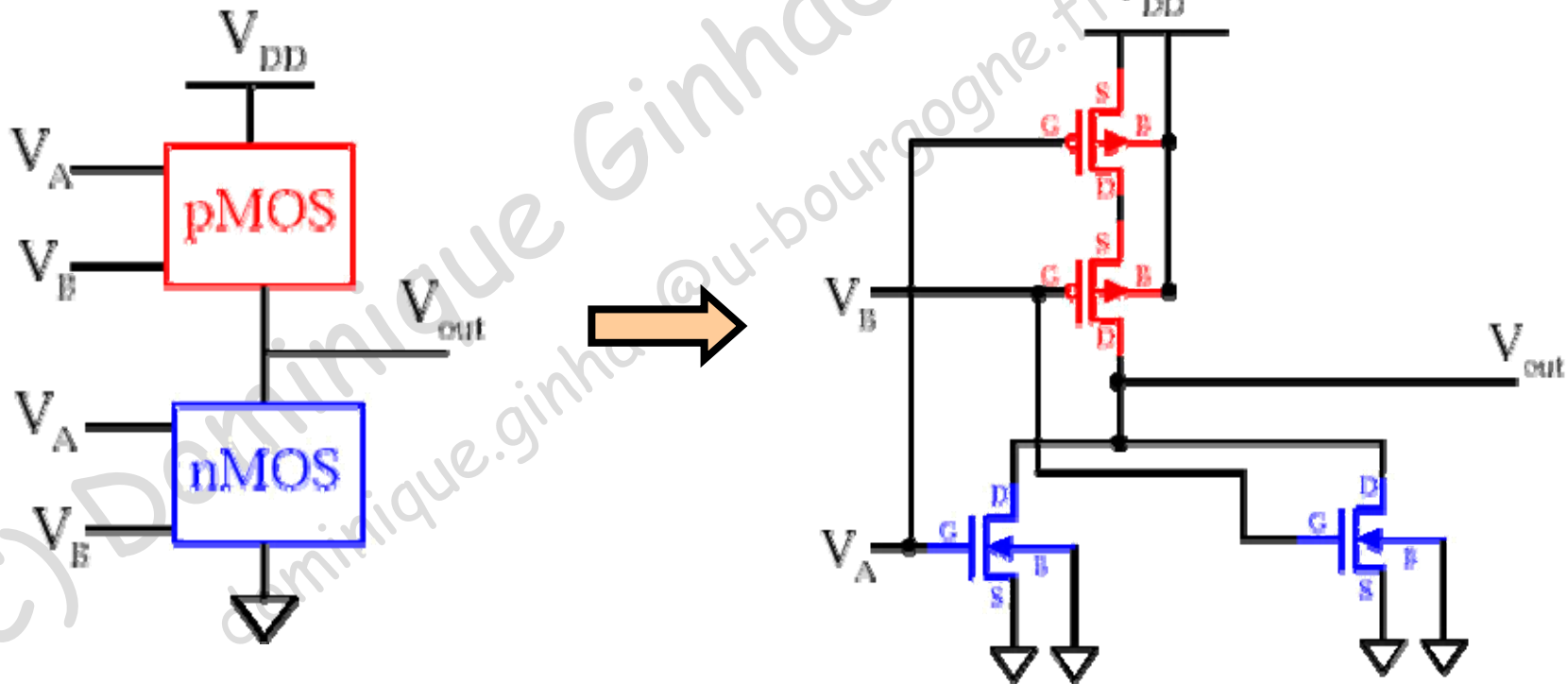


Un 1^{er} exemple basique : le NOR

Porte NOR à deux entrées

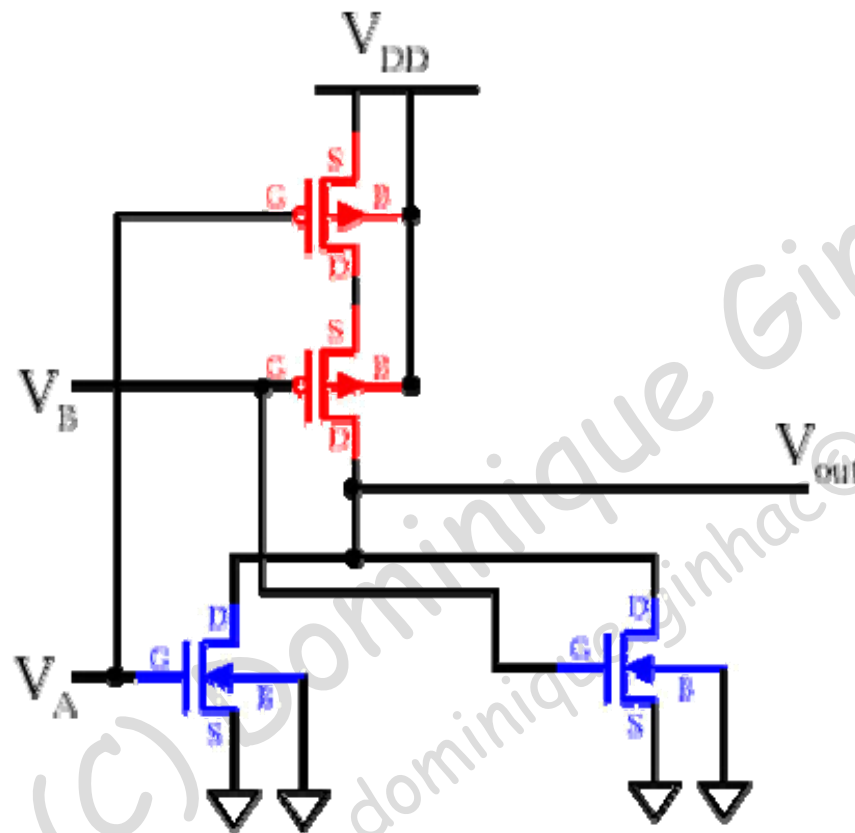
La porte NOR est composée de 4 transistors :

- ✓ 2 transistors **NMOS** en **parallèle**
- ✓ 2 transistors **PMOS** en **série**



Un 1^{er} exemple basique : le NOR (2)

Fonctionnement de la porte NOR



Deux cas principaux :

1. $V_a = 1$ et/ou $V_b = 1$

Un au moins des 2 transistors NMOS conduit

➡ $V_{out} = 0$

2. $V_a = 0$ et $V_b = 0$

Les 2 transistors PMOS conduisent

➡ $V_{out} = 1$

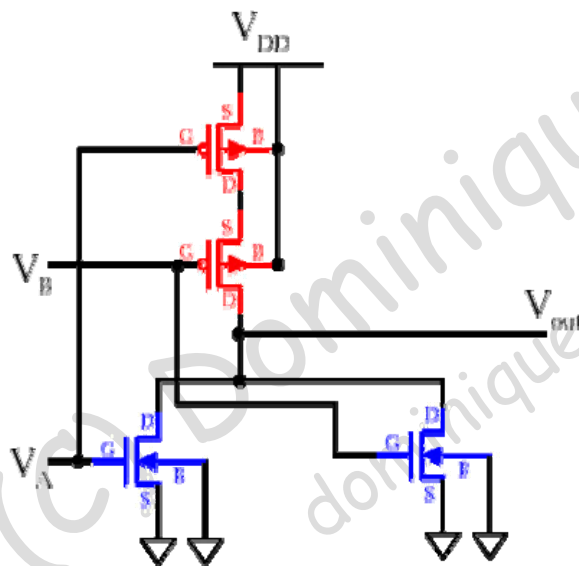
Un 1^{er} exemple basique : le NOR (3)

Tension de seuil de la porte NOR

Définition : $V_{th} = V_a = V_b = V_{out}$

Conditions supposées :

1. Commutations simultanées de V_a et V_b
2. $(W/L)_{nA} = (W/L)_{nB}$
3. $(W/L)_{pA} = (W/L)_{pB}$



$$V_{th}(NOR2) = \frac{V_{Tn} + \frac{1}{2} \sqrt{\frac{k_p}{k_n}} (V_{DD} + V_{Tp})}{1 + \frac{1}{2} \sqrt{\frac{k_p}{k_n}}}$$

En comparaison $V_{th}(INV) = \frac{V_{Tn} + \sqrt{\frac{k_p}{k_n}} (V_{DD} + V_{Tp})}{1 + \sqrt{\frac{k_p}{k_n}}}$

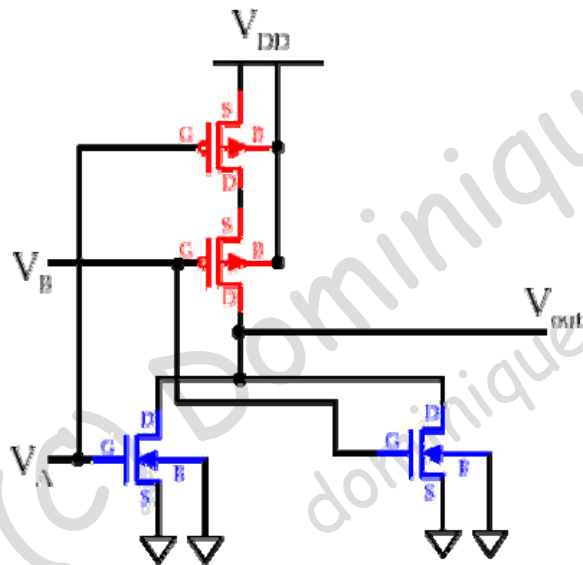
Un 1^{er} exemple basique : le NOR (4)

Tension de seuil de la porte NOR

Définition : $V_{th} = V_a = V_b = V_{out}$

Conditions supposées :

1. Commutations simultanées de V_a et V_b
2. $(W/L)_{nA} = (W/L)_{nB}$
3. $(W/L)_{pA} = (W/L)_{pB}$



Si $k_n = k_p$ et $V_{tn} = -V_{tp}$, on obtient :

$$V_{th}(Nor) = (V_{DD} + V_{tn}) / 3$$

$$V_{th}(Inv) = V_{DD} / 2$$

A.N. : $V_{DD} = 5\text{ V}$ et $V_{tn} = 1\text{ V}$

$$V_{TH}(Inv) = 2.5\text{ V}$$

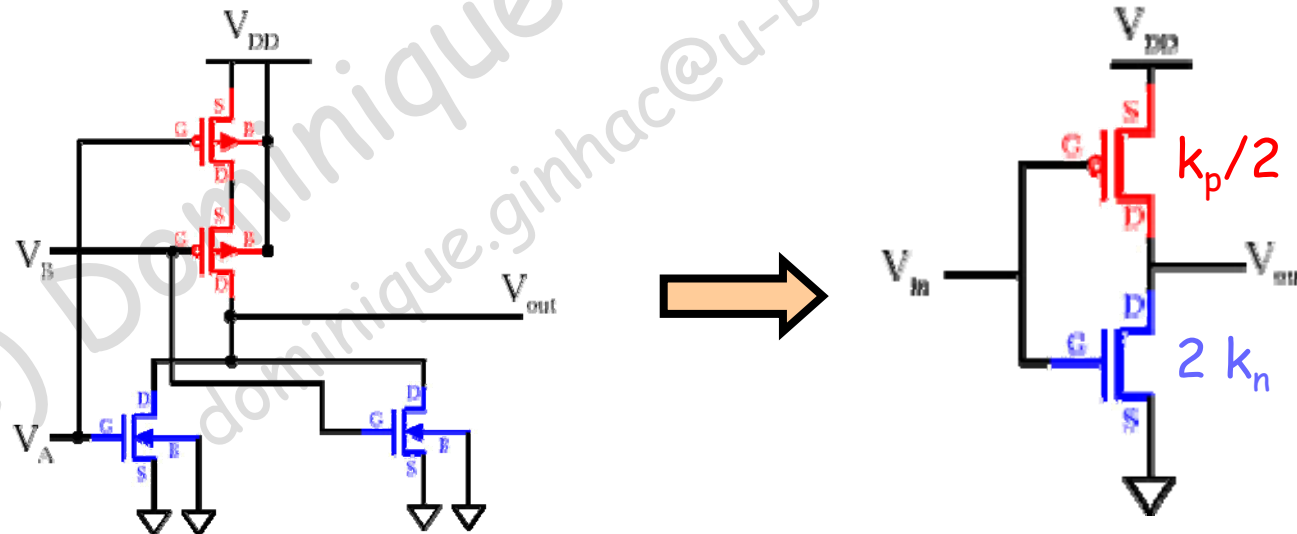
$$V_{th}(Nor) = 2\text{ V}$$

Un 1^{er} exemple basique : le NOR (5)

Tension de seuil de la porte NOR

Pour obtenir une tension de seuil égale à $V_{DD} / 2$, il faut changer le **rapport des géométries** (W/L) des transistors

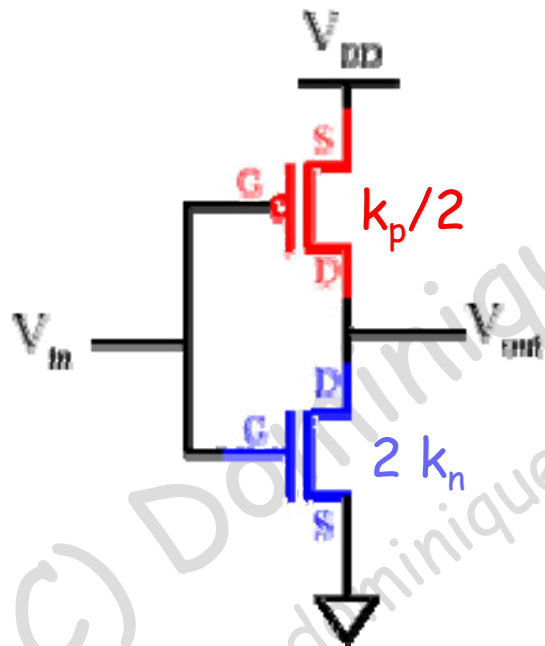
- ✓ 2 MOS en **série** de dimension W et L sont équivalents à un seul MOS de dimension W et $2L$ donc $K_{res} = K / 2$
- ✓ 2 MOS en **parallèle** de dimension W et L sont équivalents à un seul MOS de dimension $2W$ et L donc $K_{res} = 2 K$



Un 1^{er} exemple basique : le NOR (6)

Tension de seuil de la porte NOR

Pour obtenir une tension de seuil égale à $V_{DD} / 2$, il faut changer le **rapport des géométries** (W/L) des transistors



$$V_{th} = V_{DD} / 2 \text{ si } k_p / 2 = 2 k_n$$

$$\Rightarrow k_p = 4 k_n$$

$$\text{Or } k = \mu C_{ox} W / L$$

$$\text{donc } \mu_p (W/L)_p = 4 \mu_n (W/L)_n$$

$$(W/L)_p = (4 \cdot 580 / 230) \cdot (W/L)_n$$

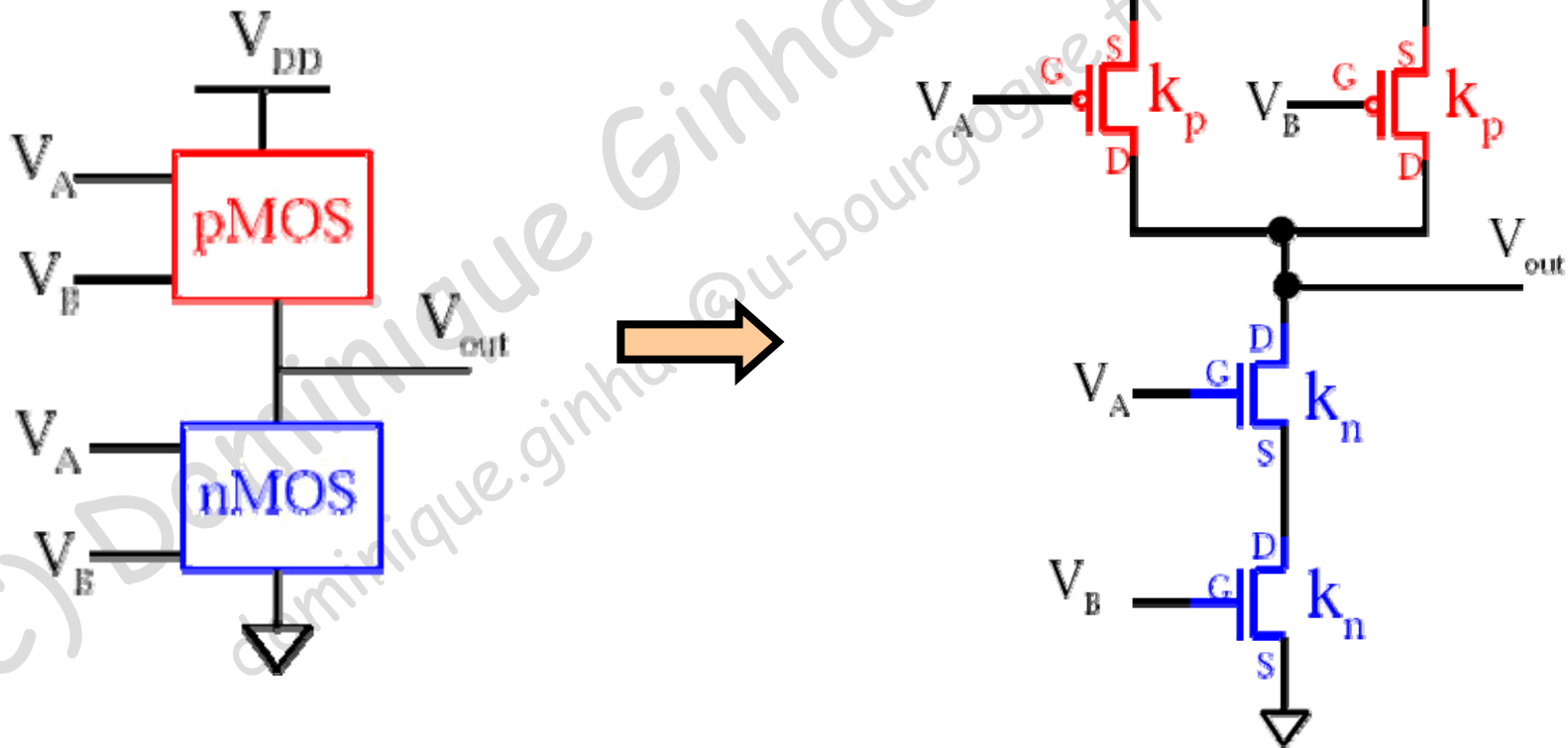
$$\Rightarrow (W/L)_p \approx 10 (W/L)_n$$

Un 2^{ème} exemple basique : le NAND

Porte NAND à deux entrées

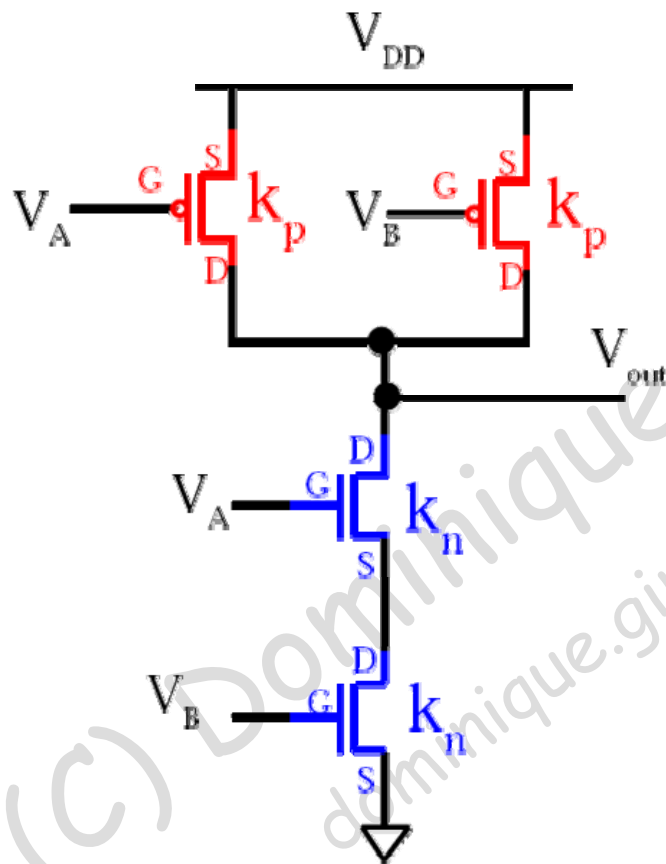
La porte NAND est composée de 4 transistors :

- ✓ 2 transistors **NMOS** en **série**
- ✓ 2 transistors **PMOS** en **parallèle**



Un 1^{er} exemple basique : le NAND (2)

Fonctionnement de la porte NAND



Deux cas principaux :

1. $V_A = 1$ et $V_B = 1$

Les 2 transistors NMOS conduisent

➡ $V_{out} = 0$

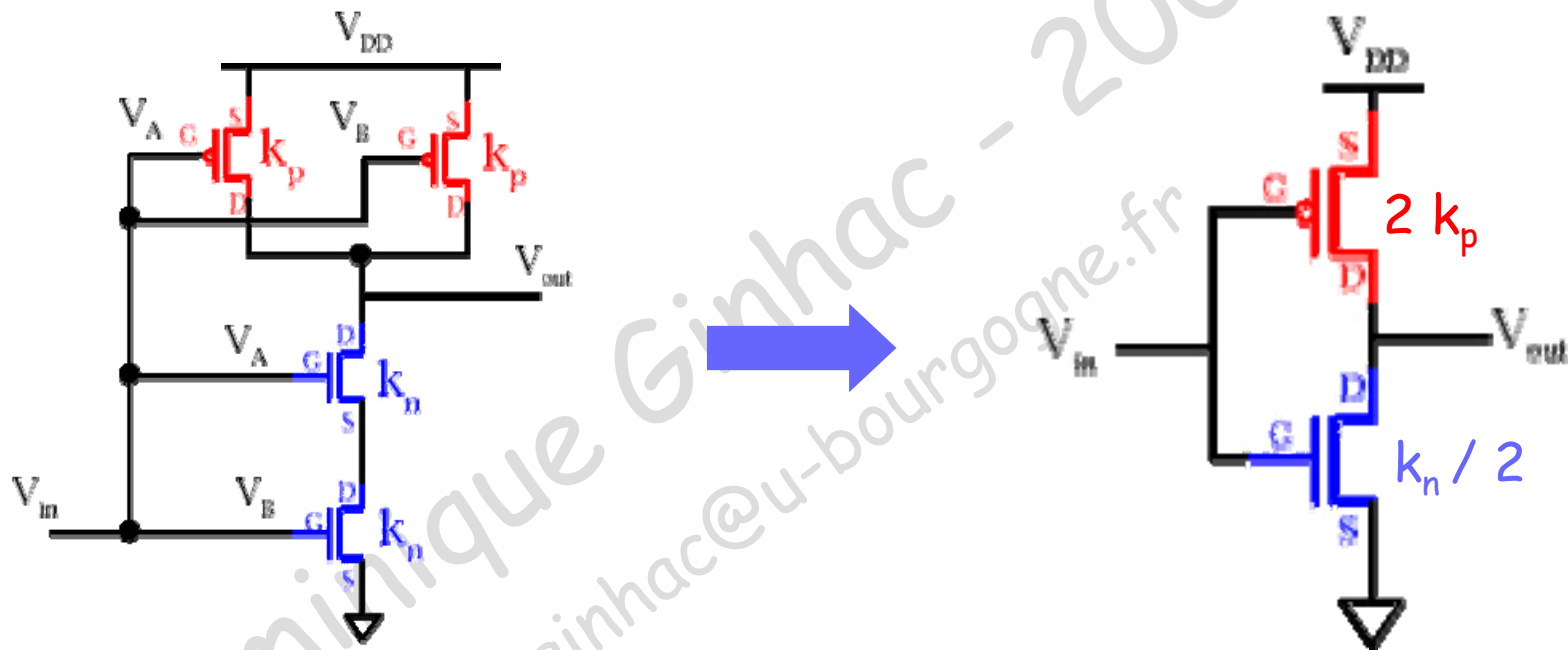
2. $V_A = 0$ et/ou $V_B = 0$

Un au moins des 2 transistors PMOS conduit

➡ $V_{out} = 1$

Un 1^{er} exemple basique : le NAND (3)

Tension de seuil de la porte NAND



$$V_{th}(\text{NAND2}) = \frac{V_{Tn} + 2\sqrt{\frac{k_p}{k_n}}(V_{DD} + V_{Tp})}{1 + 2\sqrt{\frac{k_p}{k_n}}}$$

$$V_{th} = V_{DD} / 2 \text{ si } k_n = 4 k_p$$

$$\rightarrow (W/L)_p \approx 0.63 (W/L)_n$$

A suivre...

(C) Dominique Ginhac - 2007
dominique.ginhac@u-bourgogne.fr