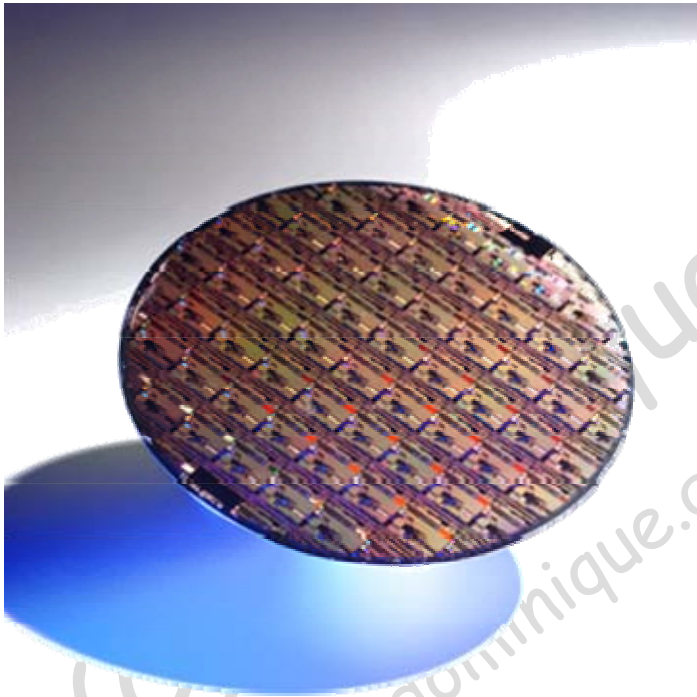


Micro *Électronique*

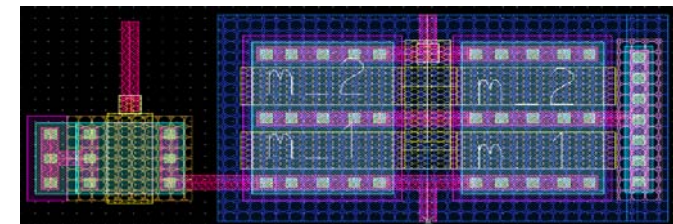


Chapitre 4

Portes CMOS élémentaires



Dominique GINHAC
dginhac@u-bourgogne.fr



Plan du cours

1- Introduction sur la microélectronique numérique

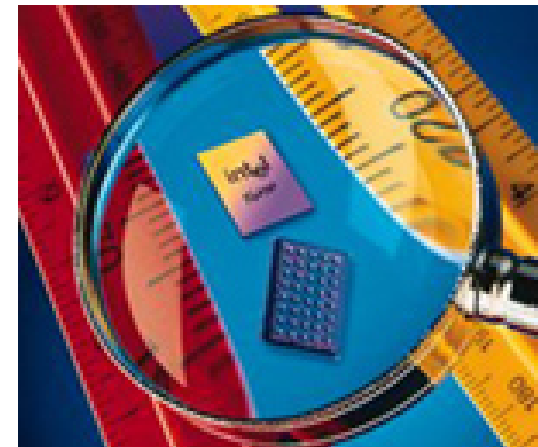
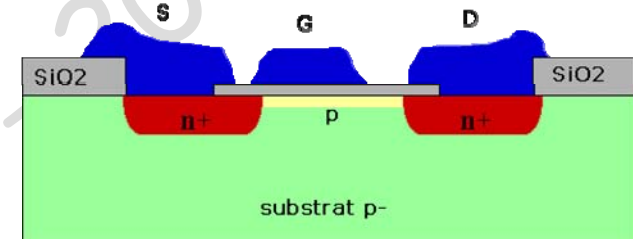
2- Physique des semi conducteurs

3- Bases de la technologie CMOS

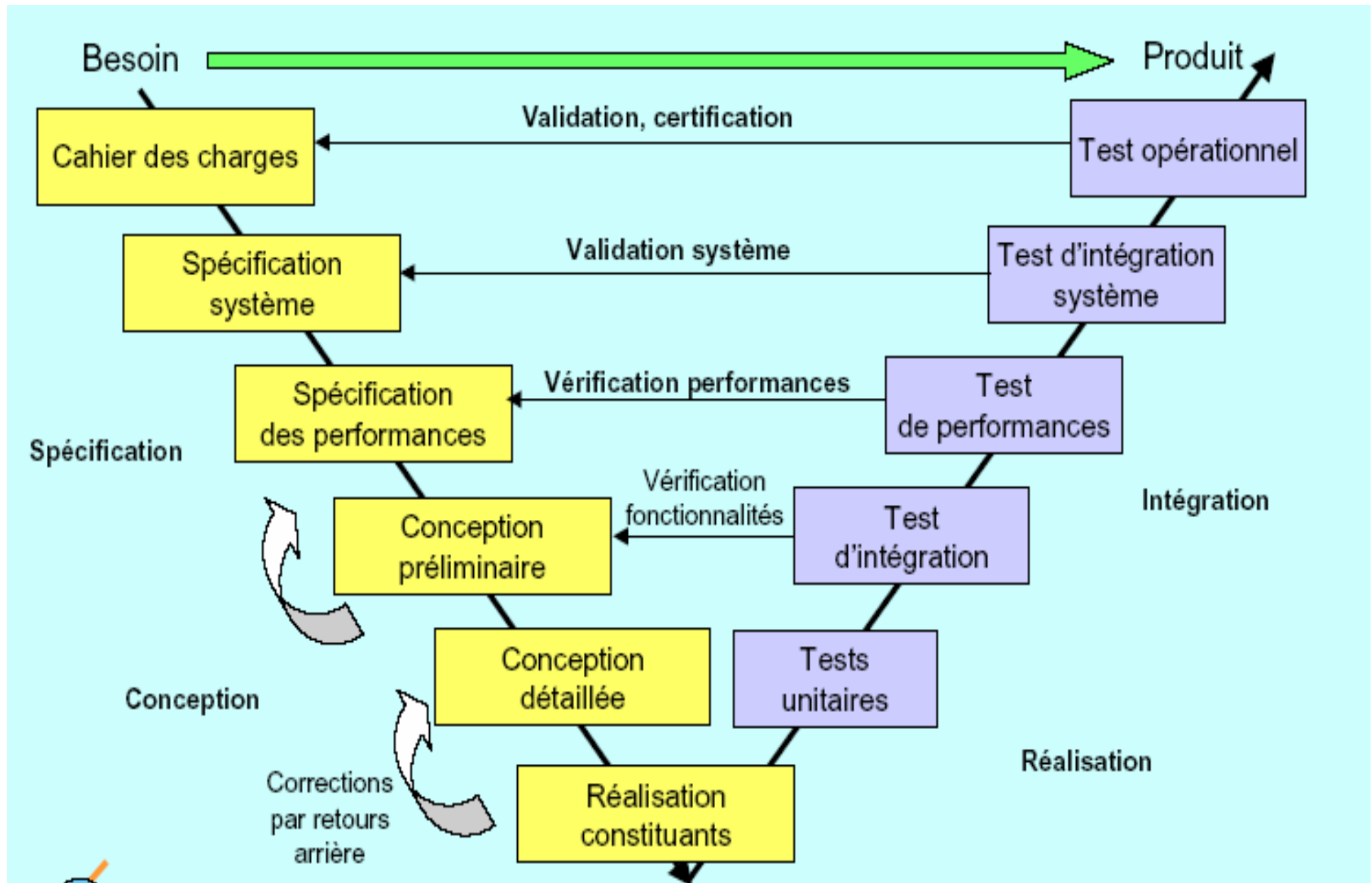
4- Design de portes élémentaires

- ✓ Schéma électrique
- ✓ Représentation symbolique
- ✓ Layout

5- Technologie des composants



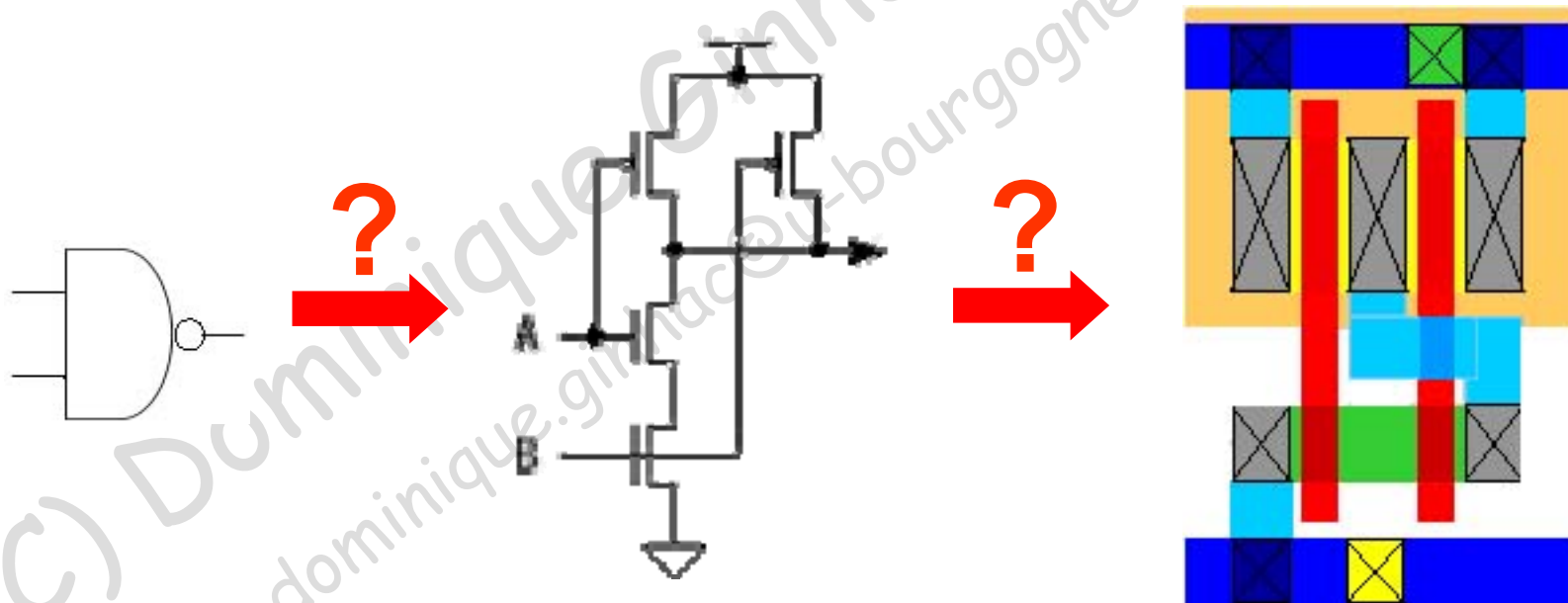
Méthodologie de conception



Méthodologie de conception

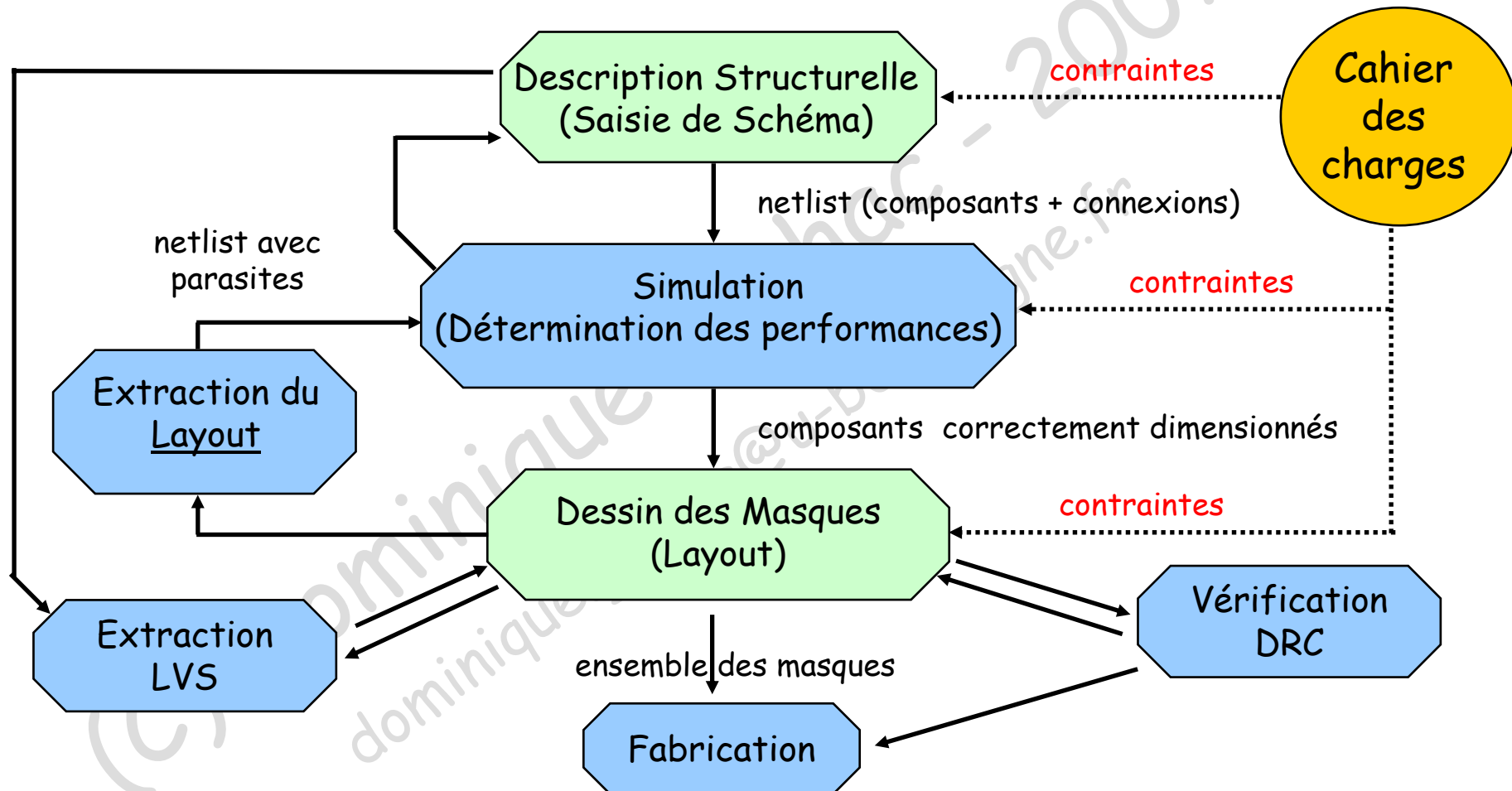
Conception CMOS Full Custom

Objectif : Passer d'une **porte logique** (ou d'un ensemble de portes) au **dessin des masques** tout en respectant les **contraintes** du cahier des charges



Méthodologie de conception (2)

Etapes successives de la conception CMOS Full Custom



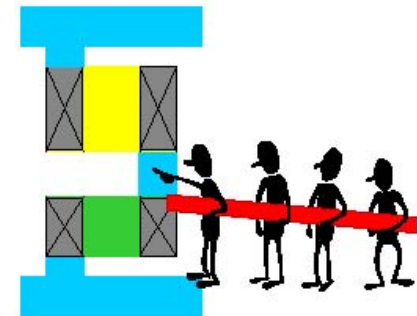
Méthodologie de conception (3)

Etapes successives de la conception CMOS Full Custom

A chaque étape, il est indispensable de respecter les contraintes du cahier des charges.

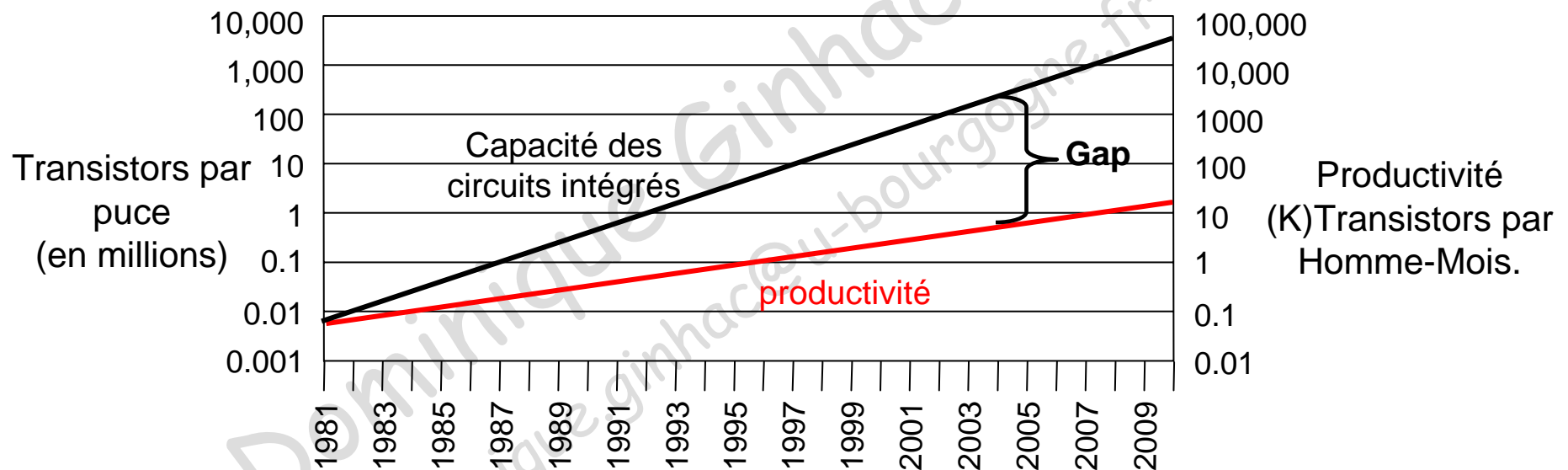
En particulier :

- ✓ Garantir que le circuit fonctionne **correctement** du point de vue logique
- ✓ Garantir que le circuit respecte parfaitement les contraintes de **fréquence de fonctionnement** (temps de propagation, temps de montée, ...)
- ✓ Optimiser la **surface du circuit** en minimisant le nombre de transistors et de connexions
- ✓ Minimiser le **temps de conception**



Méthodologie de conception (4)

Evolution comparée du temps de conception et des possibilités technologiques d'intégration



Objectif : Favoriser le « Re-use » pour minimiser le temps de conception (« Time to Market »)

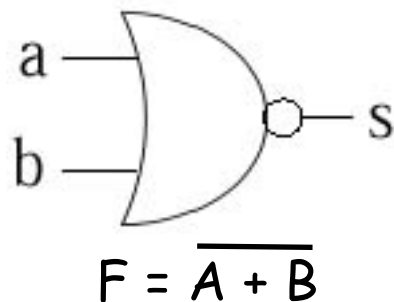
Méthodologie de conception (5)

Etapes successives de la conception CMOS Full Custom

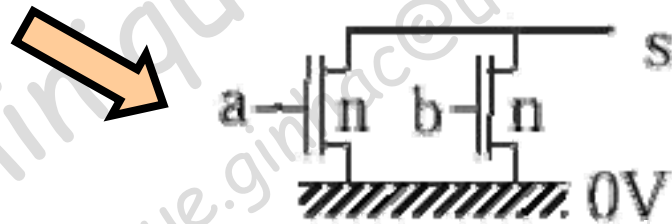
Etape 1 : Description structurelle ou **Saisie du schéma électrique**

- ✓ Obtention du réseau de transistors NMOS
- ✓ Déduction du réseau de transistors PMOS

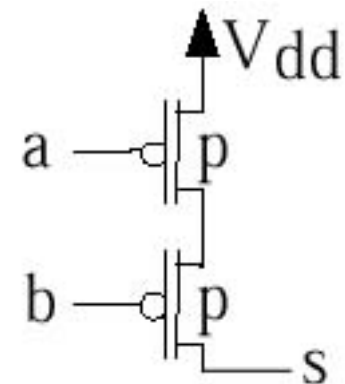
❶ Portes logiques



❷ Réseau N



❸ Réseau P



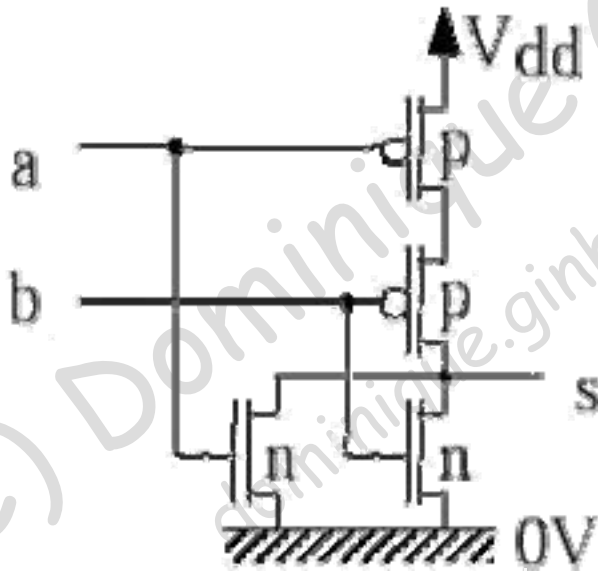
Méthodologie de conception (6)

Etapas successives de la conception CMOS Full Custom

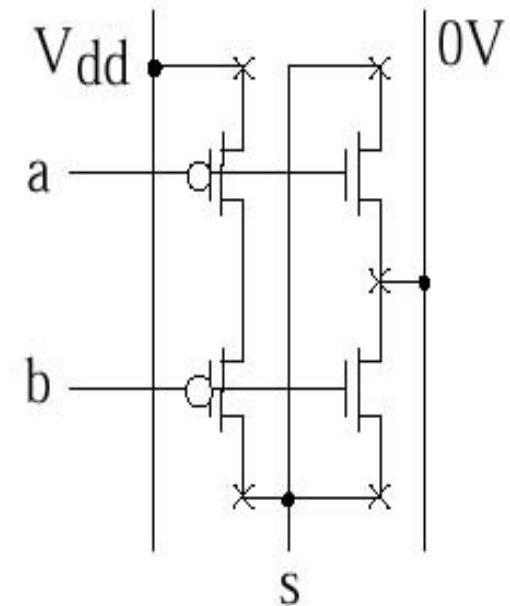
Etape 2 : Transformation du schéma électrique en **Schéma symbolique**

- ✓ Optimisation du placement des transistors
- ✓ Minimisation des connexions entre les transistors

④ Schéma électrique



⑤ Schéma symbolique



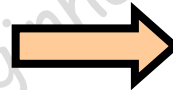
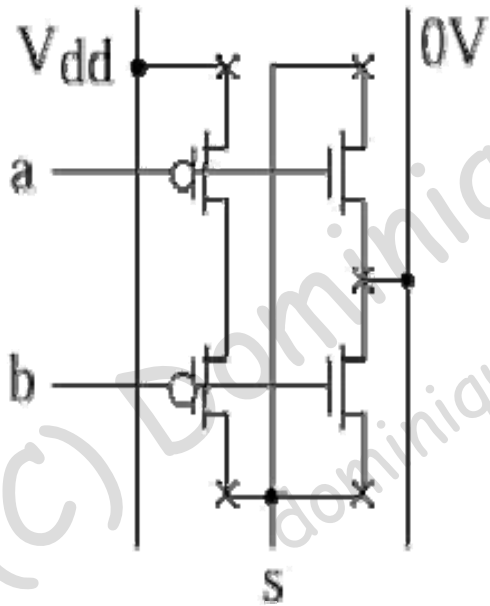
Méthodologie de conception (7)

Etapas successives de la conception CMOS Full Custom

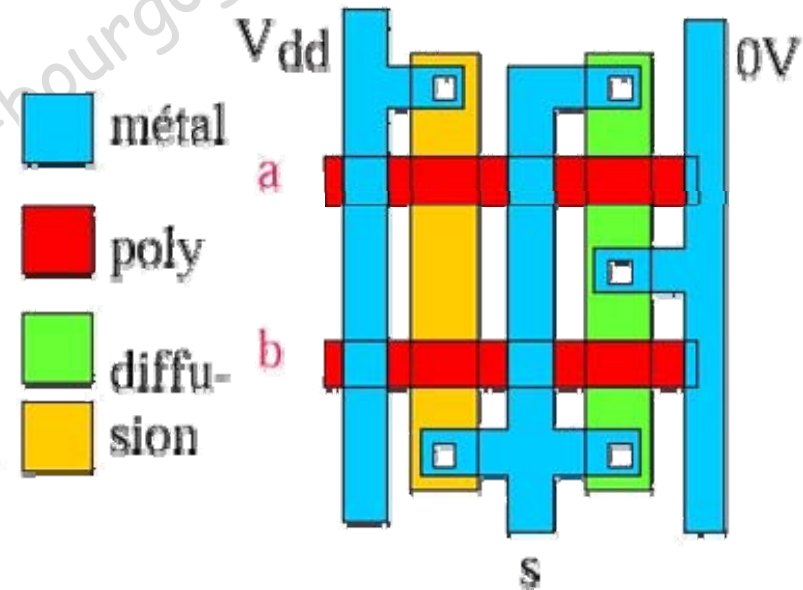
Etape 3 : Dessin du **Layout** (masques) à partir du schéma symbolique

- ✓ Réalisation du layout des transistors
- ✓ Réalisation des interconnexions métalliques

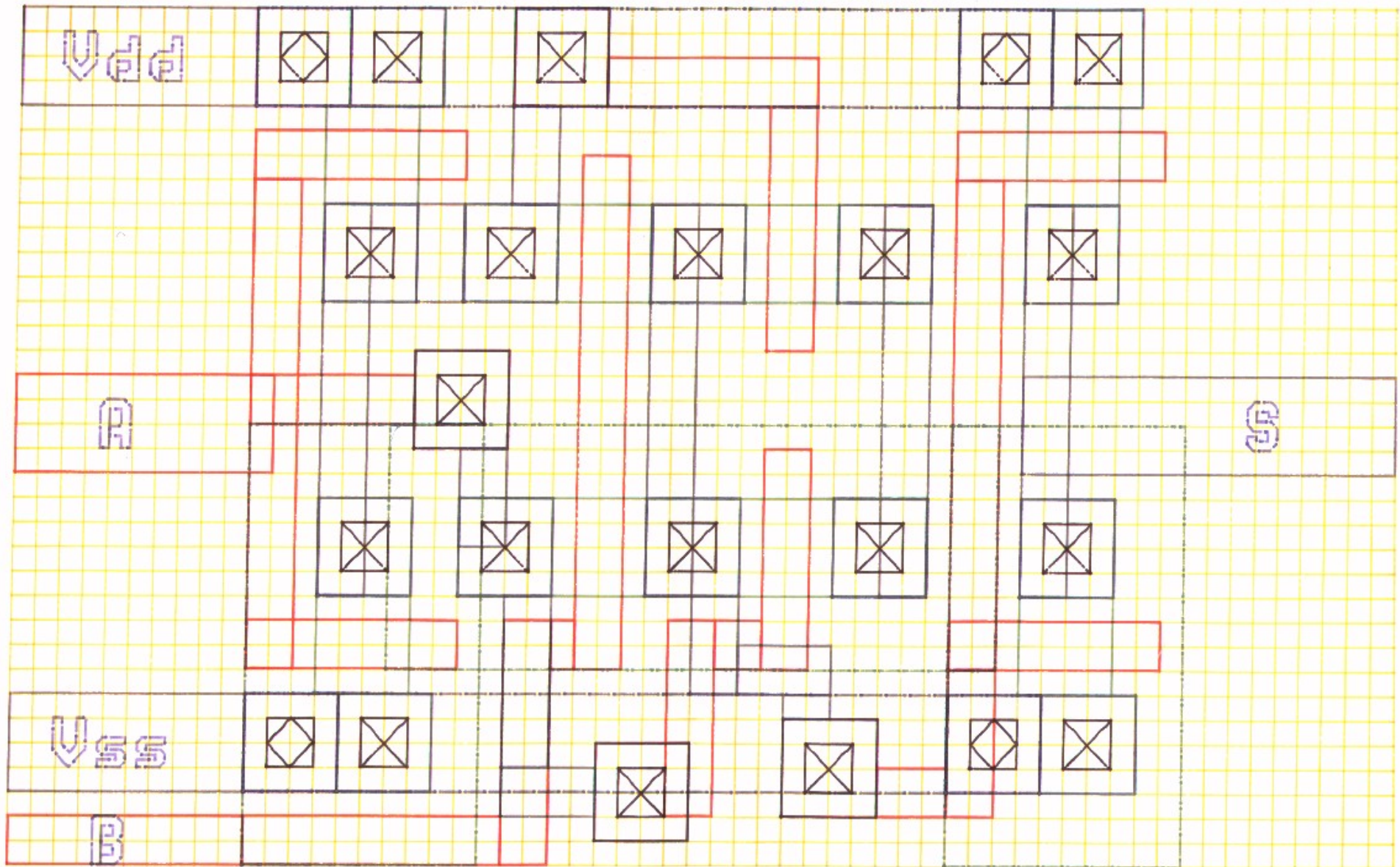
⑤ Schéma symbolique



⑥ Masque



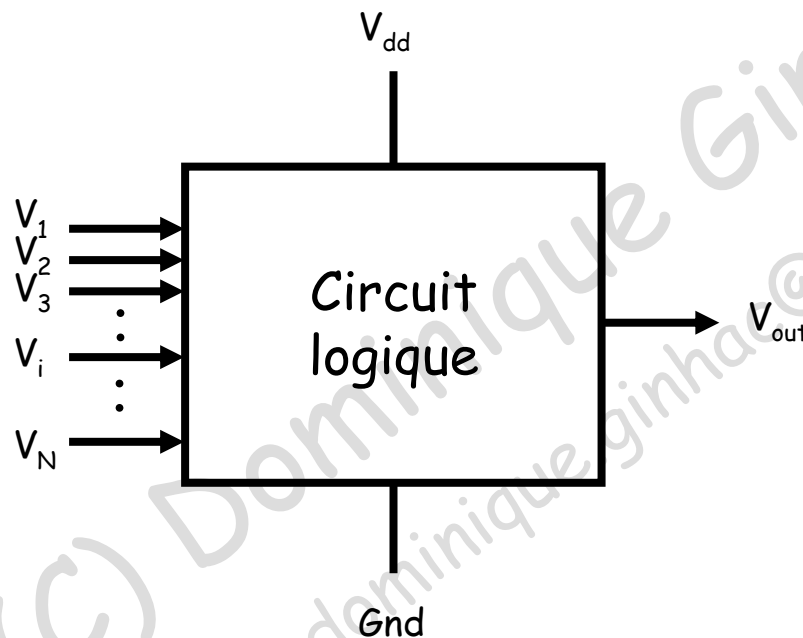
De la porte Logique au layout



Définition d'une porte logique CMOS

Définition d'une porte logique en conception Full Custom

Une porte logique CMOS est un circuit électronique qui produit une **valeur de sortie** V_{out} qui peut être exprimée sous la forme d'une **fonction booléenne des entrées** V_1, V_2, \dots, V_N



Logique CMOS :

$V_{out} = "1"$ correspond à V_{dd}

$V_{out} = "0"$ correspond à Gnd

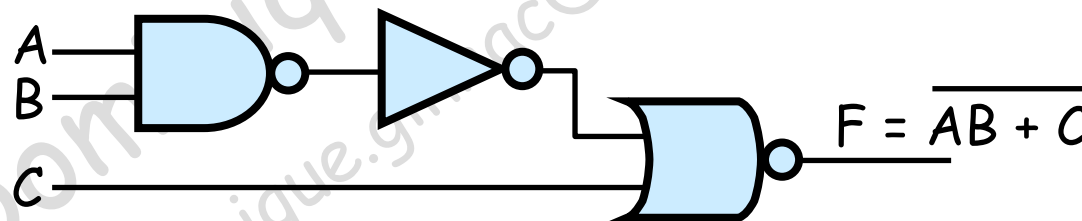
Définition d'une porte logique CMOS (2)

Définition d'une porte logique en conception Full Custom

En logique combinatoire classique, toute fonction logique peut être réalisée à l'aide de **portes NAND, NOR et d'Inverseurs**.

Néanmoins, le **nombre de transistors** nécessaires n'est pas **minimal** donnant ainsi un circuit non optimisé en surface.

$$\text{Ex : } F = \overline{AB + C} = \overline{\overline{\overline{AB} + \overline{C}}}$$



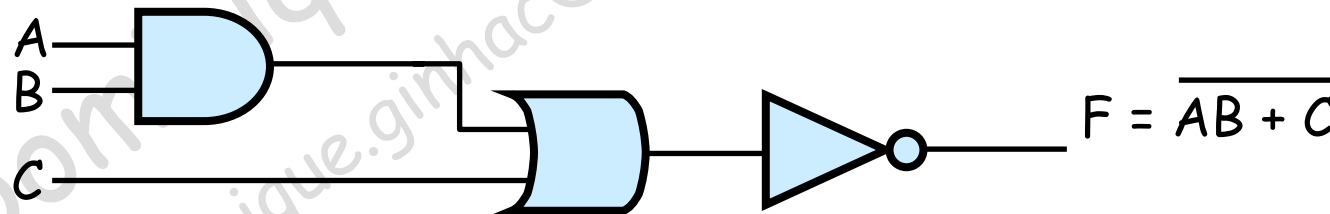
Pour réaliser cette fonction, il faut **4 + 2 + 4 = 10 transistors**

Définition d'une porte logique CMOS (3)

Définition d'une porte logique en conception Full Custom

Pour optimiser le nombre de transistors, toute porte logique complexe CMOS doit être vue comme un **assemblage de portes élémentaires** OR (+) et AND (.) qui doit être impérativement **complémenté en final** (la dernière opération est un inverseur)

Ex : $F = \overline{AB + C}$



Pour réaliser cette fonction, il faut **6 transistors** (on verra plus tard pourquoi)

Définition d'une porte logique CMOS (4)

Définition d'une porte logique en conception Full Custom

Toute porte logique complexe CMOS doit être impérativement **complémentée en final**. Et si la fonction à réaliser n'est pas complémentée en final ? Par exemple, $F = AB + C$

Deux solutions sont possibles :

1. **Réécrire la fonction** en utilisant les lois de De Morgan

$$F = AB + C = \overline{(\overline{A} + \overline{B}) \cdot \overline{C}}$$

2. Réaliser la **fonction complémentée** et rajouter un inverseur

$$F = \overline{G} \quad \text{avec} \quad G = \overline{AB + C}$$

La **première méthode** est souvent **coûteuse en transistors** (à cause des entrées complémentées).

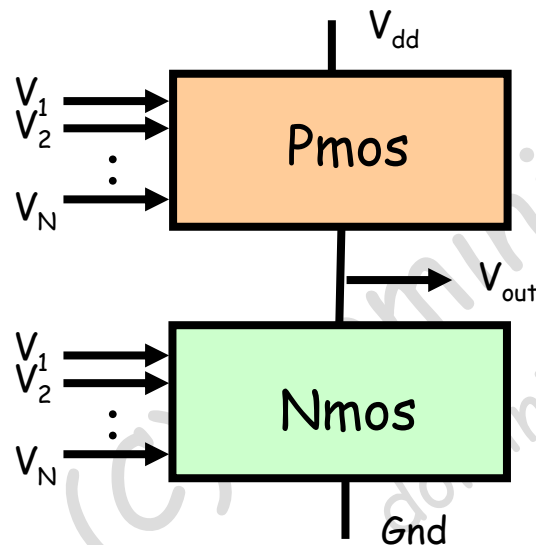
La **deuxième** rajoute seulement **2 transistors** pour l'inverseur final.

Définition d'une porte logique CMOS (5)

Définition d'une porte logique en conception Full Custom

Porte CMOS = **assemblage de portes élémentaires** OR (+) et AND (.)
complémenté en final

Toute porte complexe est composée de **2 réseaux de transistors**
NMOS et PMOS ayant les propriétés suivantes :



- ✓ Le réseau PMOS donne le '**1**' logique et le réseau NMOS le '**0**' logique
- ✓ Les réseaux sont **duaux** (même nombre d'entrées et de transistors)
- ✓ Les 2 réseaux sont **complémentaires** (un et un seul des 2 réseaux conduit à un instant donné)

Etapes

Conception CMOS Full Custom :

Etape 1 : Description structurelle ou Saisie du schéma électrique

- ✓ Obtention du réseau de transistors NMOS
- ✓ Déduction du réseau de transistors PMOS

Etape 2 : Transformation du schéma électrique en Schéma symbolique

- ✓ Optimisation du placement des transistors
- ✓ Minimisation des connexions entre les transistors

Etape 3 : Dessin du Layout à partir du schéma symbolique

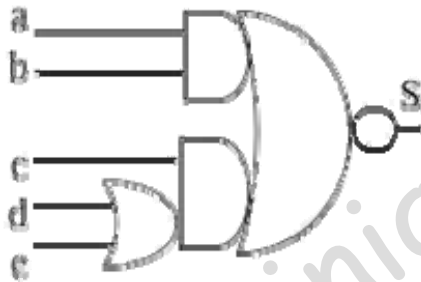
- ✓ Réalisation du layout des transistors
- ✓ Réalisation des interconnexions métalliques

Saisie du schéma électrique

Etape 1 : Création du réseau de transistors NMOS

A partir de l'expression logique de la fonction, on construit en premier le réseau de transistors N

Exemple :



$$S = \overline{(A.B) + (C.(D+E))}$$

Les NMOS ont pour entrées les signaux *a,b,c,d,e* et sont passants si leurs entrées sont à 1

Le réseau N tire la sortie à 0 donc réalise la fonction $S = 0$

$$S = \overline{(A.B) + (C.(D+E))} = 0$$

Comment réaliser les fonctions élémentaires ET (.) et OU (+) ?

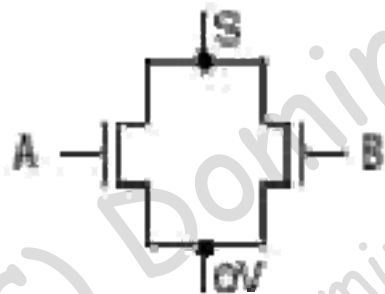
Saisie du schéma électrique (2)

Etape 1 : Création du réseau de transistors NMOS

2 cas possibles dans l'équation $\bar{S} = (A.B) + (C.(D+E))$:

- ✓ **Ou** logique : Réalise $S = 0$ si au moins une des 2 entrées est égale à 1
- ✓ **Et** logique : Réalise $S = 0$ si les 2 entrées sont égales à 1

Ou Logique



NMOS en parallèle

ET logique



NMOS en Série

Saisie du schéma électrique (3)

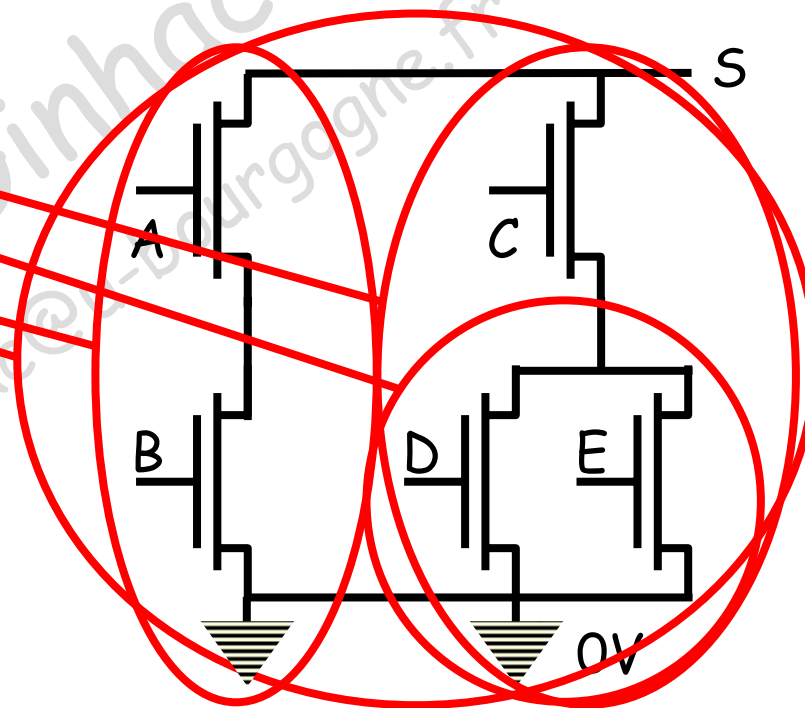
Etape 1 : Création du réseau de transistors NMOS

Règle

OU : Transistors en parallèle

ET : Transistors en série

$$S = (A.B) + (C.(D+E))$$

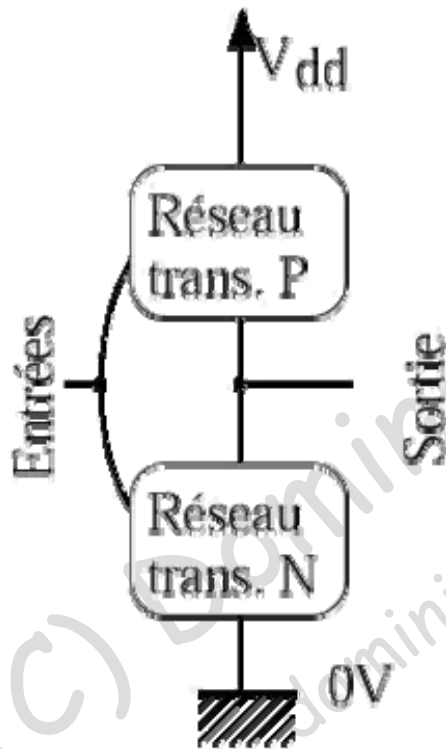


Passons maintenant
au réseau de transistors P

Saisie du schéma électrique (4)

Etape 1b : Déduction du réseau de transistors PMOS

Il existe 2 principales méthodes permettant de déduire le réseau de transistors PMOS à partir du réseau NMOS.



En se basant sur le fait que les deux réseaux sont duaux et complémentaires, on peut soit:

- ✓ Croiser les règles du réseau de transistors NMOS
- ✓ Construire le graphe dual du réseau de transistors NMOS

Rq : Quelle que soit la méthode choisie, le résultat est identique

Saisie du schéma électrique (5)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 1 : Croiser les règles

On peut utiliser cette méthode car le fonctionnement des transistors NMOS et PMOS est totalement opposé et complémentaire

Réseau N

OU : Transistors en
parallèle

ET : Transistors en
série



Réseau P

OU : Transistors en
série

ET : Transistors en
parallèle

Saisie du schéma électrique (6)

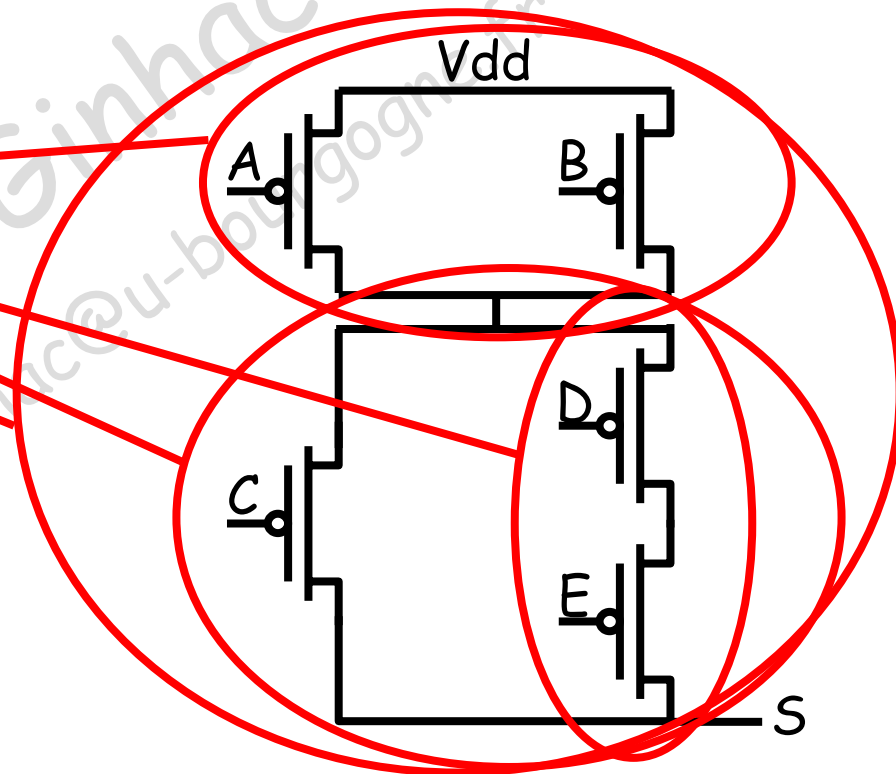
Etape 1b : Déduction du réseau de transistors PMOS

Règle

OU : Transistors en **série**

ET : Transistors en **parallèle**

$$S = (A.B) + (C.(D+E))$$



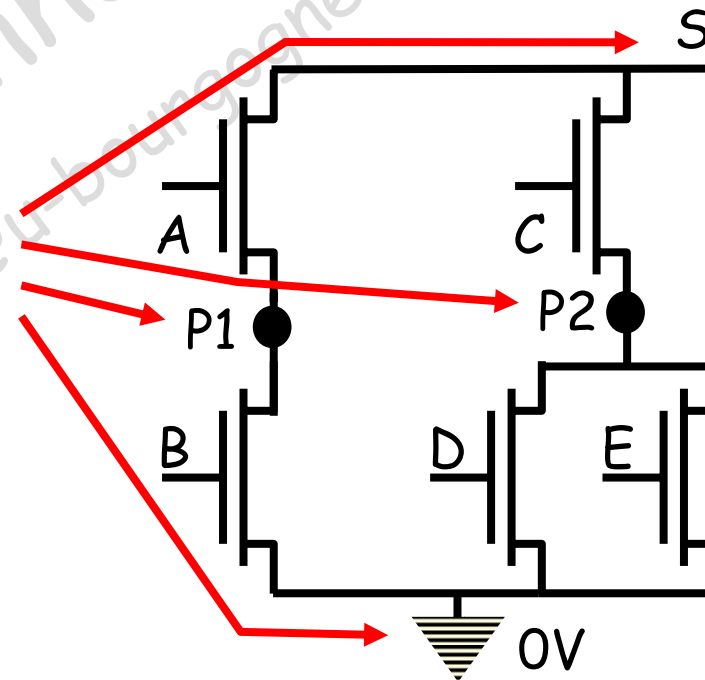
Saisie du schéma électrique (7)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

Définition du **graphe** du réseau de transistors NMOS :

Un **sommet** du graphe est
un **potentiel** du circuit



Saisie du schéma électrique (8)

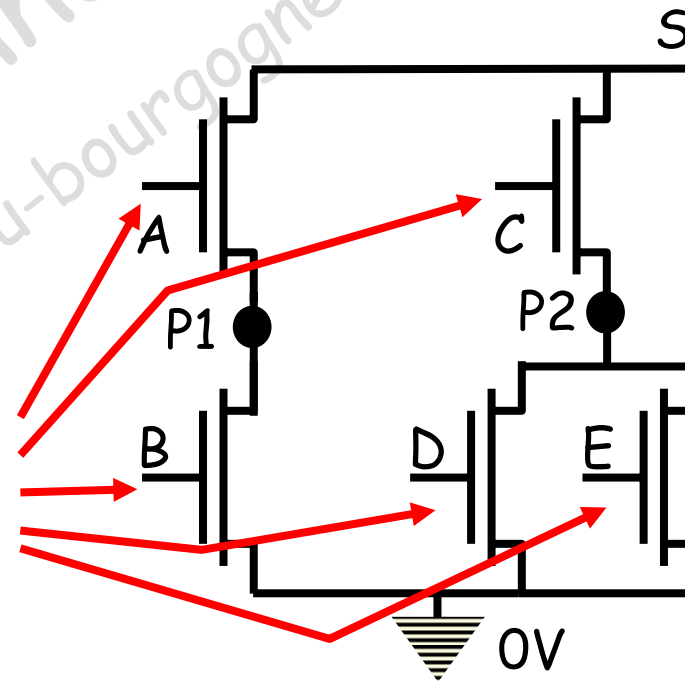
Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

Définition du **graphe** du réseau de transistors NMOS :

Un **sommet** du graphe est
un **potentiel** du circuit

Un **arc** du graphe est
un **transistor N** du circuit



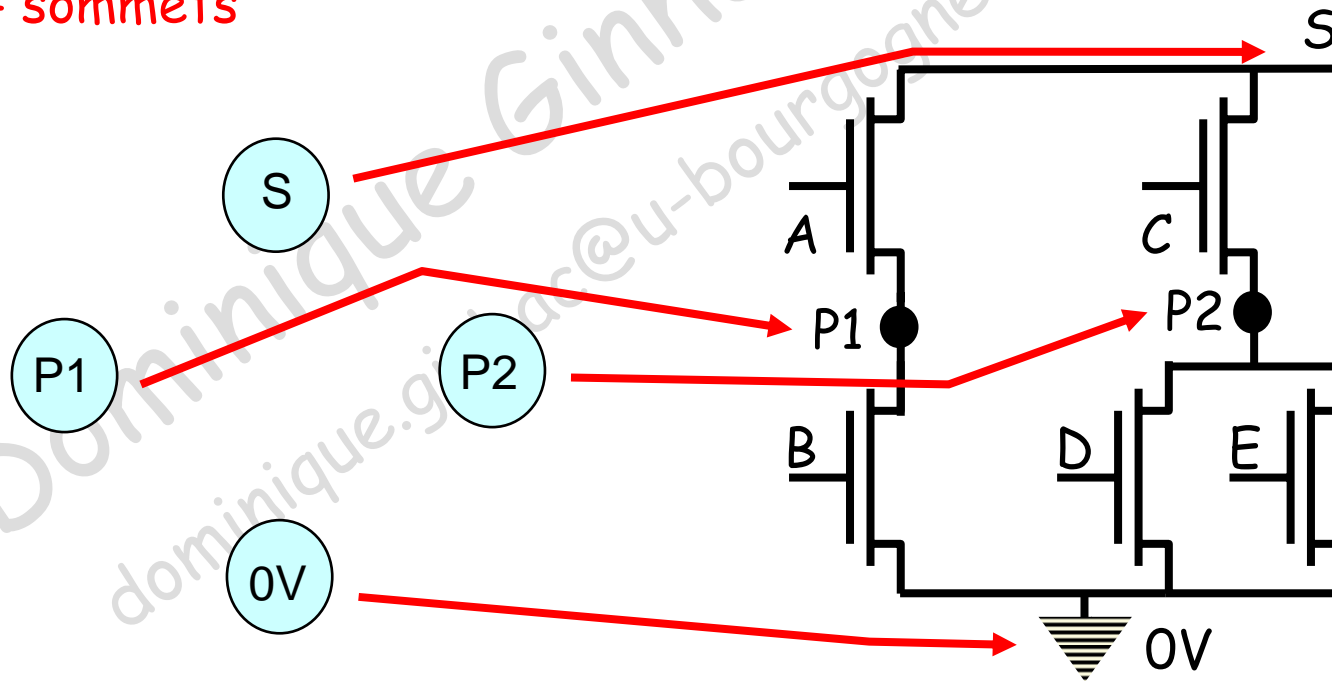
Saisie du schéma électrique (9)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

Définition du **graphe** du réseau de transistors NMOS :

Bilan : **4 sommets**



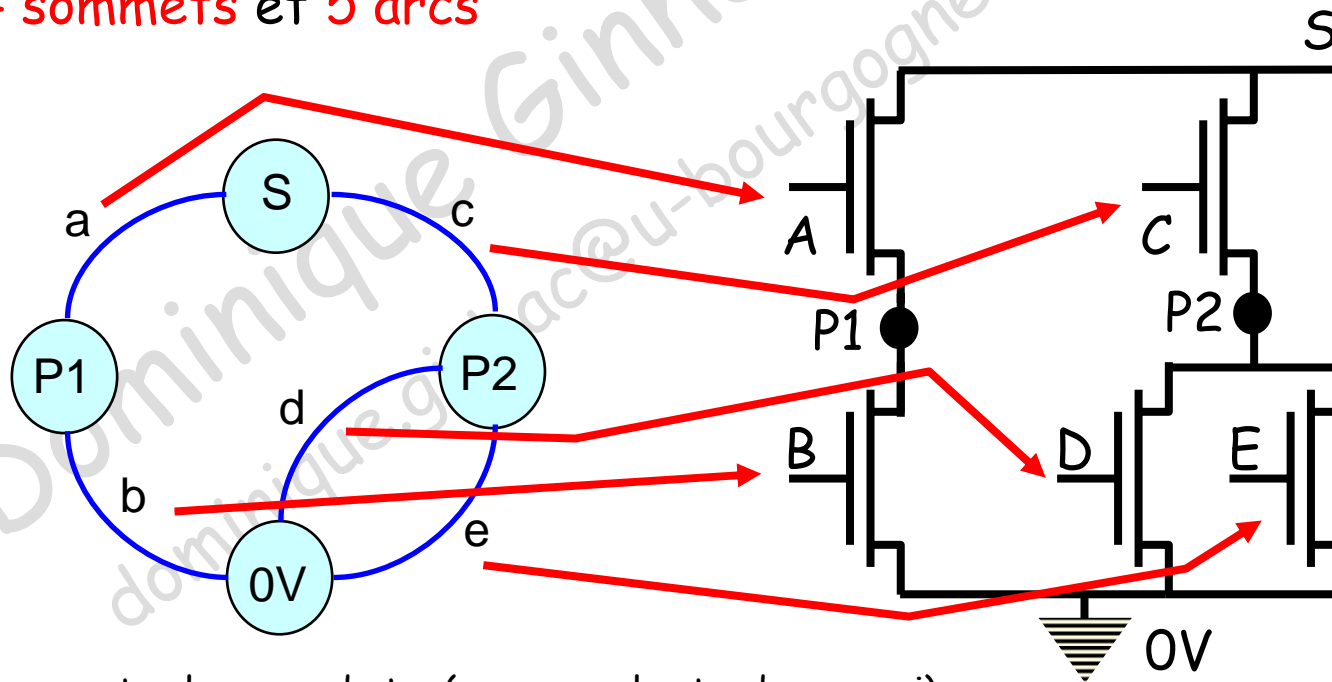
Saisie du schéma électrique (10)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

Définition du **graphe** du réseau de transistors NMOS :

Bilan : **4 sommets** et **5 arcs**



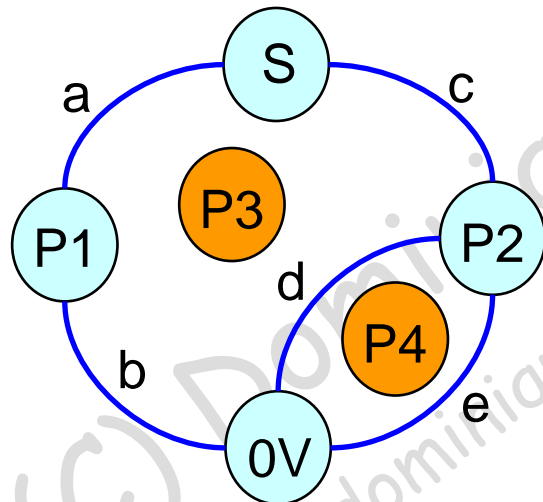
Rq: On peut permuter les arcs d et e (on verra plus tard pourquoi)

Saisie du schéma électrique (11)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

A partir du graphe du réseau NMOS, on **déduit le graphe du réseau PMOS** en respectant les propriétés suivantes :



Tout **cycle** de l'un est **sommet** de l'autre :

- cycle **abdc** : sommet **P3**

- cycle **de** : sommet **P4**

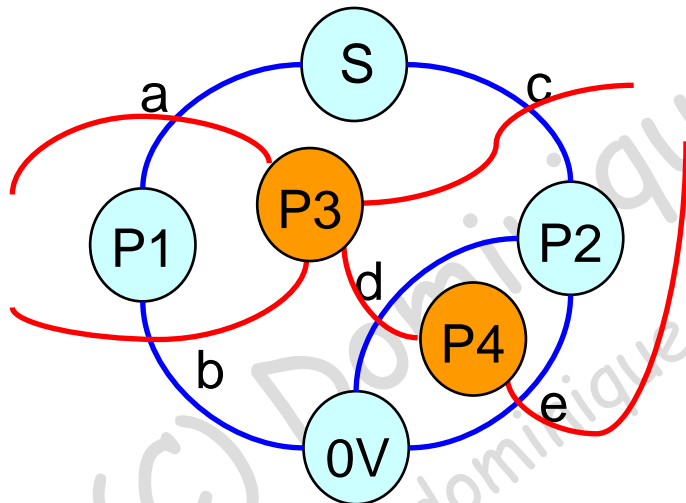
Attention, le parcours **abec** n'est pas un cycle à cause de l'arc d

Saisie du schéma électrique (12)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

A partir du graphe du réseau NMOS, on déduit **le graphe du réseau PMOS** en respectant les propriétés suivantes :



Les **arcs** des 2 graphes sont **les mêmes** car les 2 réseaux ont le même nombre de transistors :

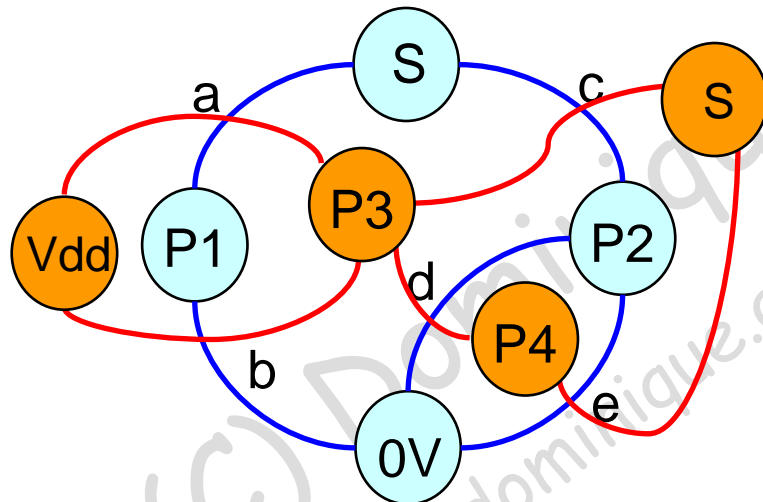
- arcs **a, b, c, d, e**

Saisie du schéma électrique (13)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

A partir du graphe du réseau NMOS, on déduit le graphe du réseau PMOS en respectant les propriétés suivantes :



Les **sommets externes** sont les **connexions** vers l'extérieur :

- sortie **S** entre c et e (ou a et b) mais pas entre c et a (ni b et e) afin de ne pas emprisonner les sommets S et 0V du réseau NMOS
- alimentation **Vdd** entre a et b (ou c et e)

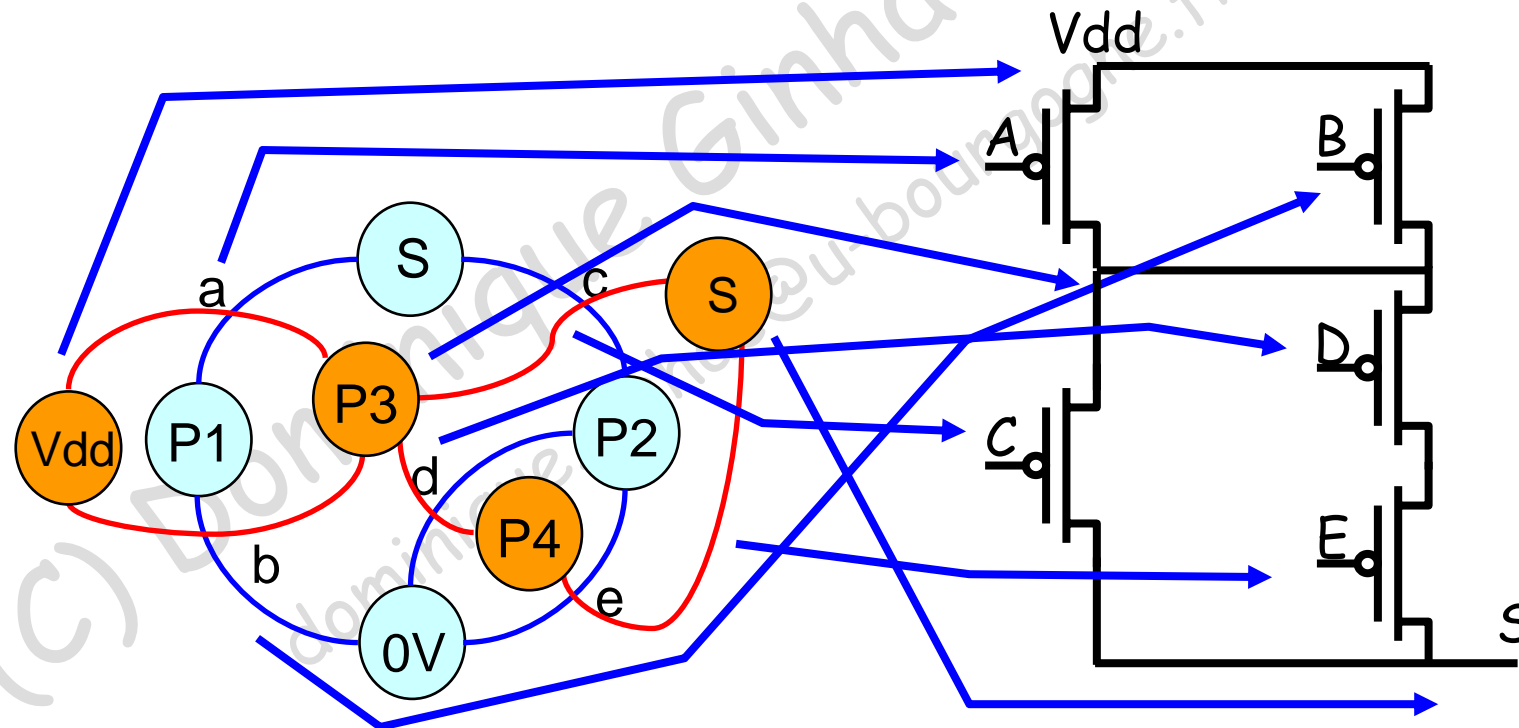
Rq: On peut permuter S et Vdd (on verra plus tard pourquoi)

Saisie du schéma électrique (14)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

A partir du graphe du réseau PMOS, on peut donc tracer le **schéma électrique** du réseau de transistors PMOS

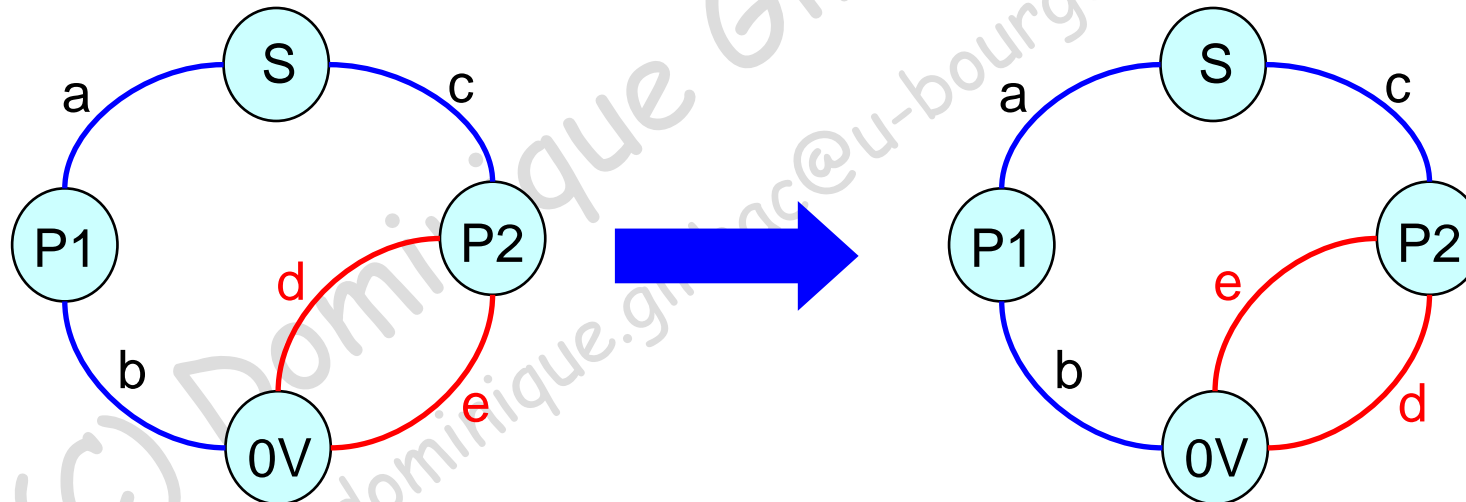


Saisie du schéma électrique (15)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

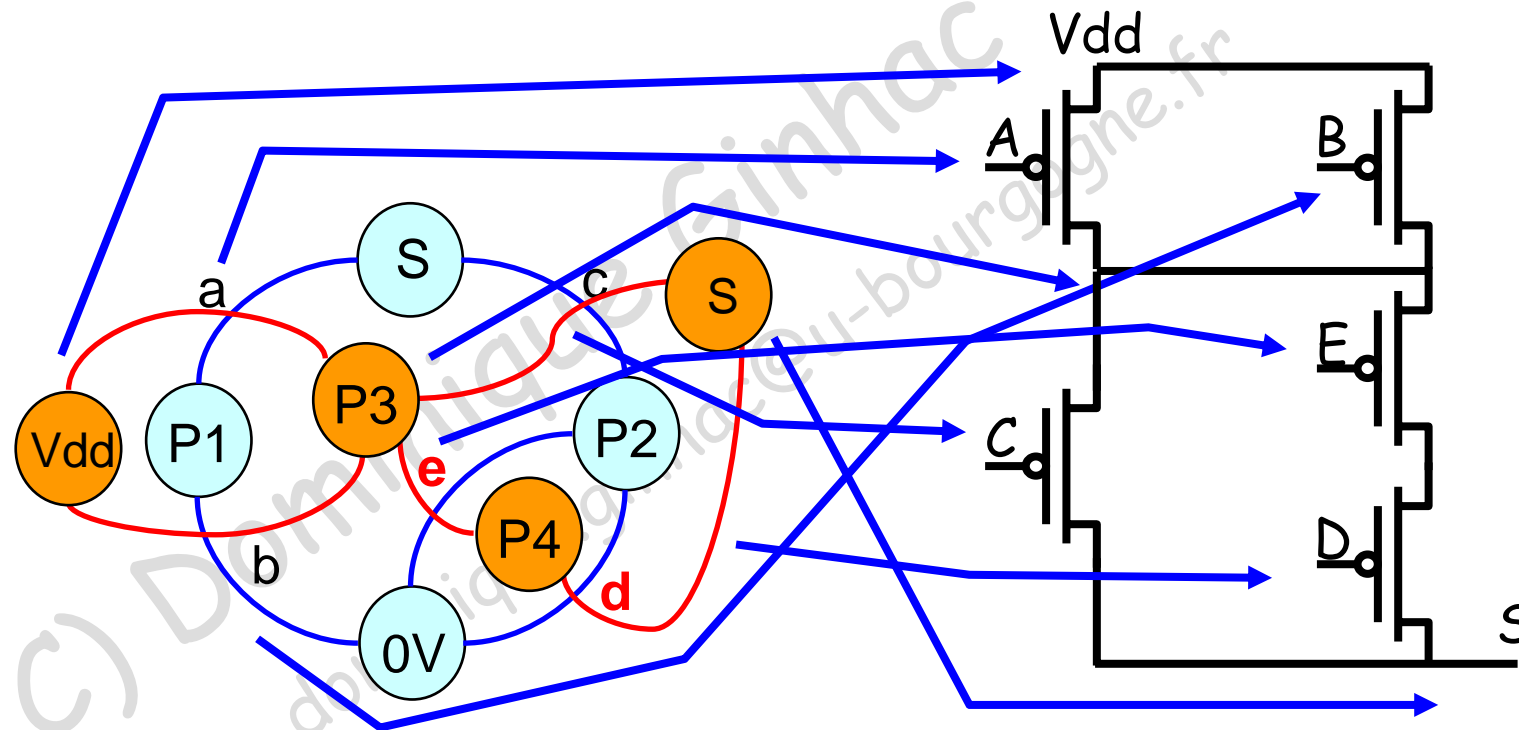
Que se passe t'il si on **permuté les arcs d et e** (transistors en parallèle) lors de la construction du réseau NMOS ?



Saisie du schéma électrique (16)

Etape 1b : Déduction du réseau de transistors PMOS

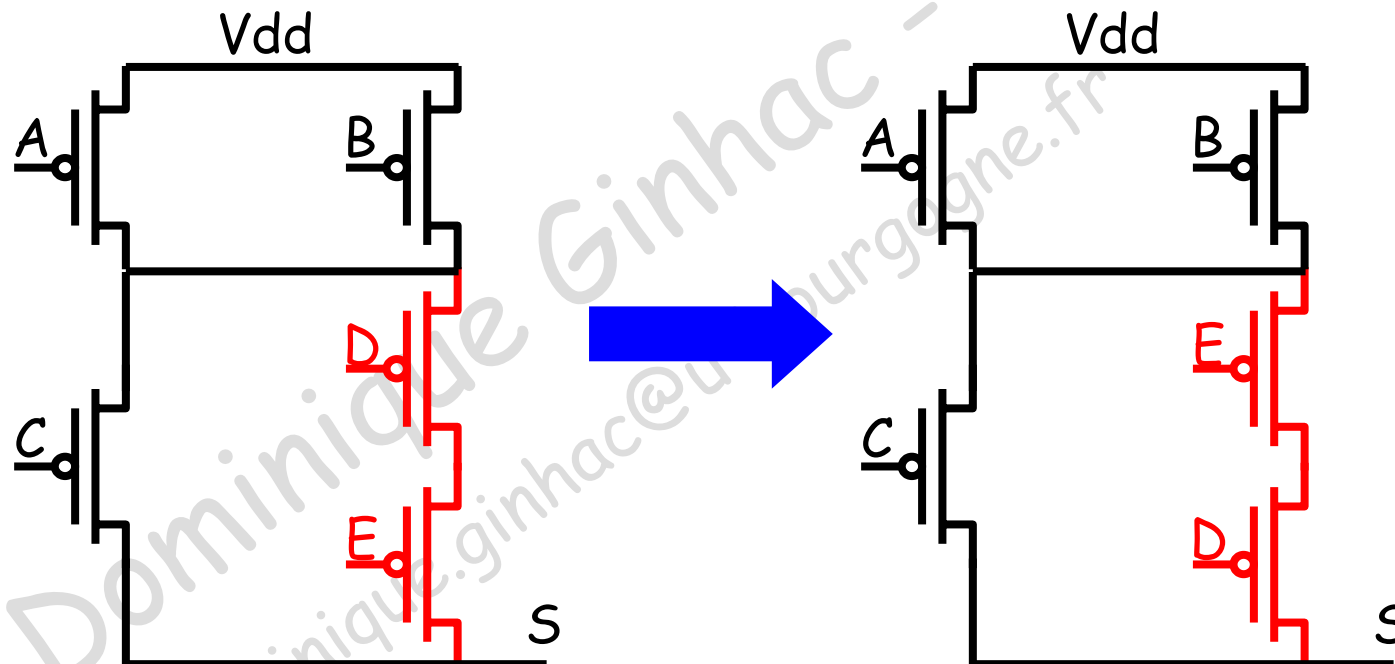
Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS



Saisie du schéma électrique (17)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS



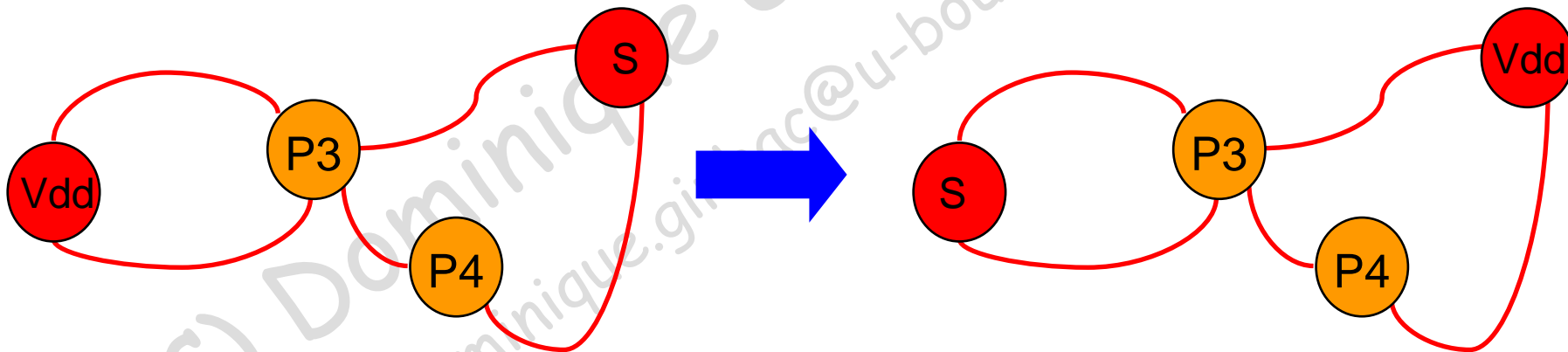
Changement : Une permutation de 2 NMOS en parallèle entraîne une permutation de 2 PMOS en série

Saisie du schéma électrique (18)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

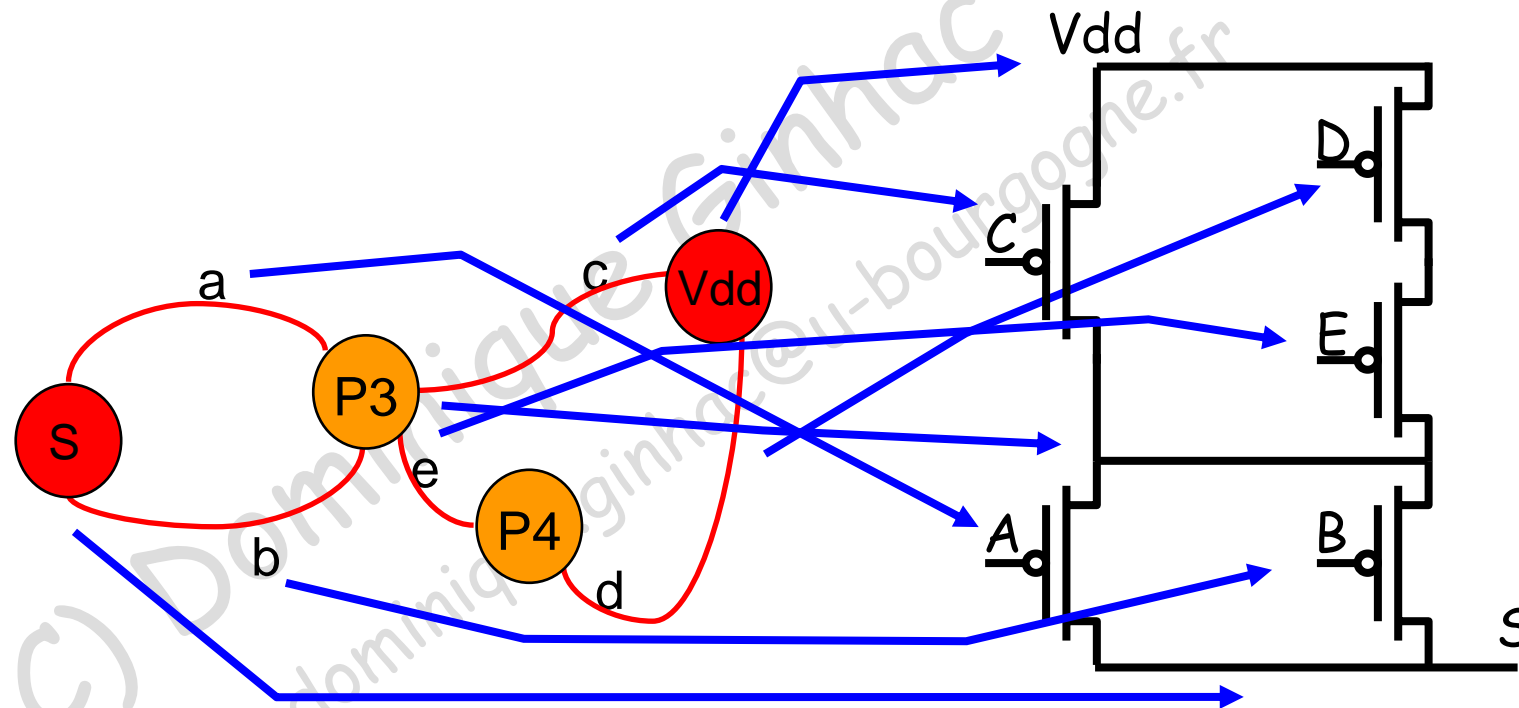
Que se passe t'il si on **permuté les sommets externes** lors de la construction du réseau PMOS



Saisie du schéma électrique (19)

Etape 1b : Déduction du réseau de transistors PMOS

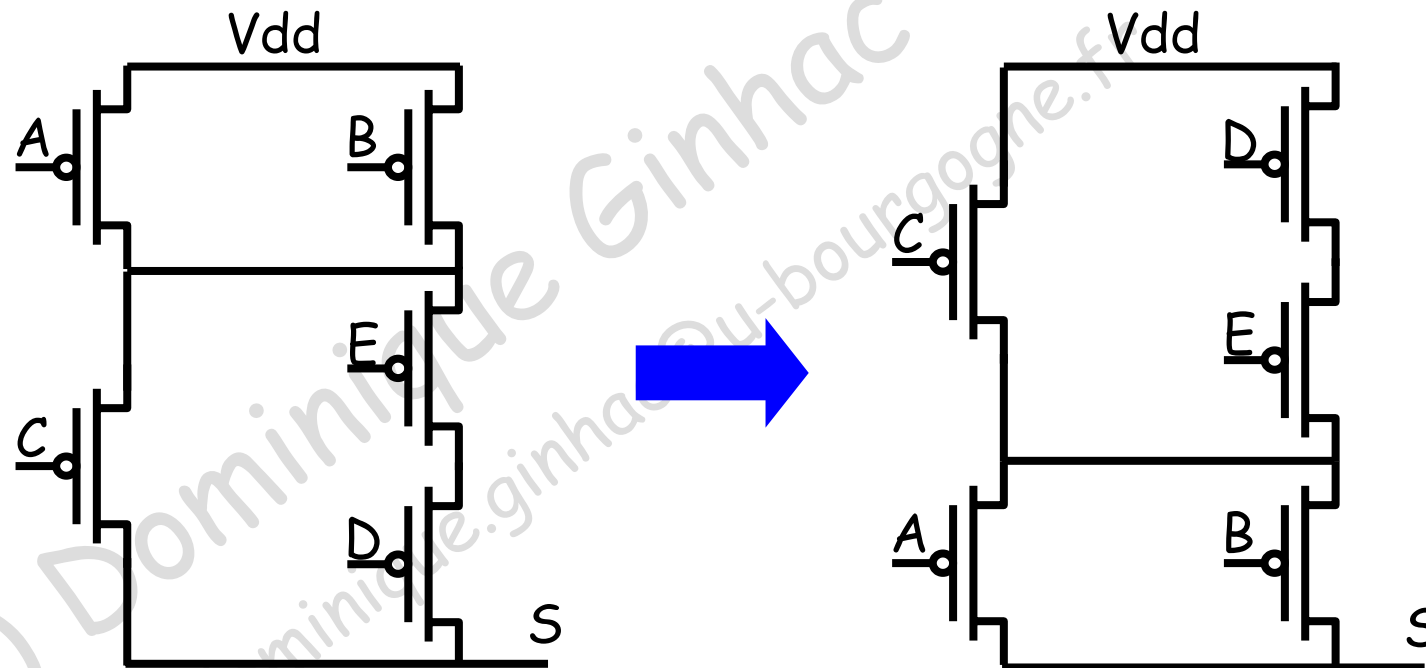
Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS



Saisie du schéma électrique (20)

Etape 1b : Déduction du réseau de transistors PMOS

Méthode 2 : Tracé du graphe dual du réseau de transistors NMOS

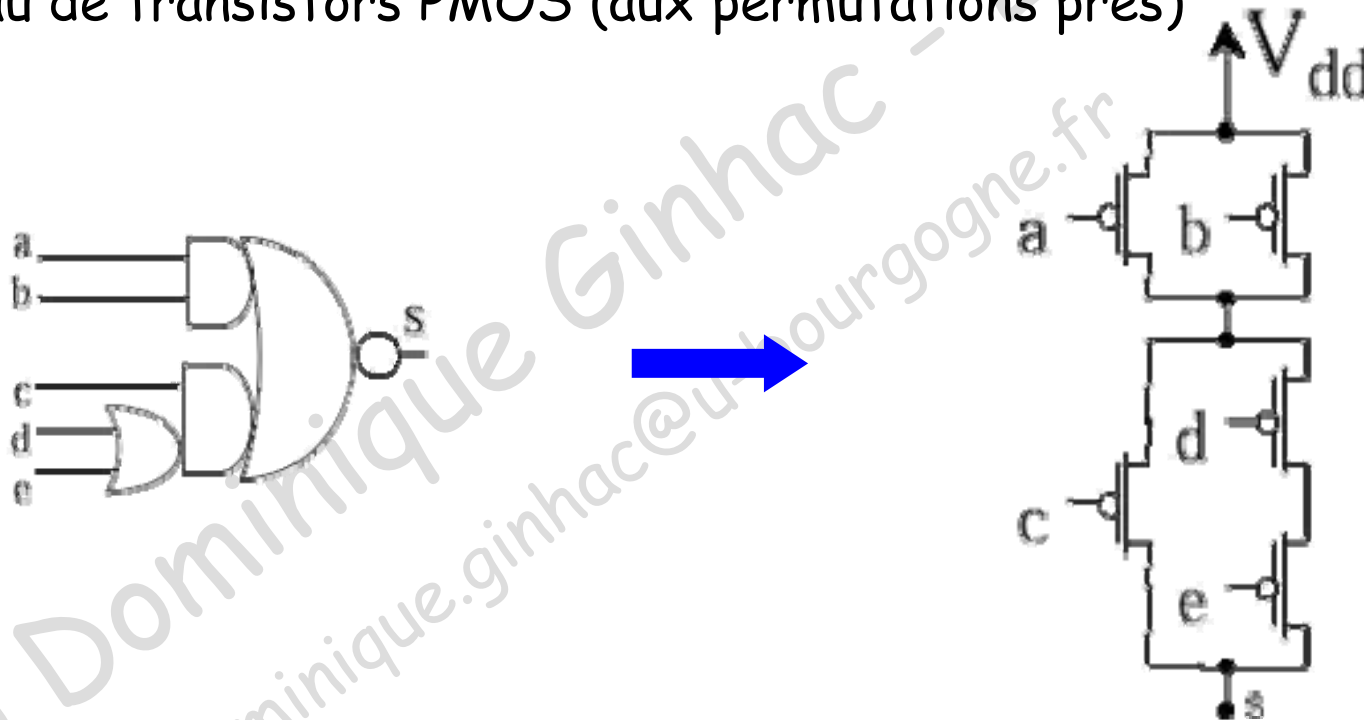


Changement : **Permutation des branches en série !**

Saisie du schéma électrique (21)

Etape 1b : Déduction du réseau de transistors PMOS

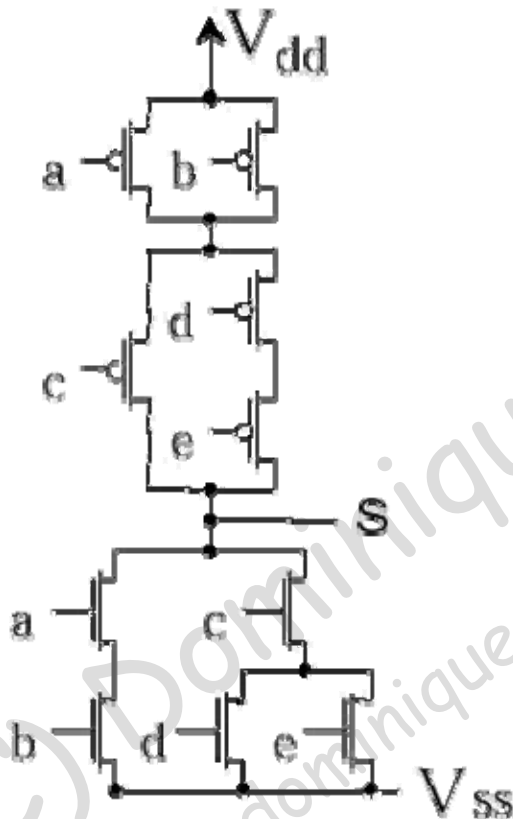
Quelle que soit la méthode employée, on trouve toujours le même réseau de transistors PMOS (aux permutations près)



Le schéma final est obtenu en associant les 2 réseaux de transistors NMOS et PMOS

Saisie du schéma électrique (22)

Etape 1b : Schéma électrique complet



Le **schéma obtenu** est une des **solutions** répondant au problème

Autres **variantes** obtenues par :

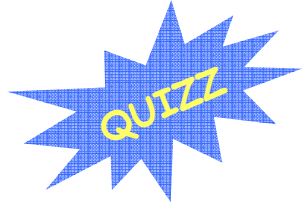


Permutation des transistors en **série**



Permutation des transistors en **parallèle**

Saisie du schéma électrique (23)



Exercices d'application :

1. En employant la première méthode, tracer le schéma électrique de la fonction logique suivante : $S = ABC + D(E+F)$
2. Idem, avec la deuxième méthode.
3. Combien faut-il de transistors pour réaliser la fonction logique suivante $S = AB + DC + BCD$
4. Combien faut-il de transistors pour réaliser la fonction logique suivante : $S = (A + B + C). D$

Etapes

Conception CMOS Full Custom :

Etape 1 : Description structurelle ou Saisie du schéma électrique

- ✓ Obtention du réseau de transistors NMOS
- ✓ Déduction du réseau de transistors PMOS

Etape 2 : Transformation du schéma électrique en Schéma symbolique

- ✓ Optimisation du placement des transistors
- ✓ Minimisation des connexions entre les transistors

Etape 3 : Dessin du Layout à partir du schéma symbolique

- ✓ Réalisation du layout des transistors
- ✓ Réalisation des interconnexions métalliques

Représentation symbolique

Vers la représentation symbolique

La **représentation symbolique** d'un circuit est une **représentation intermédiaire** entre le schéma électrique et le layout

La représentation symbolique d'un circuit est en réalité une **vue différente du schéma électrique**

La représentation symbolique d'un circuit est obtenu en modifiant **l'organisation spatiale** des transistors et de leurs interconnexions

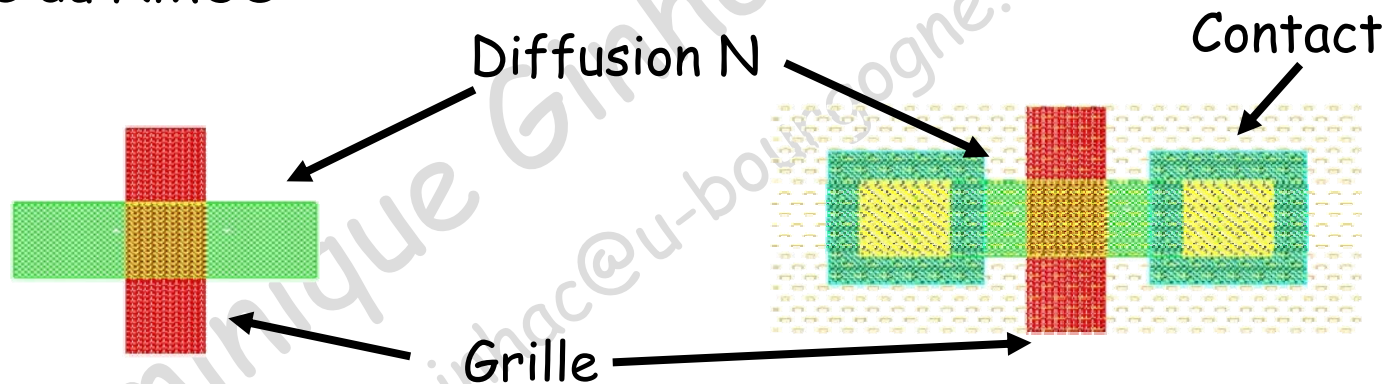
La représentation symbolique permet d'obtenir un **layout optimisé** du circuit en ignorant toute considération technologique de fabrication

Représentation symbolique (2)

Vers la représentation symbolique

Basiquement, un **transistor** est créé à partir de l'**intersection** d'une **diffusion** et d'une **grille** en polysilicium

Exemple du NMOS :



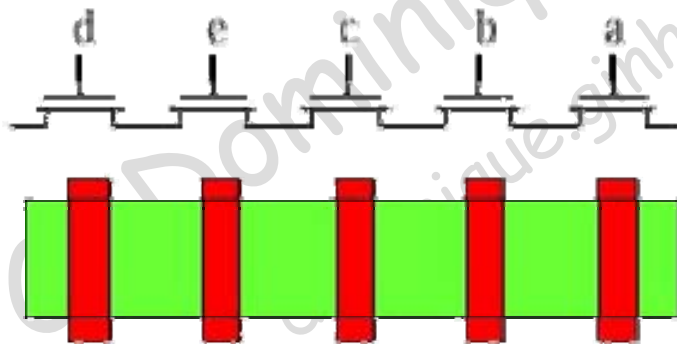
C'est l'**organisation spatiale** de ces **diffusions** et de ces **grilles** qui va nous permettre de déterminer la **représentation symbolique** de la fonction logique

Représentation symbolique (3)

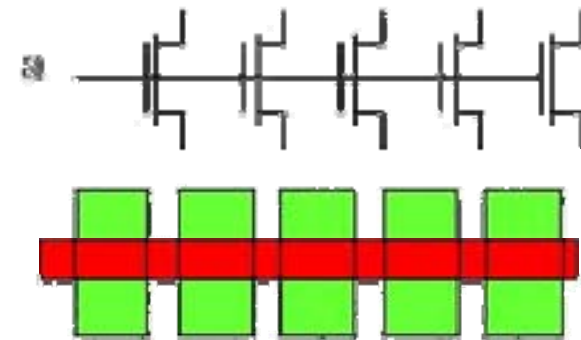
Vers la représentation symbolique

La transformation du schéma électrique en représentation symbolique a pour objectif d'optimiser la surface du circuit final en optimisant le placement des transistors et en minimisant leurs interconnexions

1) Aligner les diffusions
moins de coudes et de contacts



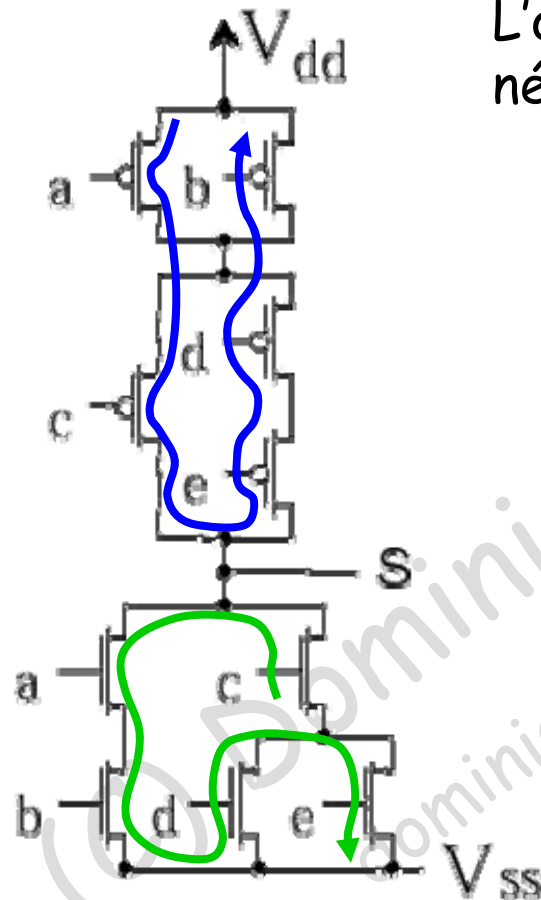
2) Aligner les grilles
moins de coudes



Représentation symbolique (4)

Méthode d'alignement des diffusions et des grilles

L'obtention de la représentation symbolique nécessite **3 étapes principales** :



Etape 1 - Trouver les chemins de chaque réseau passant une seule fois par tous les transistors

Ex : **ACEDB** pour P et **CABDE** pour N

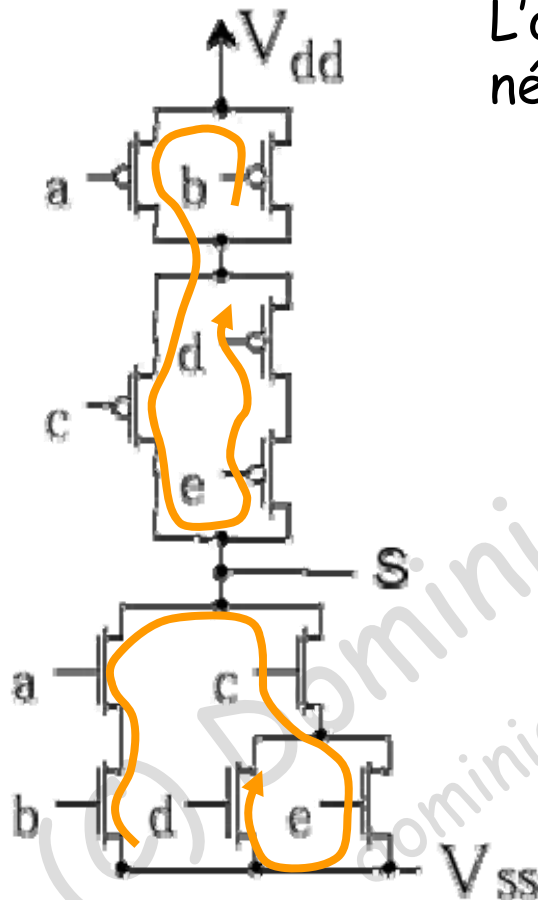
Suivant la complexité du circuit, il peut exister un grand nombre de chemins différents

Trouver ces chemins revient à rechercher dans le circuit les transistors mis en série afin de pouvoir aligner les diffusions

Représentation symbolique (5)

Méthode d'alignement des diffusions et des grilles

L'obtention de la représentation symbolique nécessite **3 étapes principales** :



Etape 2 - Trouver **1 chemin** parcourant les transistors dans **le même ordre** dans **chaque réseau** : **BACED**

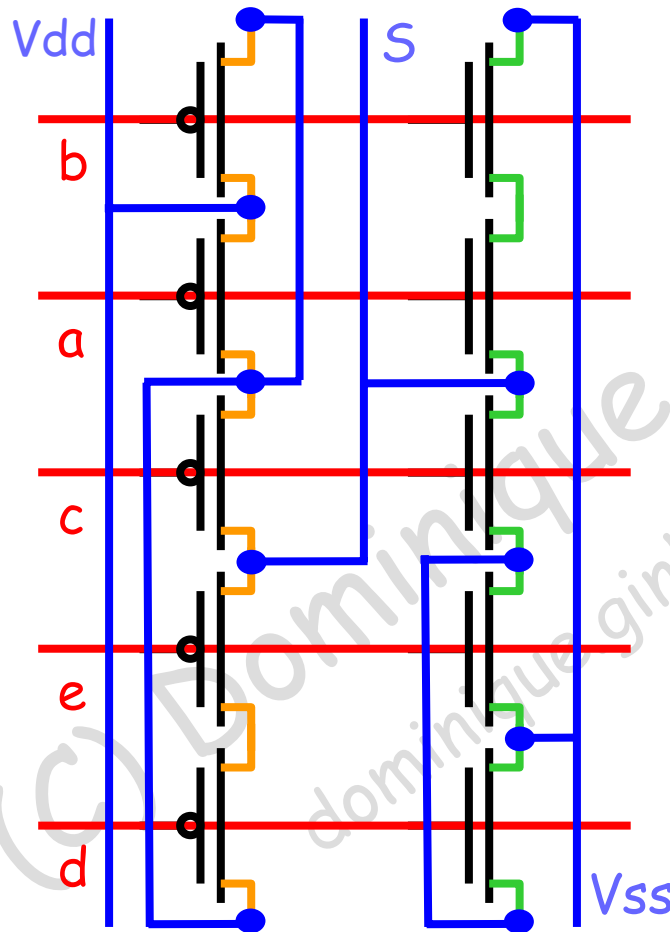
Trouver ce chemin va permettre de **mettre en correspondance** les transistors NMOS et PMOS afin de pouvoir **aligner les grilles**

Ce chemin est appelé **chemin d'Euler**

Rq: Si on ne trouve pas de chemin d'Euler, il faut décomposer le problème en **sous problèmes** et réitérer le processus

Représentation symbolique (6)

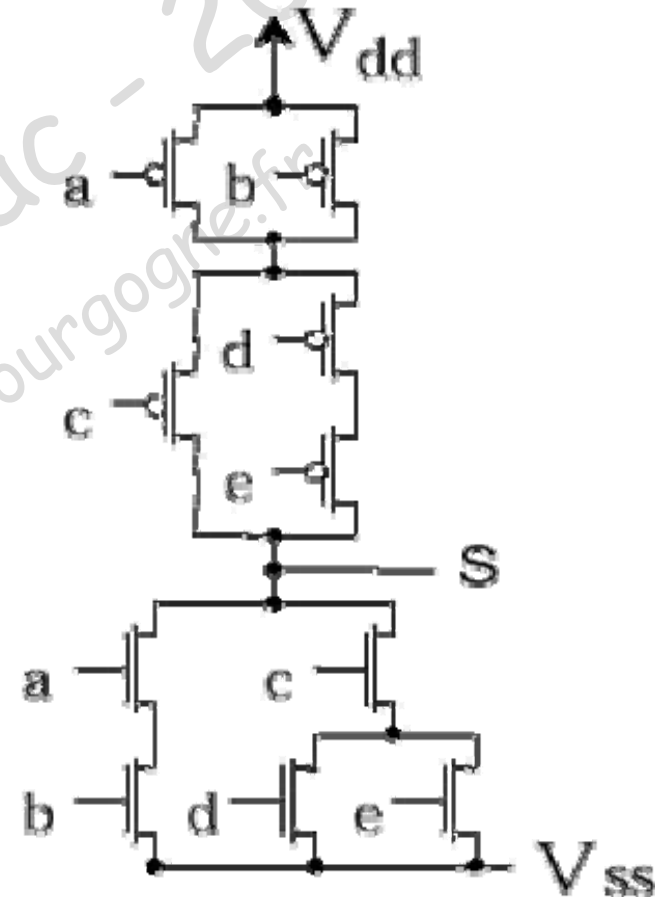
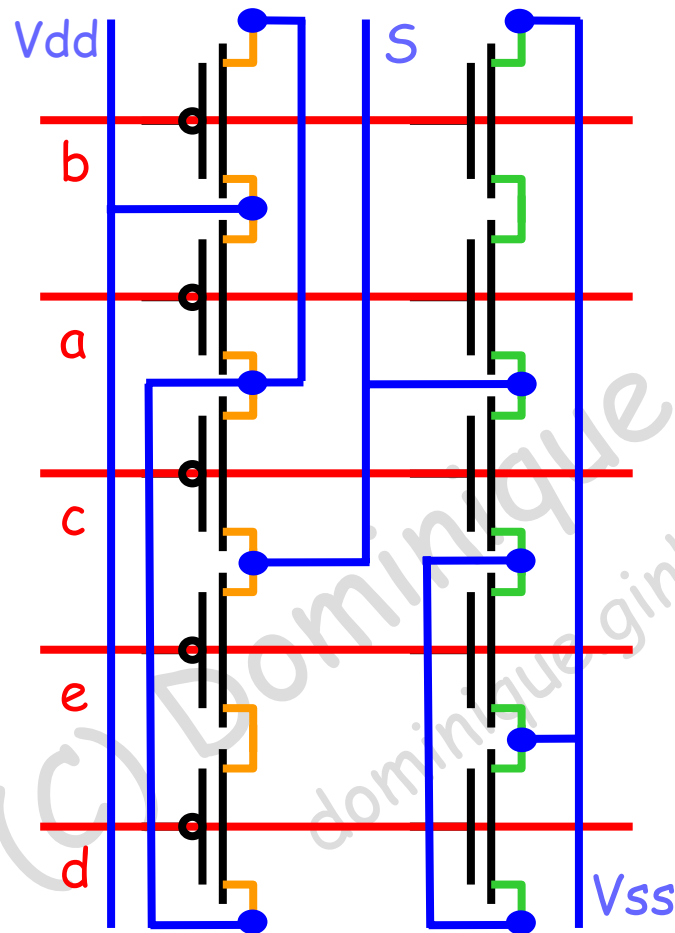
Construction du schéma symbolique à partir du chemin d'Euler : based



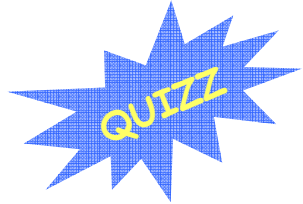
- 1 - Alignement des diffusions P (revient à mettre en série les PMOS)
- 2 - Alignement des diffusions N (revient à mettre en série les NMOS)
- 3 - Alignement des grilles en fonction du chemin d'Euler (revient à « paralléliser » un PMOS et un NMOS)
- 4 - Connexions métalliques à Vdd
- 5 - Connexions métalliques à Vss
- 6 - Connexions métalliques à S

Représentation symbolique (7)

Comparaison entre schémas électrique et symbolique



Représentation symbolique (8)



Exercices d'application :

1. Quel est le chemin d'Euler de la fonction suivante :

$$S = \overline{ABC + D(E+F)}$$

2. Tracer la représentation symbolique de cette fonction

3. Quelle est la représentation symbolique de la fonction suivante :

$$S = \overline{AB + DC + BCD}$$

4. Quelle est la représentation symbolique de la fonction suivante :

$$S = (A + B + C). D$$

Etapes

Conception CMOS Full Custom :

Etape 1 : Description structurelle ou Saisie du schéma électrique

- ✓ Obtention du réseau de transistors NMOS
- ✓ Déduction du réseau de transistors PMOS

Etape 2 : Transformation du schéma électrique en Schéma symbolique

- ✓ Optimisation du placement des transistors
- ✓ Minimisation des connexions entre les transistors

Etape 3 : Dessin du Layout à partir du schéma symbolique

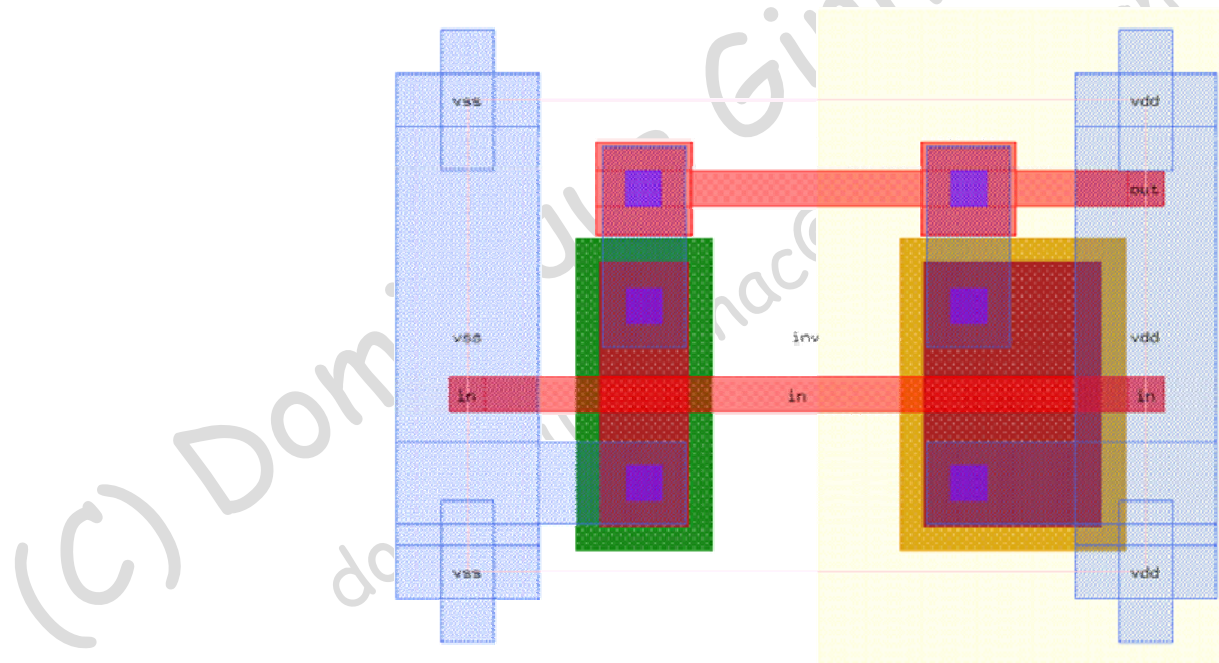
- ✓ Réalisation du layout des transistors
- ✓ Réalisation des interconnexions métalliques

Dessin du layout

Définition du layout

Le dessin d'un masque est un **motif géométrique** représentant un élément du circuit (diffusion, contact, piste métallique, ...)

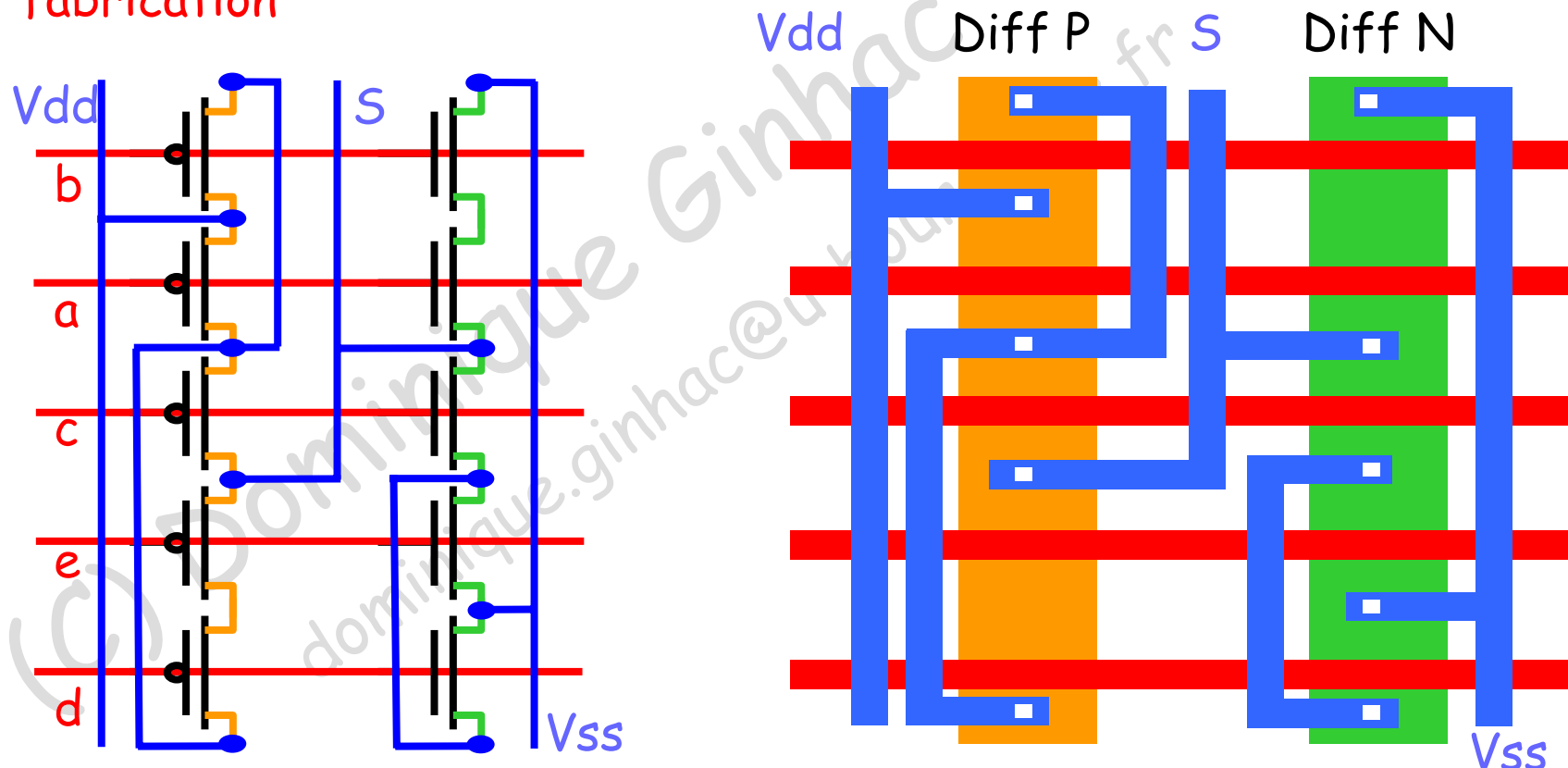
L'ensemble des masques représente le **layout du circuit**



Dessin du layout (2)

De la représentation symbolique vers le layout

La représentation symbolique permet d'obtenir un **layout optimisé** du circuit en **ignorant toute considération technologique de fabrication**

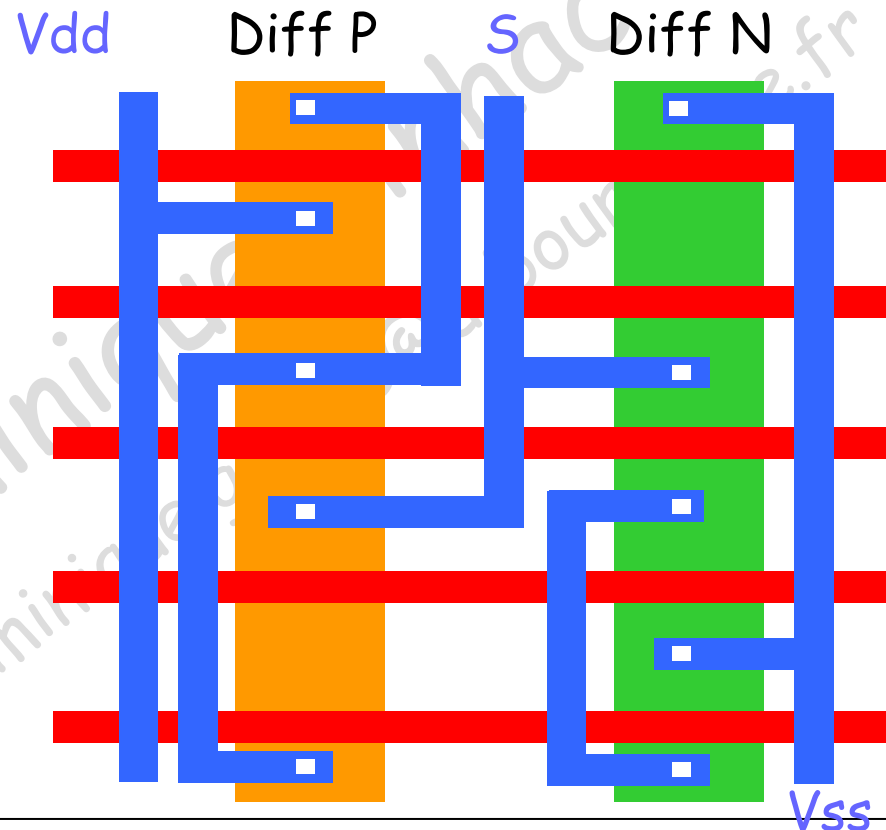




Dessin du layout (3)

De la représentation symbolique vers le layout

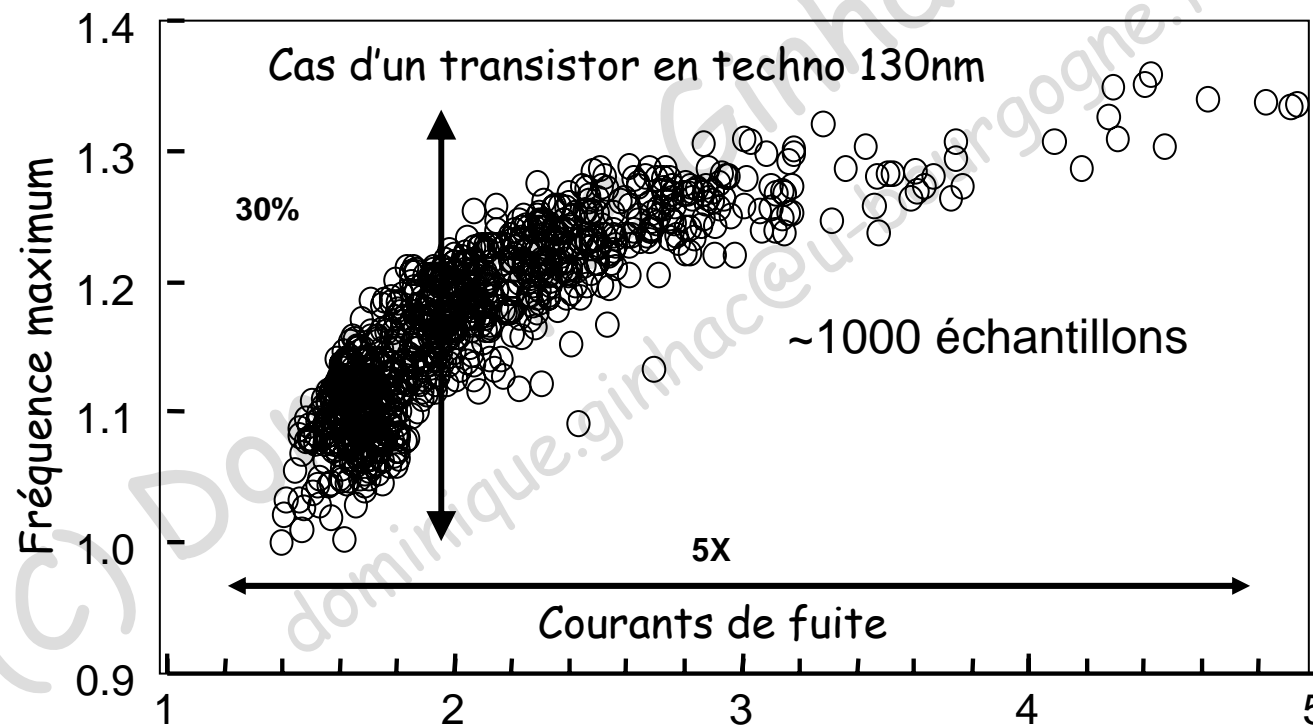
Cependant, un tel layout ne peut être fabriqué ! En effet, il ne tient compte d'aucune considération technologique fournie par un fondeur



Dessin du layout (4)

Origines des règles technologiques de dessin

Tout procédé de fabrication technologique est sujet à des **imprécisions** entraînant des disparités de caractéristiques des transistors ainsi fabriqués



Fréquence
~30%

Courant
De fuite
~5-10X

Dessin du layout (5)

A propos des règles de dessin

Le **dessin des masques** ou **layout** doit être fait de manière à assurer que les structures dessinées fonctionnent correctement après fabrication.

Pour cela, il y a un certain nombre de contraintes à respecter lors du dessin: ce sont les **règles de dessin**.

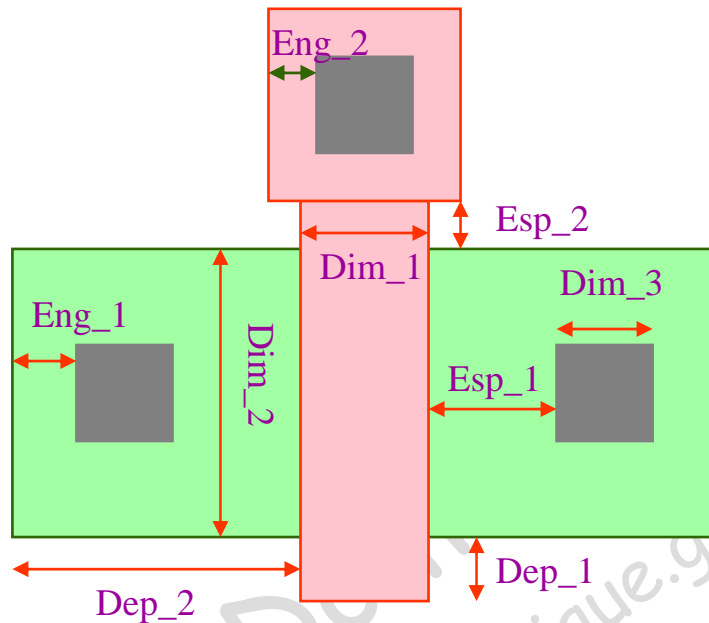
Ces **règles de dessin** imposent au concepteur des **limites** qui garantissent uniquement la **faisabilité** du procédé mais absolument pas le **bon fonctionnement** !

Celles-ci dépendent fortement du **processus de fabrication** et varient d'un fabricant à l'autre.

Dessin du layout (6)

A propos des règles de dessin

Les règles de dessin sont principalement de 4 types :



- ✓ **Dimension minimale** (width)

(Due à la résolution du procédé c'est-à-dire à la longueur d'onde λ des UV utilisés)

- ✓ **Englobement minimal** (enclosure)

(Due aux erreurs d'alignement des masques - Assure un bon contact entre les niveaux concernés)

- ✓ **Espacement minimal** (spacing)

(Due aux erreurs d'alignement des masques - Évite des courts circuits imprévus)

- ✓ **Dépassement minimal** (overlap) :

(Même chose que pour l'espacement)

Pour vérifier que le layout est sans erreur, on utilise des programmes de vérification de type DRC (**Design Rule Checking**)

Dessin du layout (7)

Deux types de règles de dessin

1 - Spécifier les dimensions avec un paramètre technologique : λ

✓ Les règles de dessin « lambda » (λ) sont des règles universelles et standardisées, qui s'appliquent pour toute technologie.

✓ Le paramètre λ correspond à la déviation maximum du procédé technologique de fabrication et est égal à la moitié de la technologie

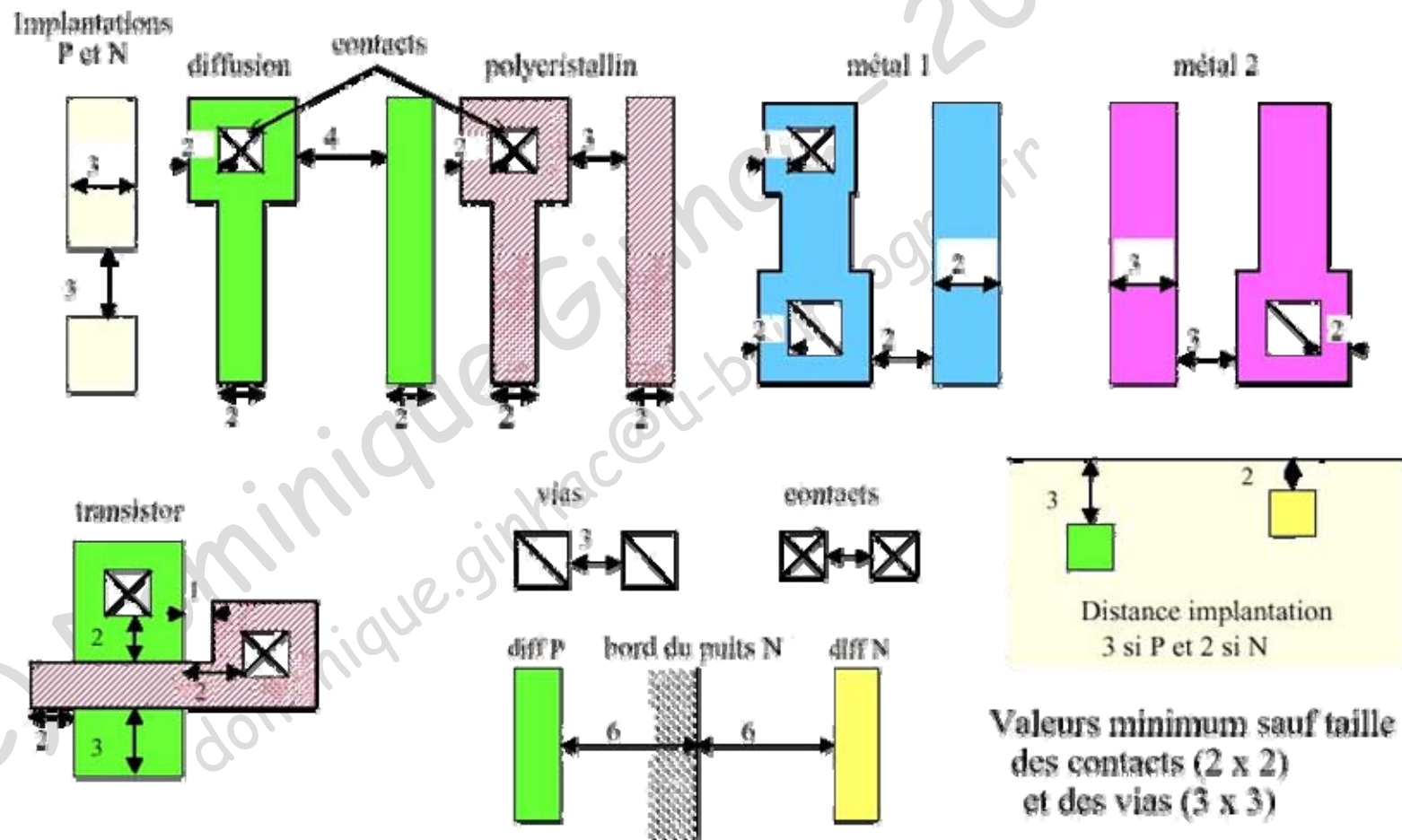
Ex: En techno 130 nm, $\lambda = 65$ nm

✓ La méthode consiste à définir toutes les règles en fonction de multiples entiers de λ

Ex: Le métal 1 doit être plus large que 3 lambda

Dessin du layout (8)

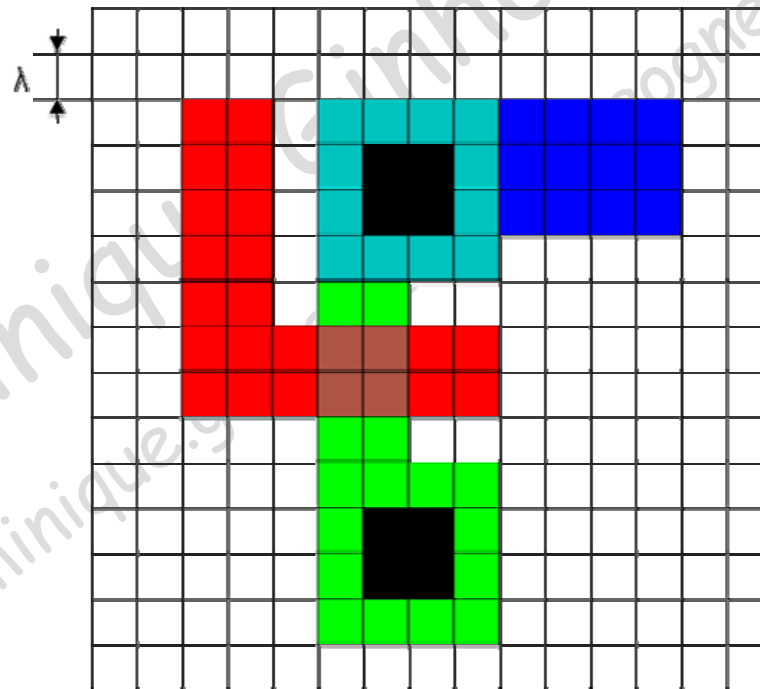
Règles de dessin AMS 0.6 μm exprimées en fonction de λ



Dessin du layout (9)

Règles de dessin exprimées en fonction de λ

Etant donné que toutes les dimensions s'expriment en fonction de multiples de λ , le dessin des géométries se fait donc sur une grille dont l'élément de base a pour côté λ



Dessin du layout (10)

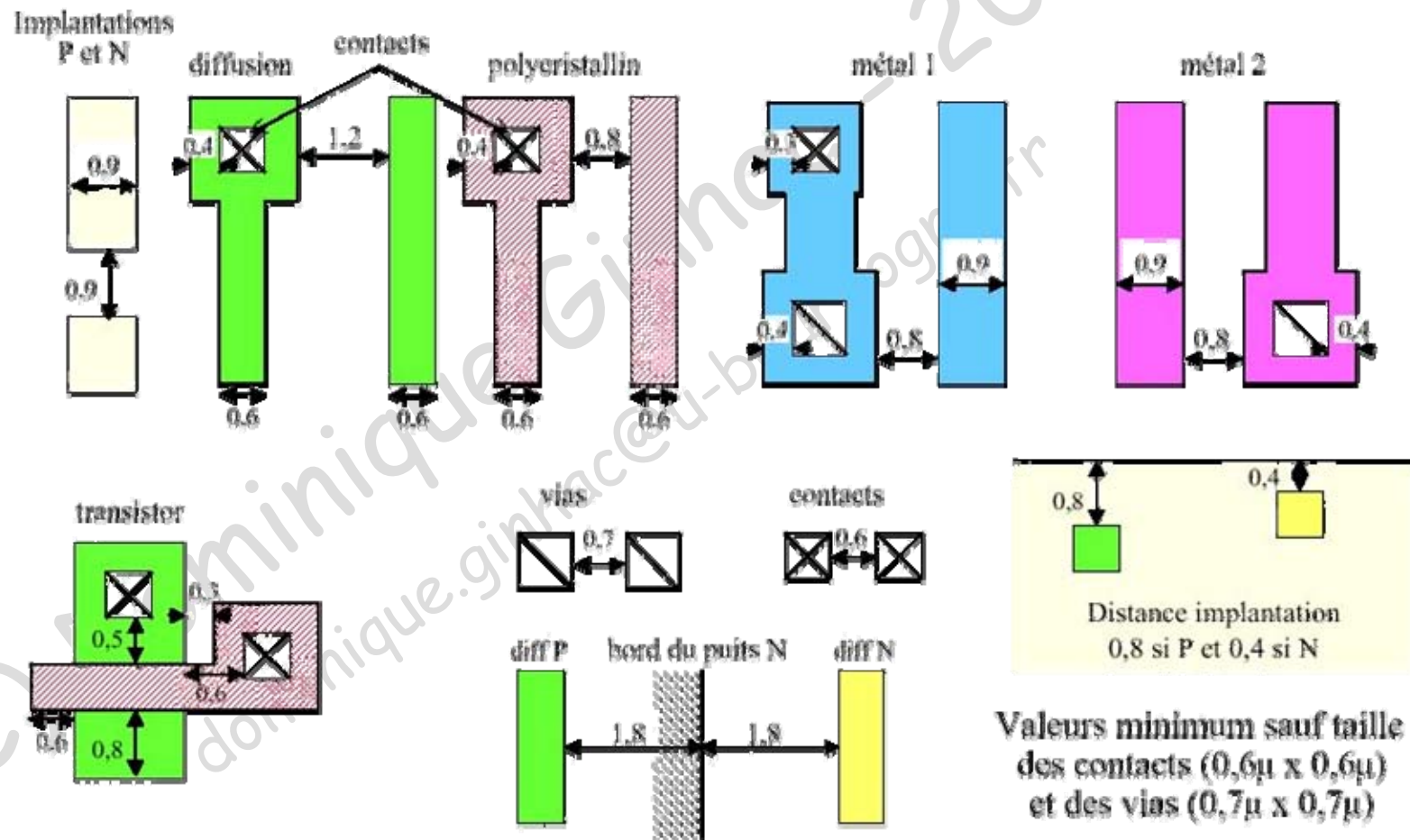
Deux types de règles de dessin

2 - Spécifier les dimensions **géométriques** en μm

- ✓ Les règles de dessin en μm sont des **règles spécifiques**, qui ne s'appliquent que pour une technologie d'un fondeur donné.
- ✓ Le procédé de fabrication est **parfaitement caractérisé** ce qui permet de définir précisément toutes les **imprécisions** pour chaque structure à fabriquer
- ✓ La méthode consiste à définir chacune des règles sous la forme de **dimensions exactes**
Ex: Le métal 1 doit être plus large que $0.9 \mu\text{m}$ en technologie AMS $0.6 \mu\text{m}$

Dessin du layout (11)

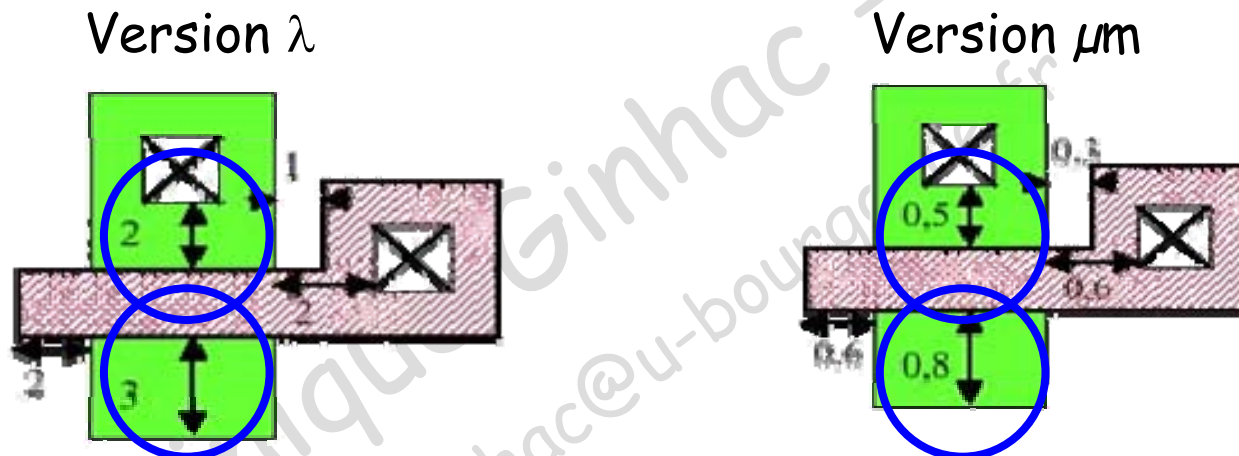
Règles de dessin AMS 0.6 μm exprimées en μm



Dessin du layout (12)

Comparaison des deux types de règles

Layout minimal d'un transistor en technologie AMS 0.6 μm



Espacement Contact Grille : 2λ ($=0.6 \mu\text{m}$) ou $0.5 \mu\text{m}$

Largeur Source : 3λ ($=0.9 \mu\text{m}$) ou $0.8 \mu\text{m}$

➡ Design optimisé en version μm

Dessin du layout (13)

Avantages et inconvénients des deux types de règles

1 - Spécifier les dimensions avec un **paramètre technologique** : λ

Avantage majeur :

- ✓ Directement **réutilisable** en cas de changement de technologie (design « Re use » maximal)

Inconvénient majeur :

- ✓ Précision plus faible et design **non optimisé** en surface

2 - Spécifier les dimensions **géométriques** en μm

Avantage majeur :

- ✓ **Optimisation** de la surface car très grande précision

Inconvénient :

- ✓ Design **non réutilisable** en cas de changement de technologie (temps et coût de design élevé)

Dessin du layout (14)

Utilisation en TD/TP de règles en μm

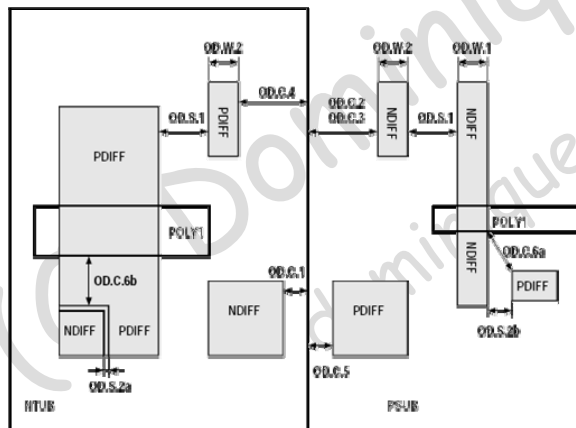
Dans le cadre de l'enseignement effectué, les règles utilisées sont en spécifiées en μm .

Rule	Description	Value [μm]
OD.W.1	Minimum DIFF width to define the width of NMOS / PMOS	0.4
OD.W.2	Minimum DIFF width for interconnection (NDIFF or PDIFF)	0.3
OD.S.1	Minimum DIFF spacing	0.6
OD.C.1	Minimum NTUB enclosure of NDIFF	0.2
OD.C.2	Minimum NDIFF to NTUB spacing	1.2
OD.C.3	Minimum NDIFF to HOT_NTUB spacing (without PTAP in between)	2.0
OD.C.4	Minimum NTUB enclosure of PDIFF	1.2
OD.C.5	Minimum PDIFF to NTUB spacing	0.2
OD.C.6a	Minimum PDIFF to NGATE spacing	0.45
OD.C.6b	Minimum NDIFF to PGATE spacing	0.45
OD.S.2a	Minimum NDIFF to butting PDIFF spacing	0
OD.S.2b	Minimum NDIFF to non-butting PDIFF spacing	0.6

Les règles de dessin sont fournis dans des **documents confidentiels**.

Elles sont très **nombreuses**.

En technologie AMS $0.35\mu\text{m}$, les **règles de dessin** et les **paramètres de process** sont définis dans deux documents de **60 pages** et **80 pages**.



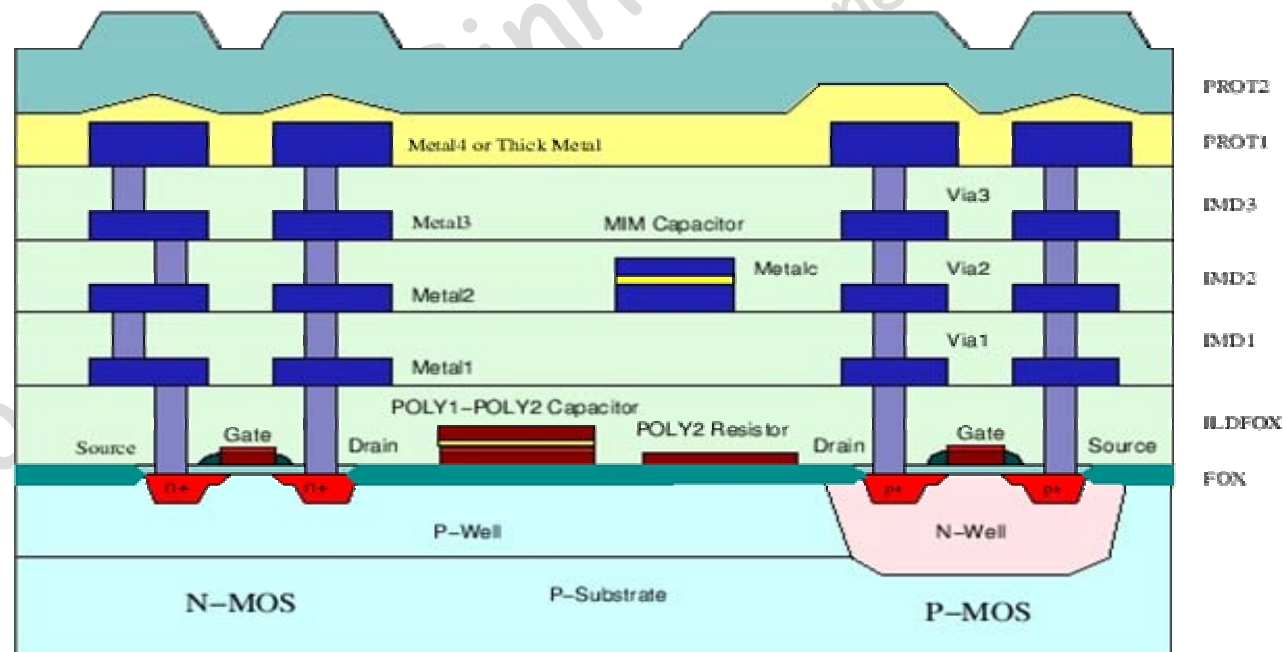
Dessin du layout (15)

Utilisation en TD/TP de règles en μm de AMS 0.35 μm

Principales caractéristiques :

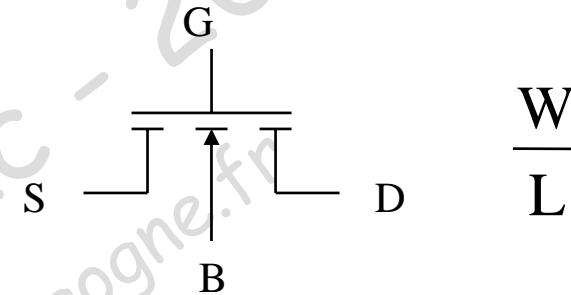
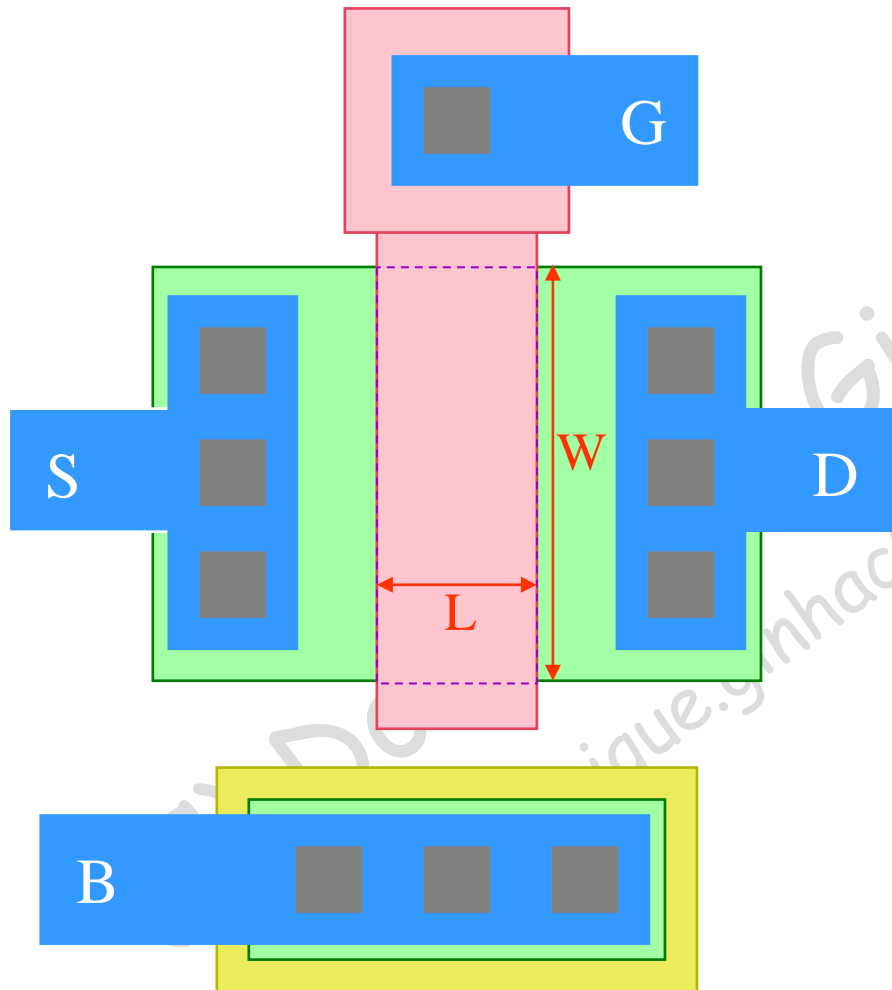
24 couches ou layers (dont 2 poly, 4 métaux)

Densité d'intégration de 18 kgates /mm²



Dessin du layout (16)

Layout d'un transistor complet



La **taille effective** du transistor est **très supérieure** à la surface utile ($W \cdot L$)

De plus, le layout introduit des **éléments parasites** : capacités et résistances supplémentaires

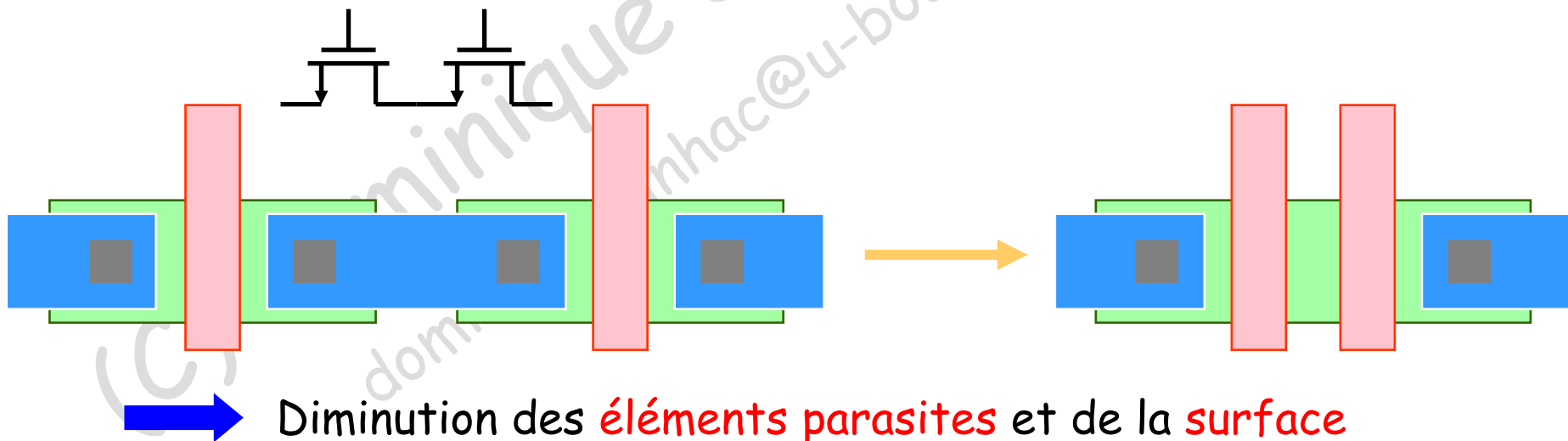
Dessin du layout (17)

Optimisation du layout

1 - La **représentation symbolique** permet d'**optimiser** la **surface** du circuit final en **alignant les diffusions des transistors en série**

Moyen : **Partage** (aboutement) **des diffusions**

Si deux diffusions sont communes à 2 transistors du même type, on peut **fusionner** les 2 zones de diffusion correspondantes



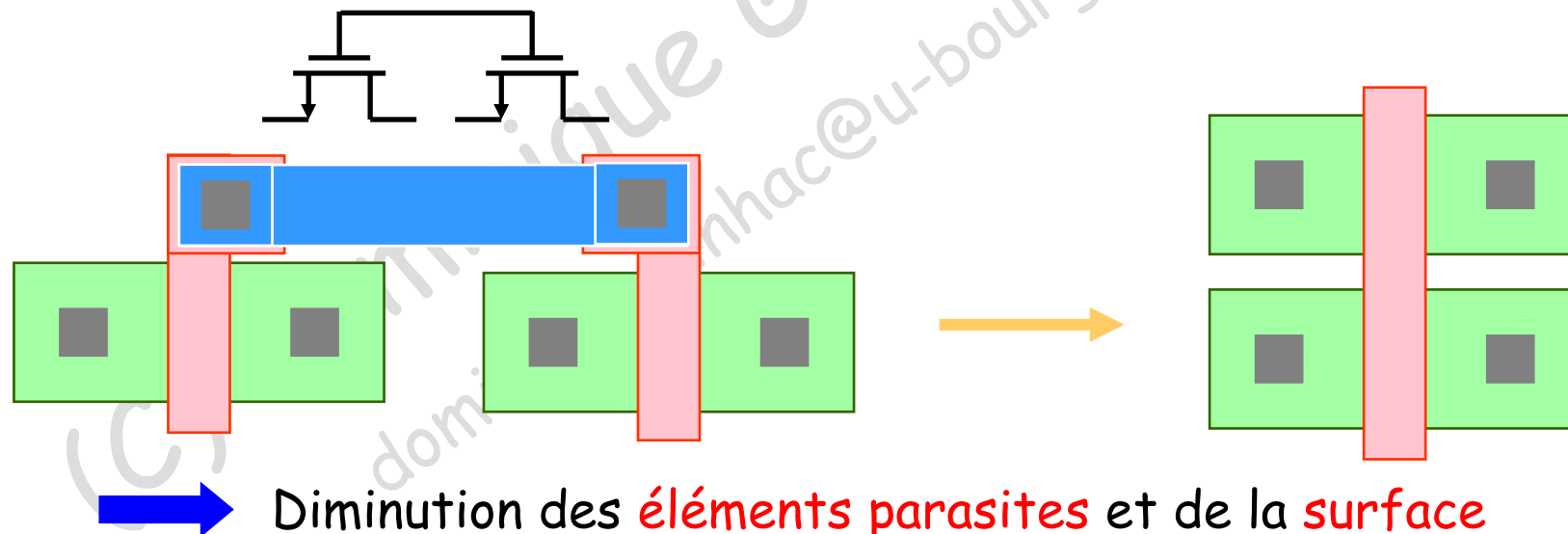
Dessin du layout (18)

Optimisation du layout

2 - La **représentation symbolique** permet d'**optimiser** la **surface** du circuit final en **alignant les grilles** des transistors

Moyen : **Partage** (aboutement) **des grilles**

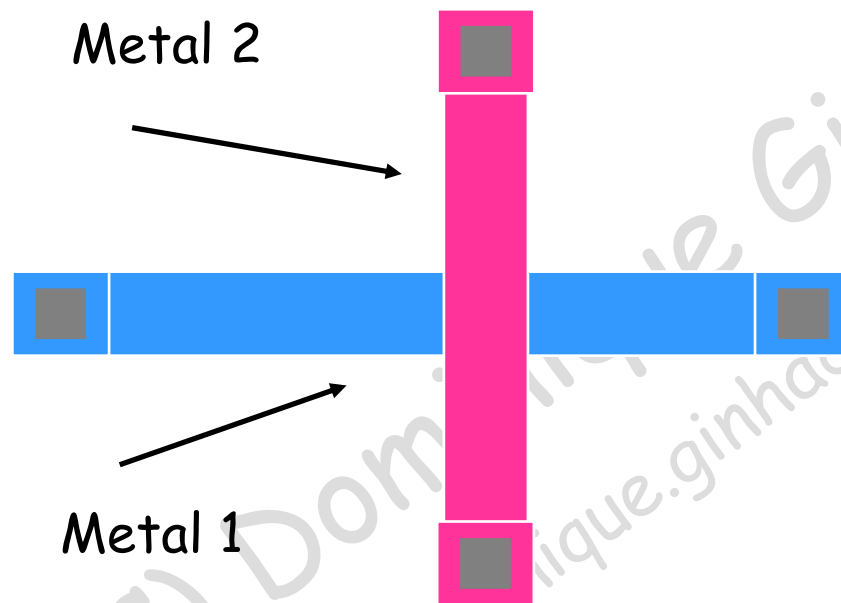
Si deux grilles sont communes à 2 transistors, on peut **aligner** les transistors



Dessin du layout (19)

Optimisation du layout

3 - Pour optimiser le routage des connexions métalliques entre les transistors, il est naturel de croiser les couches de métal



Technologie :

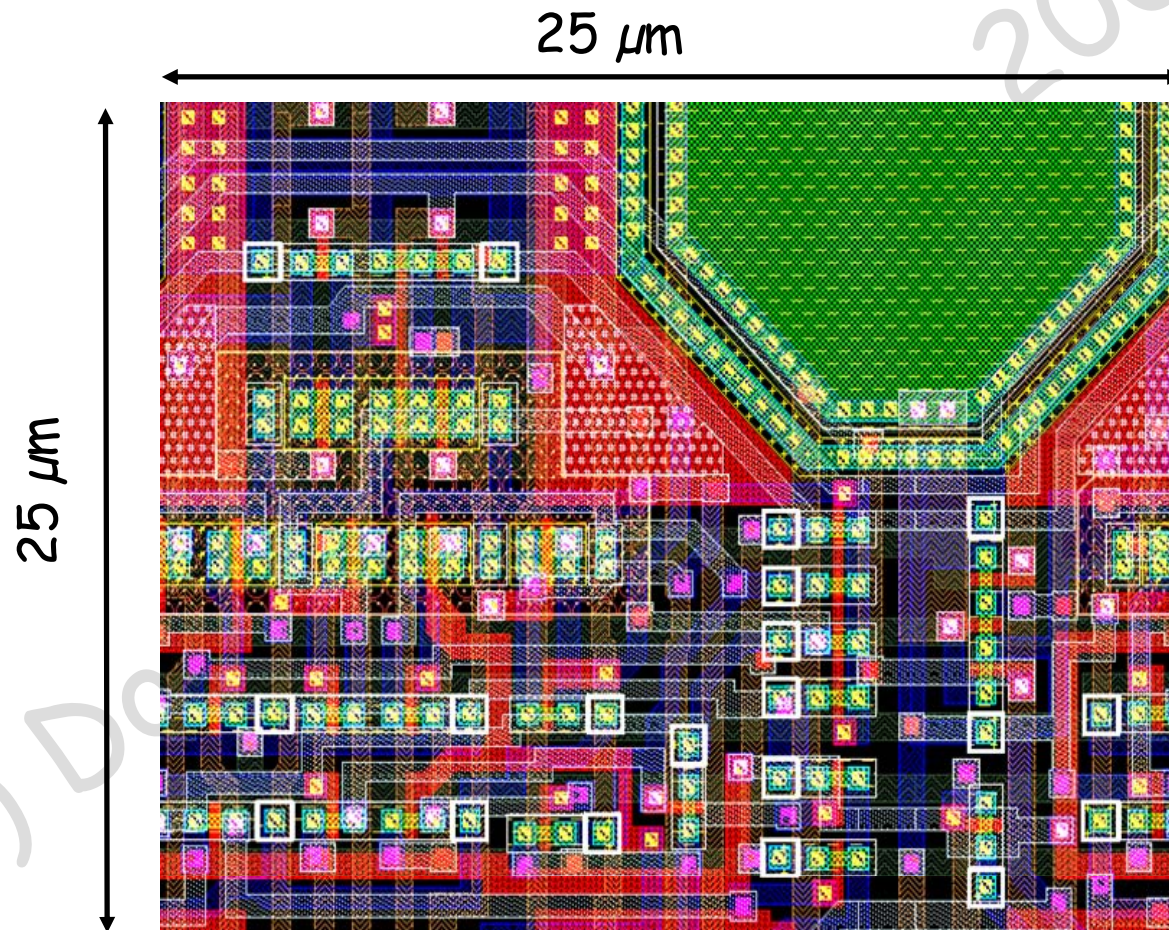
- ✓ AMS 0.6 μm : 3 métaux
- ✓ AMS 0.35 μm : 4 métaux
- ✓ ST : 130 nm : 8 métaux



Optimisation du layout mais création de **capacités parasites**

Dessin du layout (20)

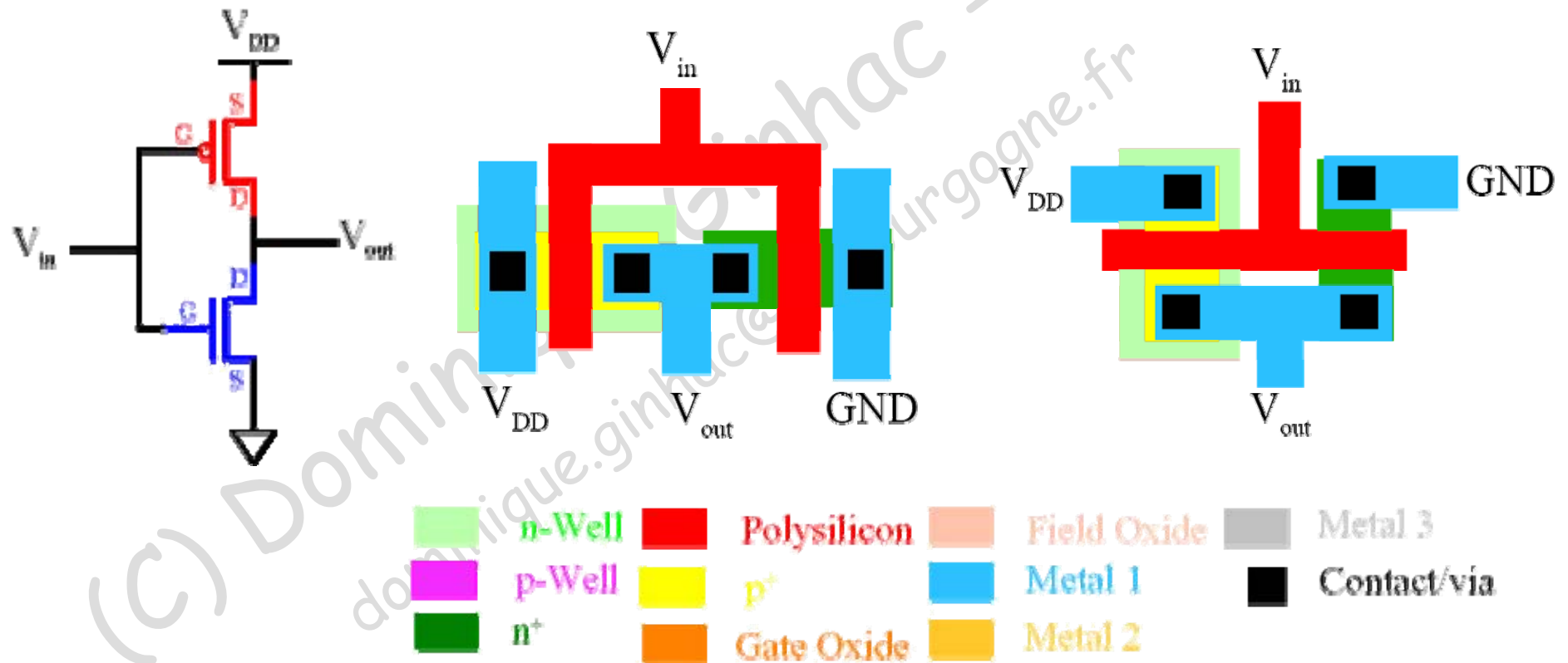
Un exemple de layout très complexe



Dessin du layout (21)

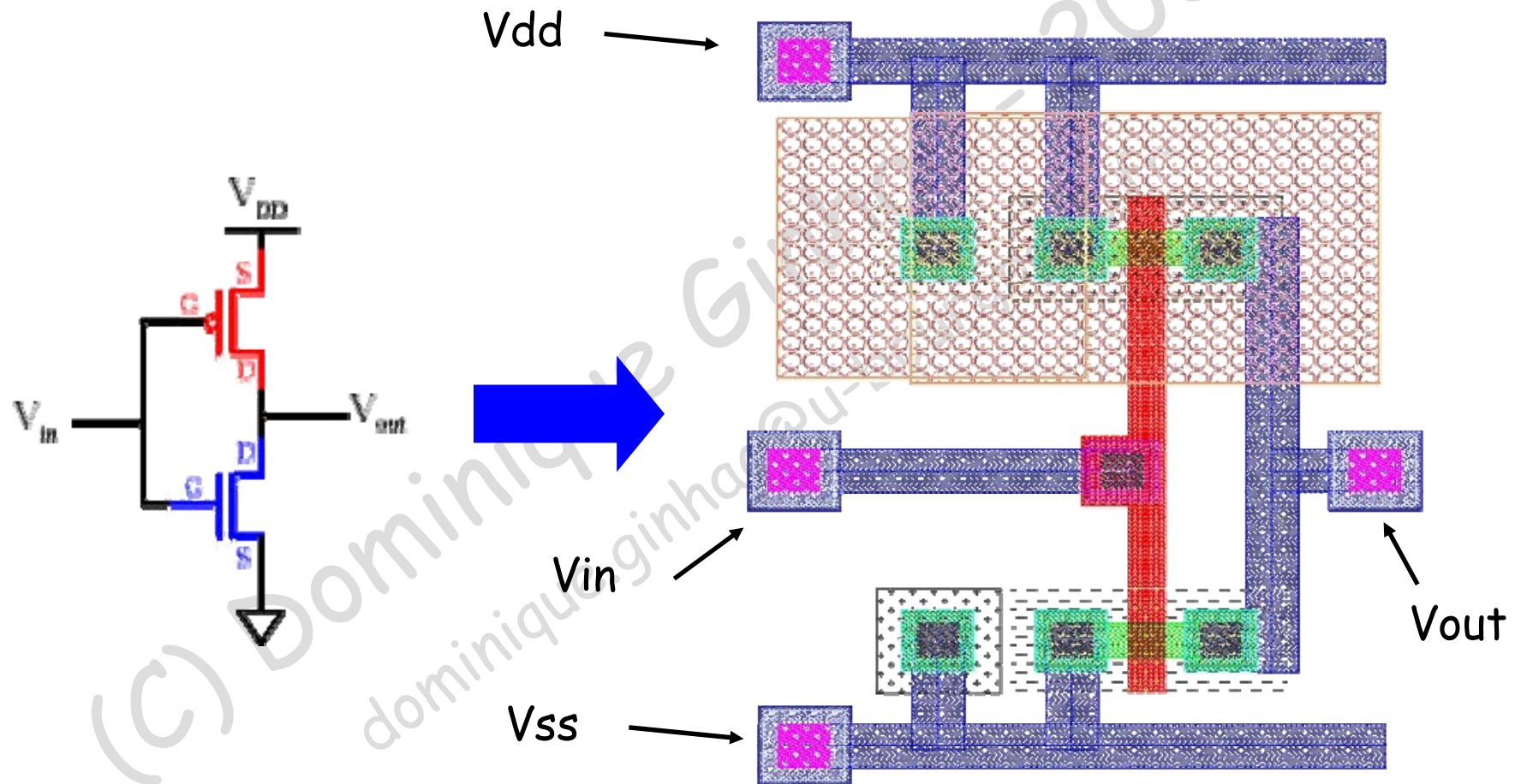
Layout de l'inverseur

Le concepteur possède toujours une **grande liberté** pour réaliser et optimiser le design de son circuit



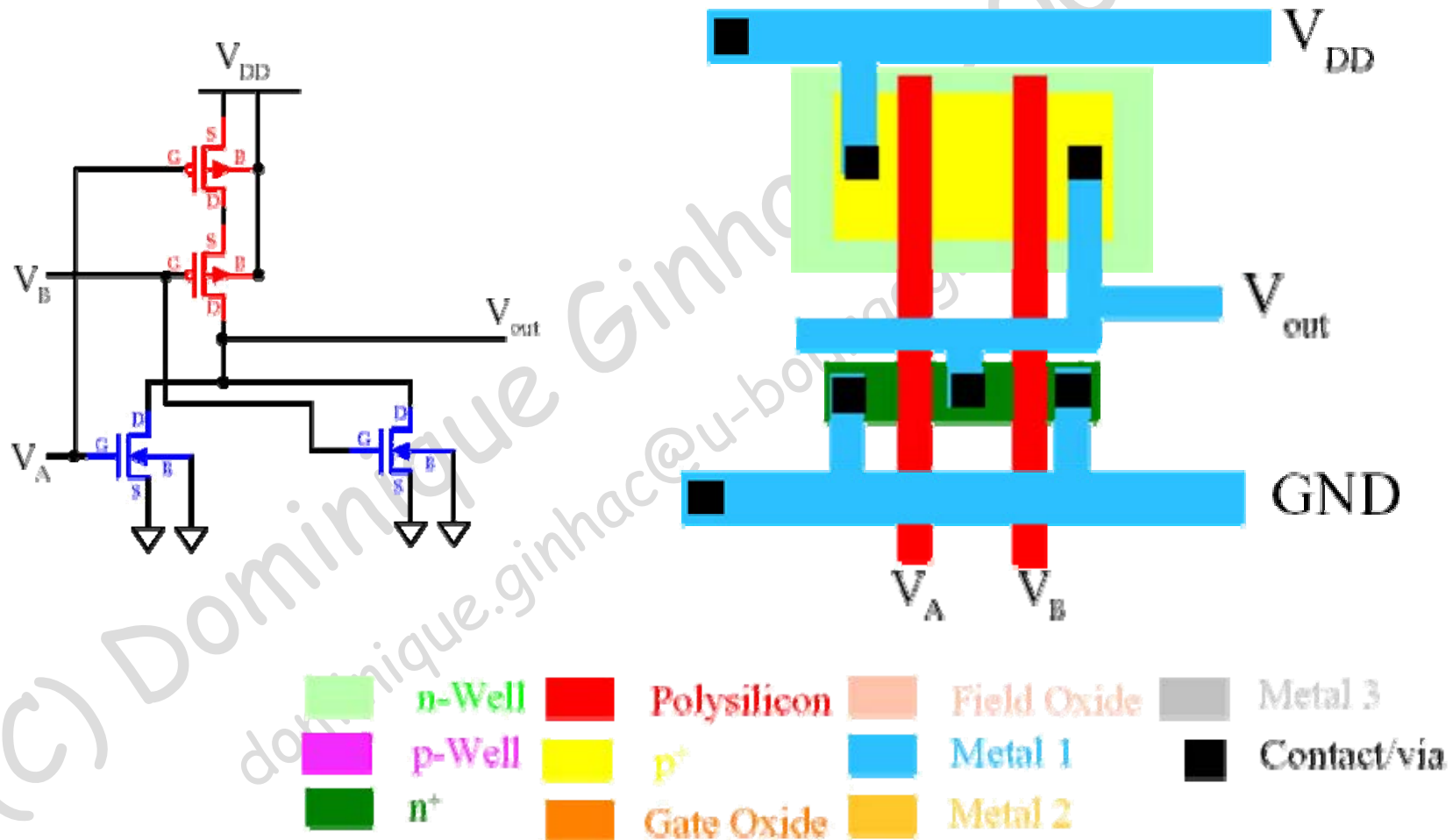
Dessin du layout (22)

Layout de l'inverseur en technologie AMS 0.35 μm



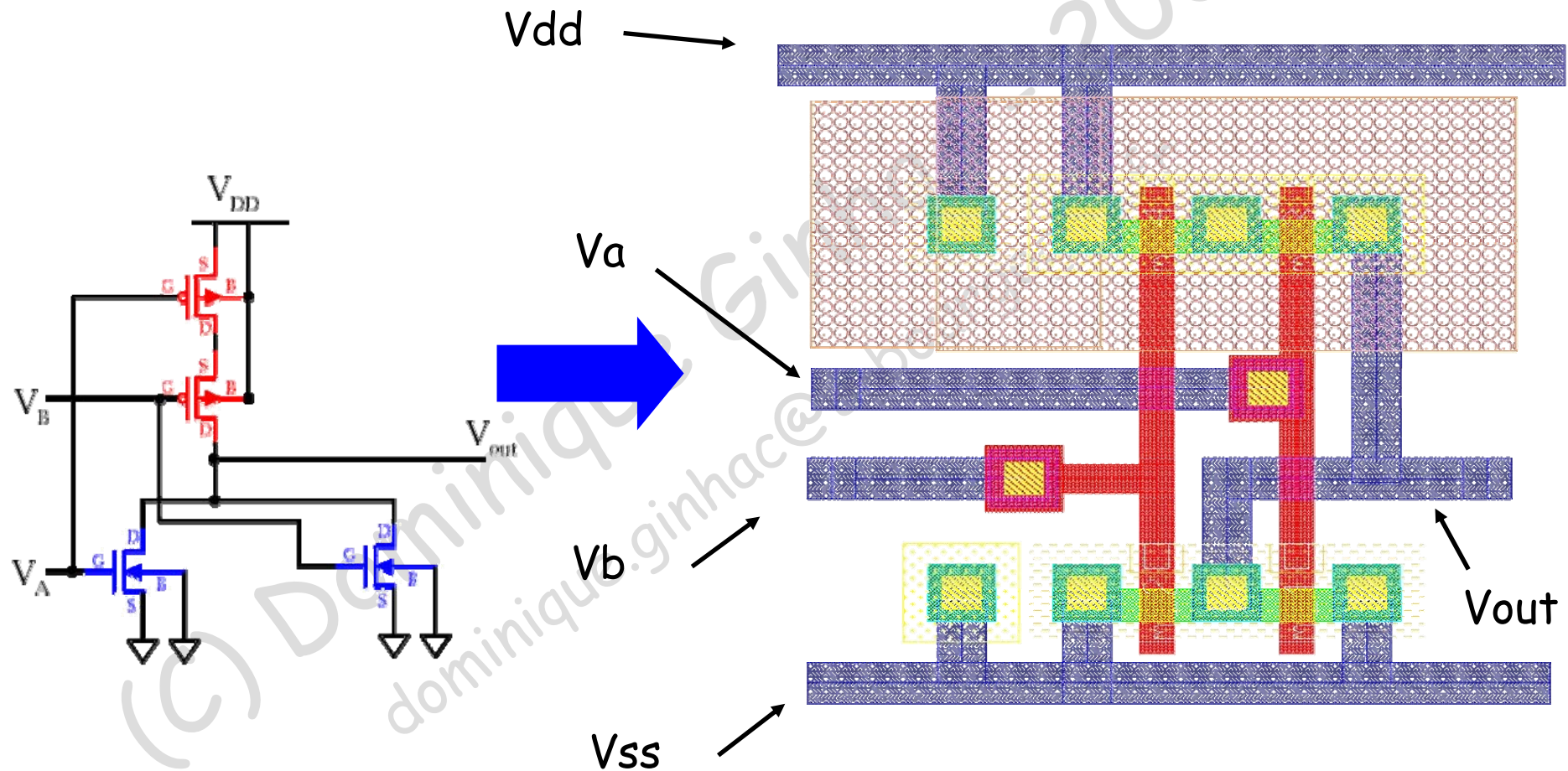
Dessin du layout (23)

Layout de la porte NOR à deux entrées



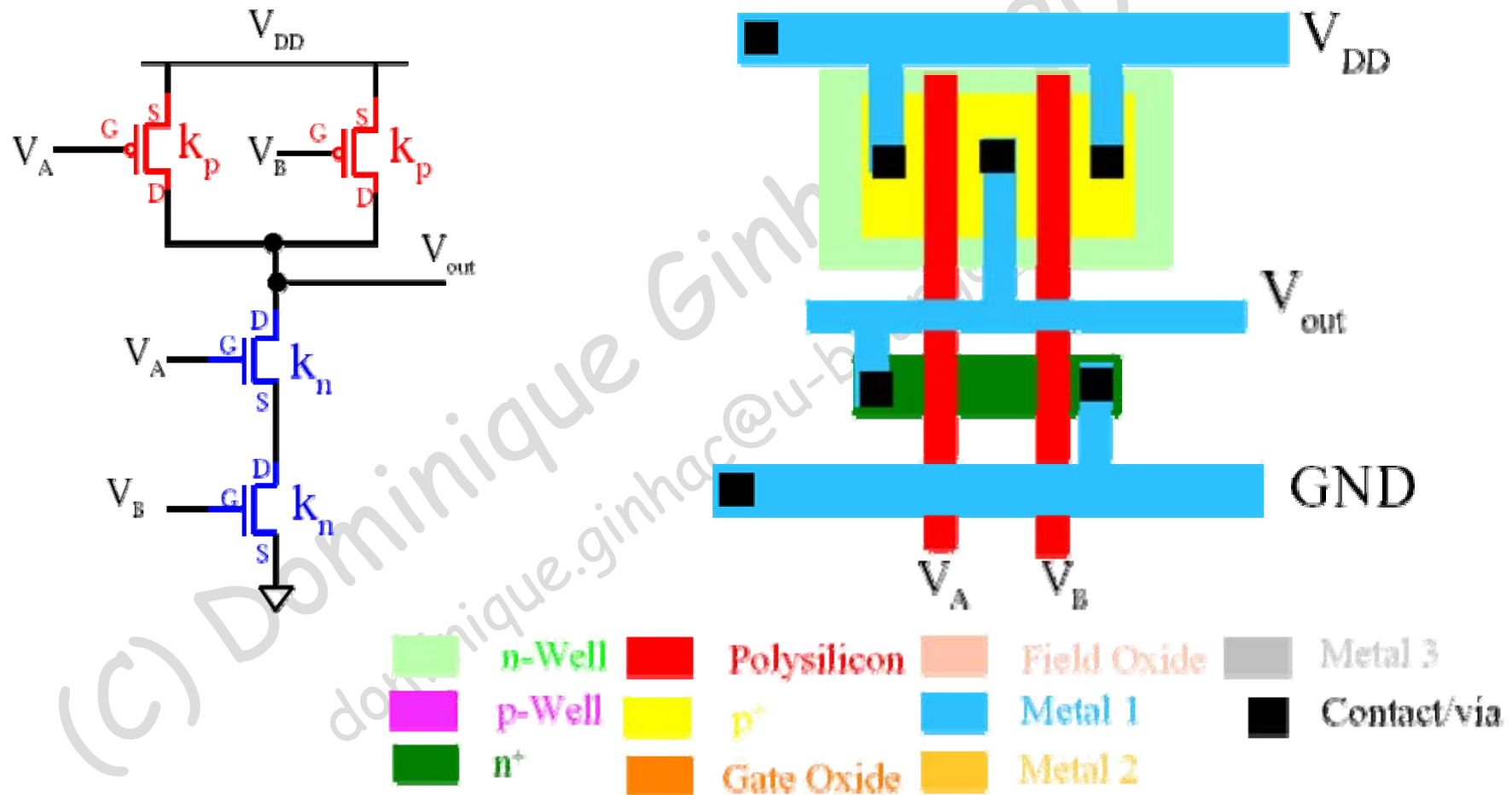
Dessin du layout (24)

Layout du NOR en technologie AMS 0.35 μm



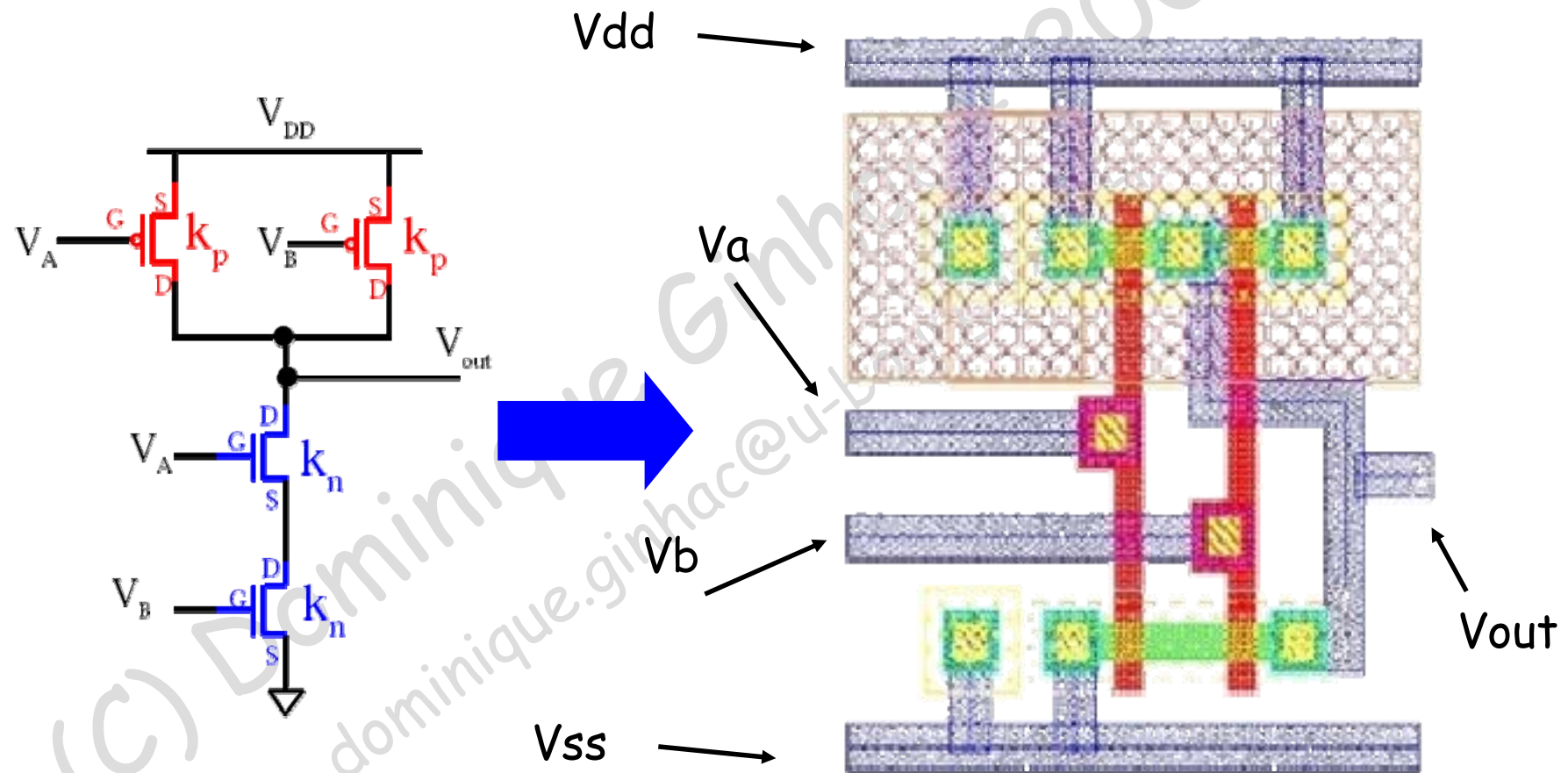
Dessin du layout (25)

Layout de la porte NAND à deux entrées



Dessin du layout (26)

Layout du NAND en technologie AMS 0.35 μm

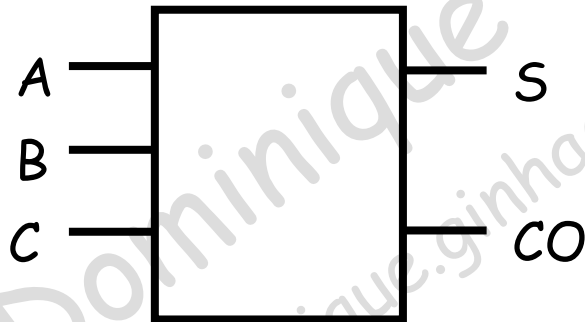


Un exemple concret

Etude d'une cellule d'un additionneur n bits

Un additionneur n bits est composé de l'enchaînement de n cellules d'additionneur 1 bit composées chacune de :

- ✓ 3 entrées (2 opérandes A et B + retenue étage précédent C)
- ✓ 2 sorties : addition et retenue



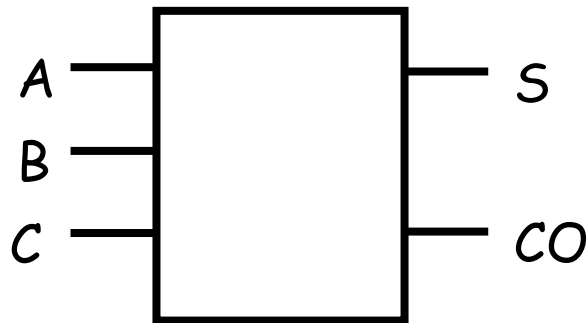
A	B	C	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Équations de S et CO ?

Un exemple concret (2)

Equations de l'additionneur 1 bit



$$S = A \oplus B \oplus C$$



$$S = A.B.C + A.\bar{B}.\bar{C} + \bar{A}.\bar{B}.C + \bar{A}.B.\bar{C}$$

$$CO = AB + AC + BC$$

La sortie S utilise des **sorties complémentées** ce qui est coûteux en terme de transistors (nécessité de créer des inverseurs pour chaque entrée complémentée)

Pour simplifier le design du circuit, il est possible de **réécrire la sortie S** sous la forme suivante :

$$S = A.B.C + (A+B+C).\overline{CO}$$

Un exemple concret (3)

Schéma électrique de l'additionneur 1 bit

Attention, les valeurs S et CO ne sont pas des fonctions CMOS complémentées en final. Comment faire ?

1 - Réécrire la fonction

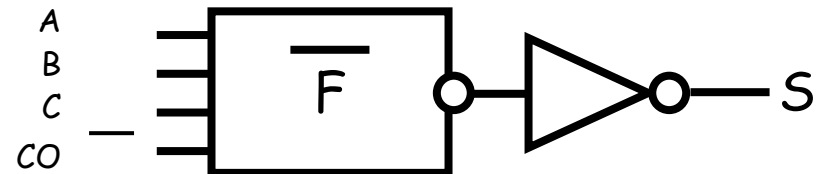
$$\begin{aligned}
 S &= A.B.C + (A+B+C).\overline{CO} \\
 &= (A.B.C) . (A+B+C).\overline{CO} \\
 &= (\overline{A+B+C}).((A+B+C)+CO) \\
 &= (\overline{A+B+C}).(A.B.C+CO)
 \end{aligned}$$

Bilan : Écriture complexe avec A,B,C complémentées

2 - Décomposer la fonction

$$S = A.B.C + (A+B+C).\overline{CO} = \overline{F}$$

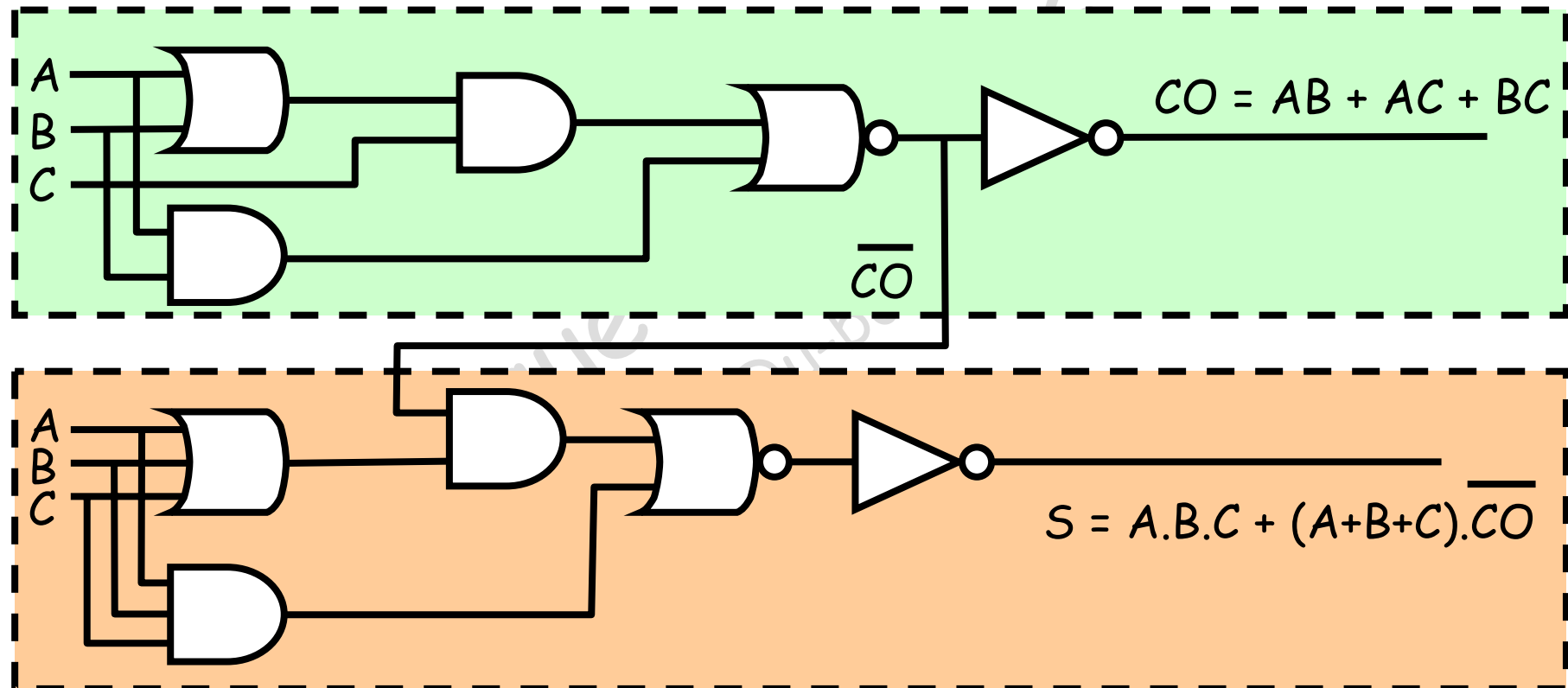
Avec $F = A.B.C + (A+B+C).CO$



Bilan : Écriture plus simple avec l'ajout d'un inverseur

Un exemple concret (4)

Schéma électrique de l'additionneur 1 bit



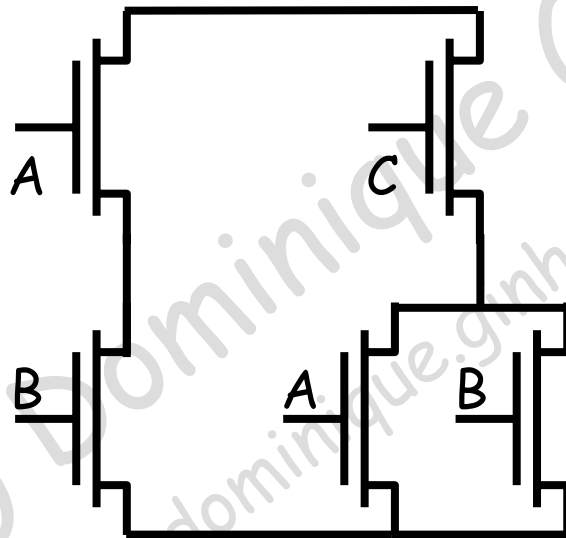
Un exemple concret (5)

Schéma de $\overline{CO} = AB + AC + BC = AB + (A + B).C$

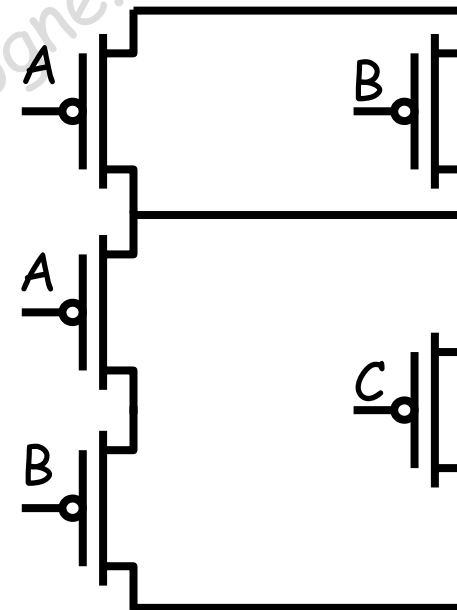
La fonction \overline{CO} servant au calcul de S est une fonction CMOS classique complémentée en final.

QUIZZ

Dessiner les schémas électriques des 2 réseaux de transistors



Réseau NMOS

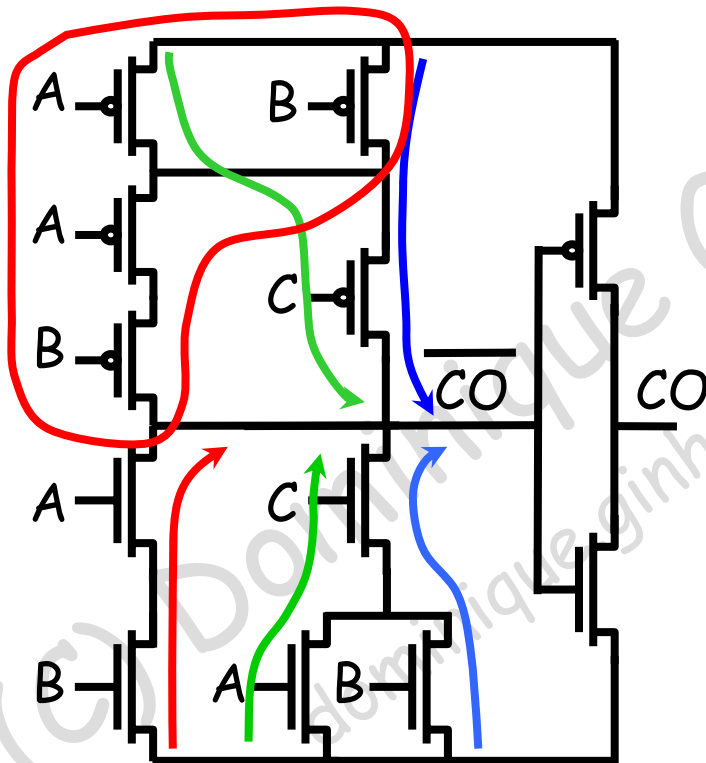


Réseau PMOS

Un exemple concret (6)

Schéma de $CO = AB + AC + BC = AB + (A + B).C$

Pour produire CO (retenue de l'addition), il faut rajouter un inverseur en final



Etude détaillée du schéma

Le **chemin** entre alimentation (Vdd ou vss) et la sortie est toujours **égal à 2**

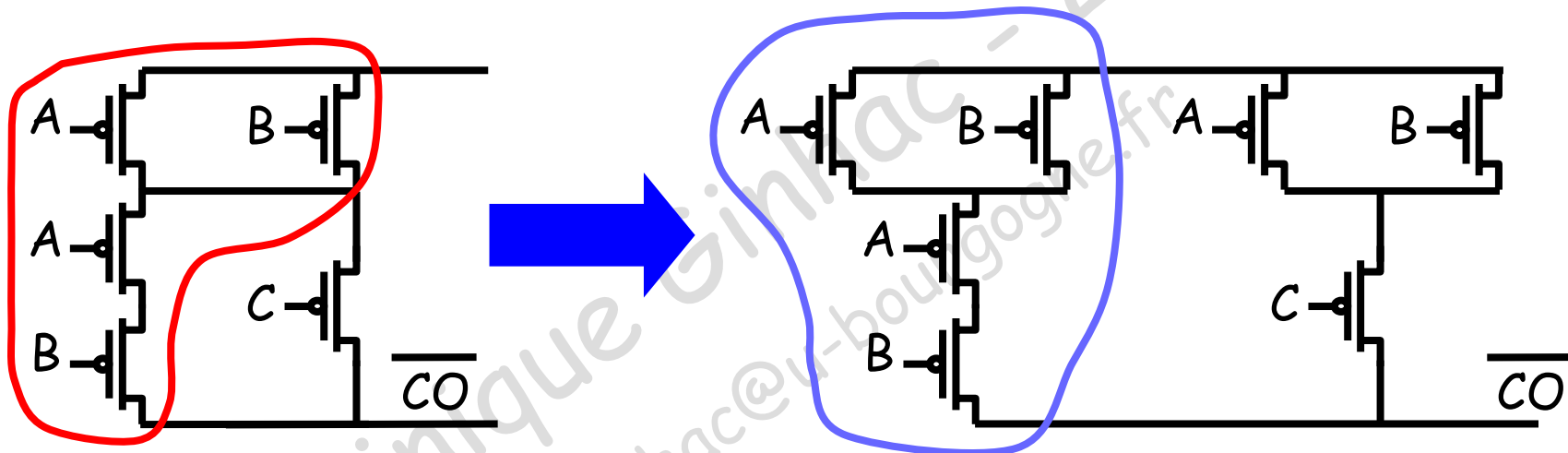
Ex : **BA**, **BC**, **AC**

Seul le cas où $A = B = 0$ et $C = 1$ possède un **chemin** égal à **3** dans le réseau PMOS

Un exemple concret (7)

Schéma de $CO = AB + AC + BC = AB + (A + B).C$

En développant le circuit, il est possible de trouver une optimisation



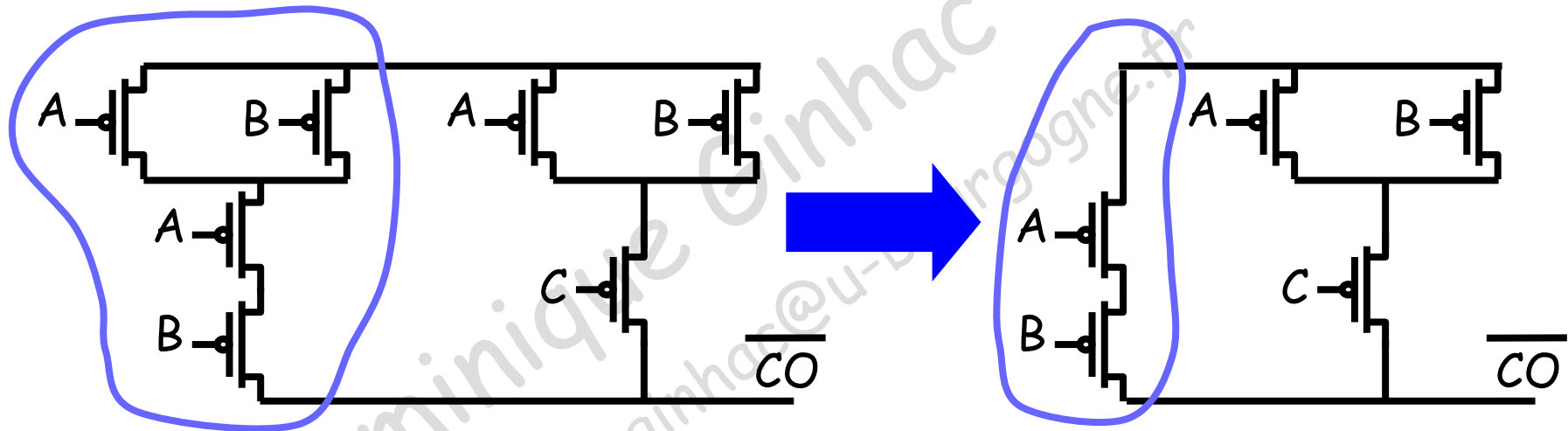
Dans la branche de gauche, ce sont les **2 transistors en série** qui pilotent la conduction des transistors :

- ✓ $A = B = 0$: la branche conduit
- ✓ Autre cas, la branche ne conduit pas.

Un exemple concret (8)

Schéma de $CO = AB + AC + BC = AB + (A + B).C$

En développant le circuit, il est possible de trouver une optimisation



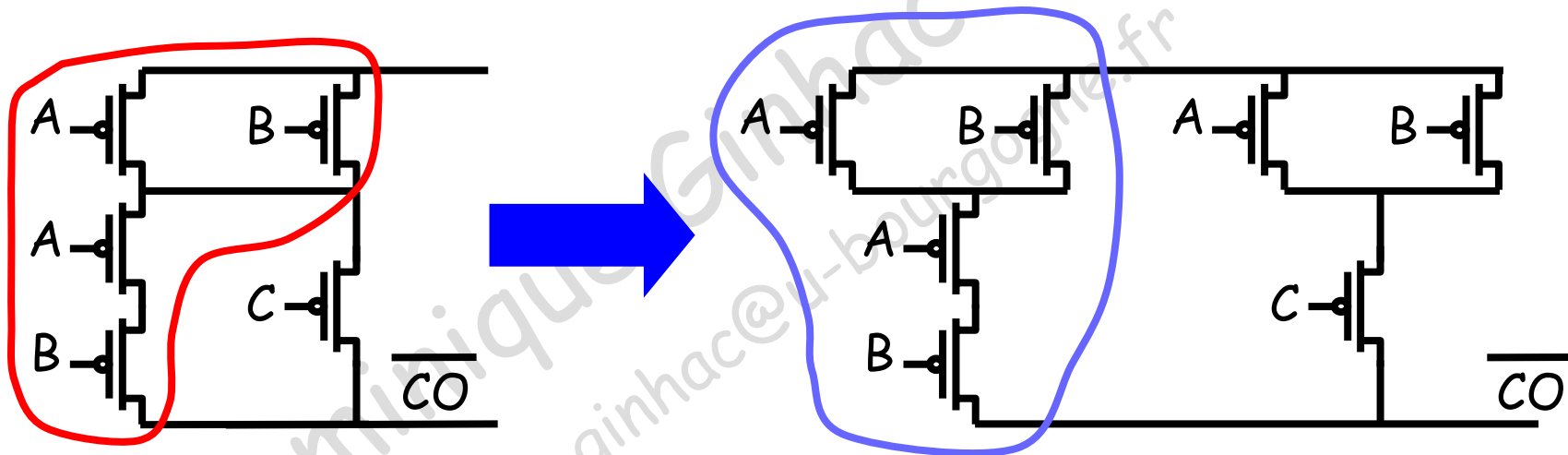
Les **2 transistors A // B** ne servent à rien pour la conduction de la branche et peuvent donc être **supprimés**

Un exemple concret (9)

Schéma de $CO = AB + AC + BC = AB + (A + B).C$

Simplification du schéma dans le cas où $A = B = 0$ et $C = 1 \rightarrow \overline{CO} = 1$

En développant le circuit, il est possible de trouver une optimisation

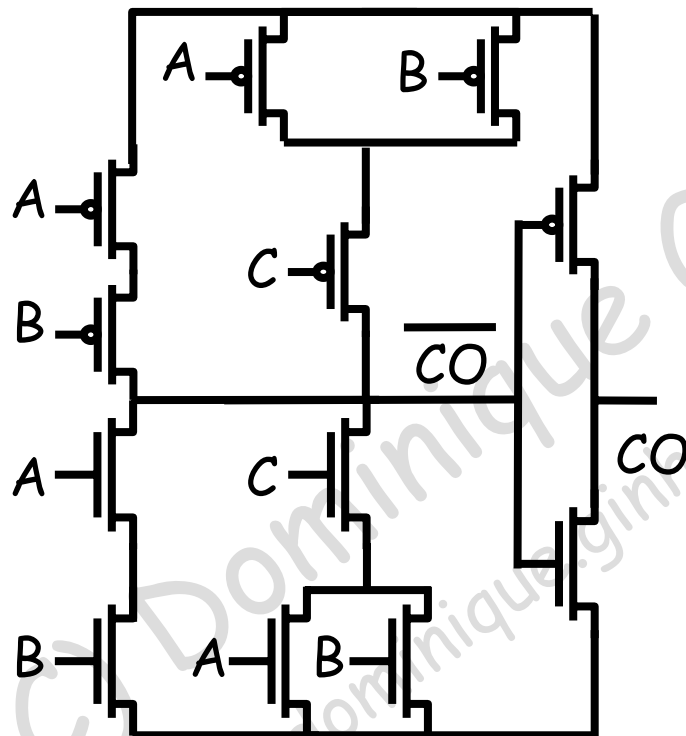


Dans la branche de gauche, ce sont les 2 transistors en série qui pilotent la conduction des transistors :

Un exemple concret (10)

Schéma de $CO = AB + AC + BC = AB + (A + B).C$

Au final, on obtient le schéma suivant



Ce schéma a la particularité d'être **parfaitement symétrique** en raison de la symétrie de la table de vérité

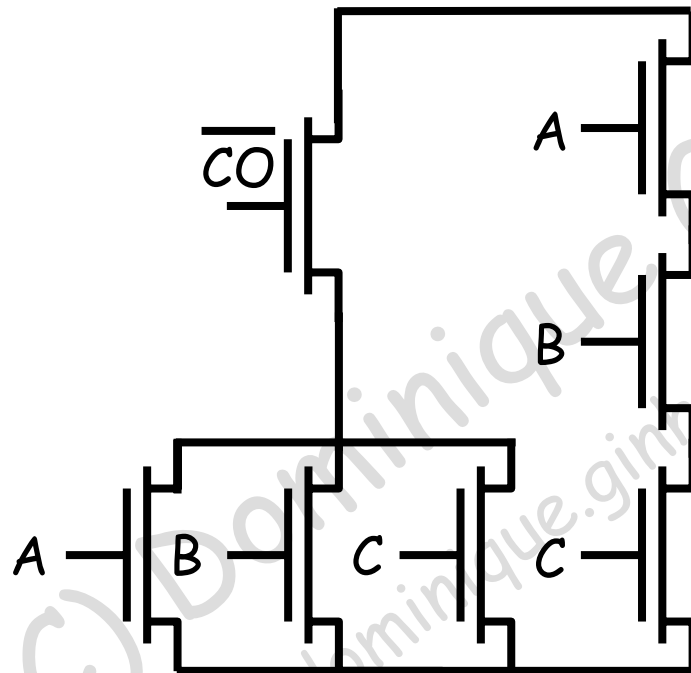
A	B	C		CO
0	0	0		0
0	0	1		0
0	1	0		0
0	1	1		1
1	0	0		0
1	0	1		1
1	1	0		1
1	1	1		1

Un exemple concret (11)

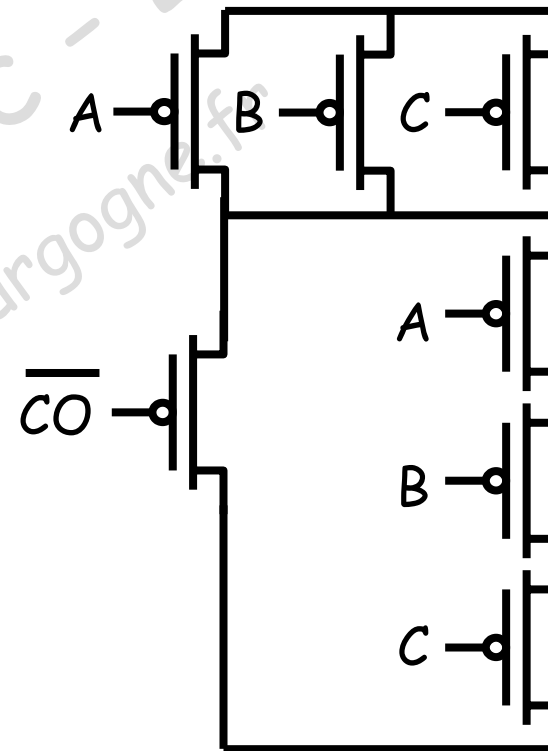
Schéma de $S = A.B.C + (A+B+C).\overline{C.O}$

QUIZZ

Dessiner les schémas électriques des 2 réseaux de transistors



Réseau NMOS

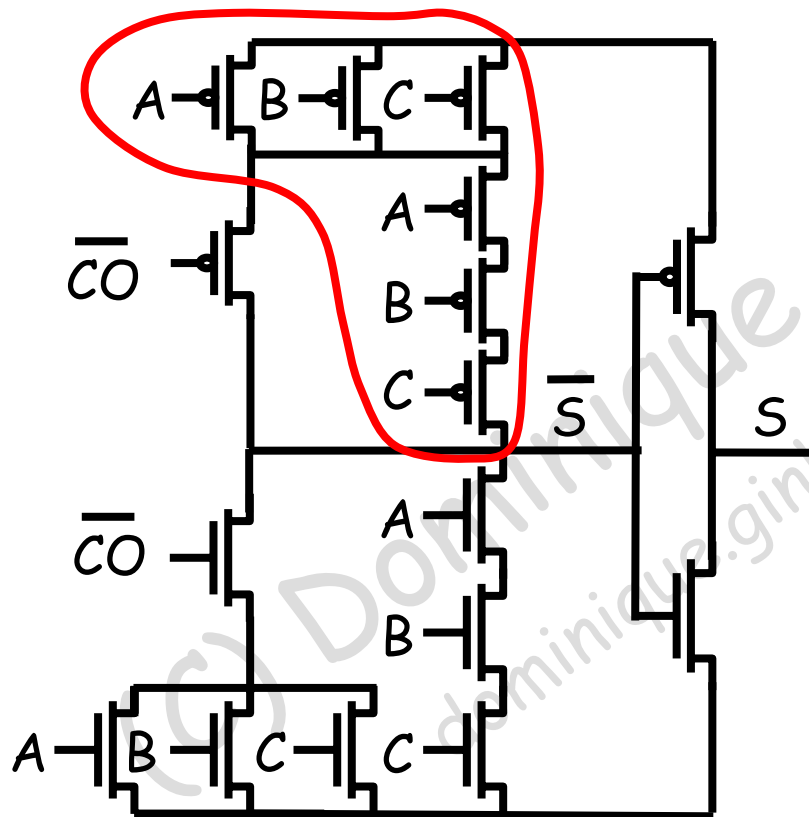


Réseau PMOS

Un exemple concret (12)

Schéma de $S = A.B.C + (A+B+C).\overline{CO}$

Pour produire S (résultat de l'addition), il faut rajouter un inverseur en final



Etude détaillée du schéma

Le **chemin** entre alimentation (Vdd ou vss) et la sortie est toujours **égal à 3**

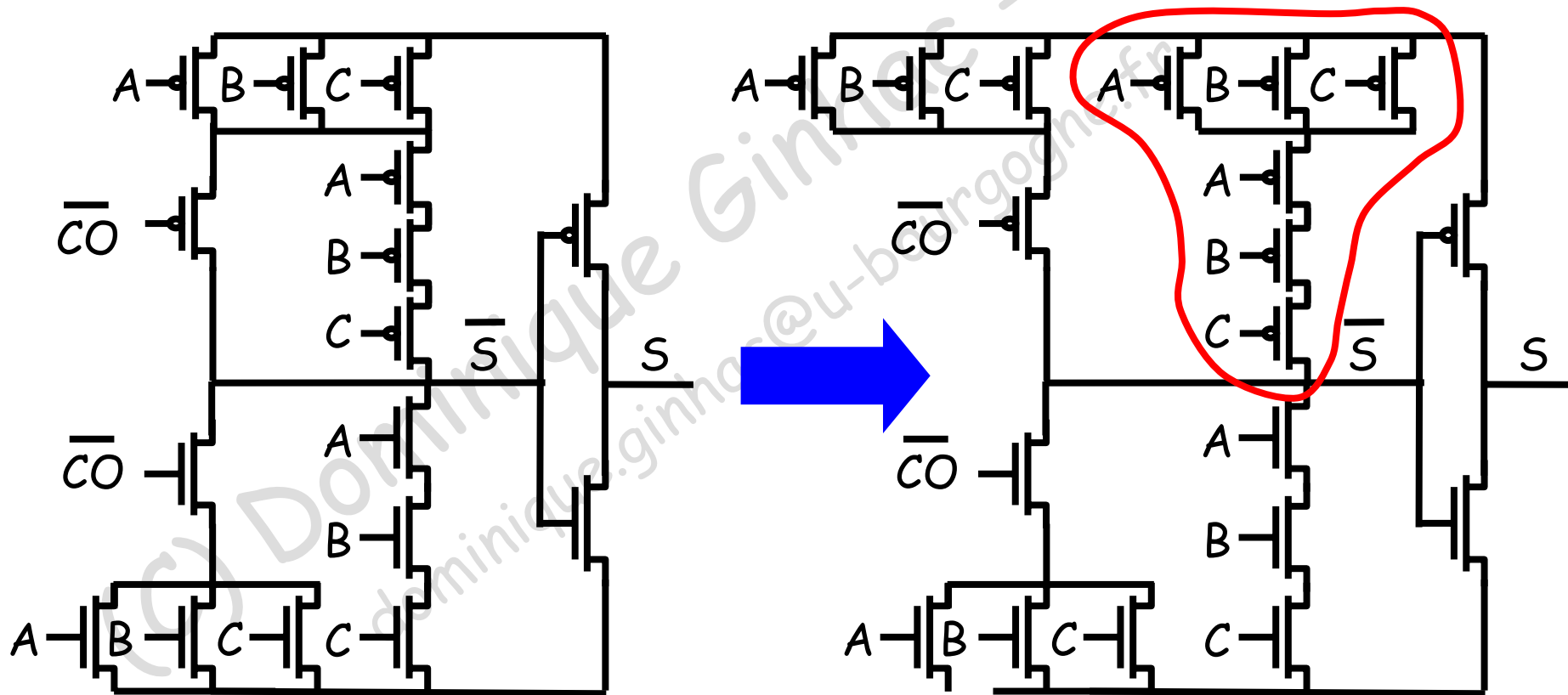
Seul le cas où $A=B=C=0$ et $\overline{CO}=1$ possède un **chemin** égal à **3** dans le réseau PMOS

Cas identique au calcul de CO

Un exemple concret (13)

Schéma de $S = A.B.C + (A+B+C).\overline{C.O}$

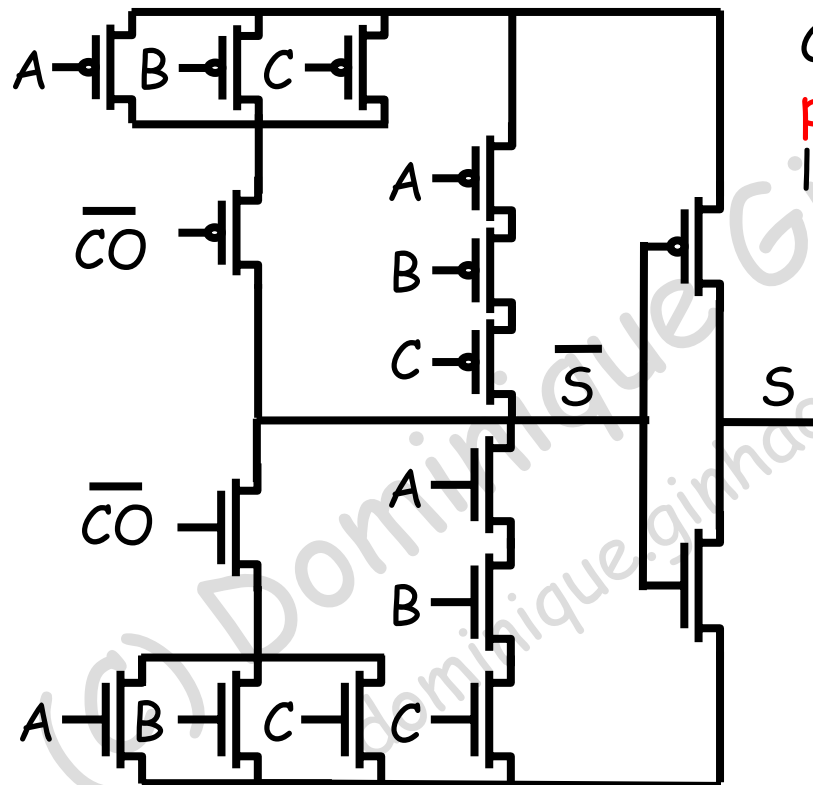
Après développement du circuit, on peut simplifier le circuit en supprimant les 3 transistors en parallèle



Un exemple concret (14)

Schéma de $CO = AB + AC + BC = AB + (A + B).C$

Au final, on obtient le schéma suivant



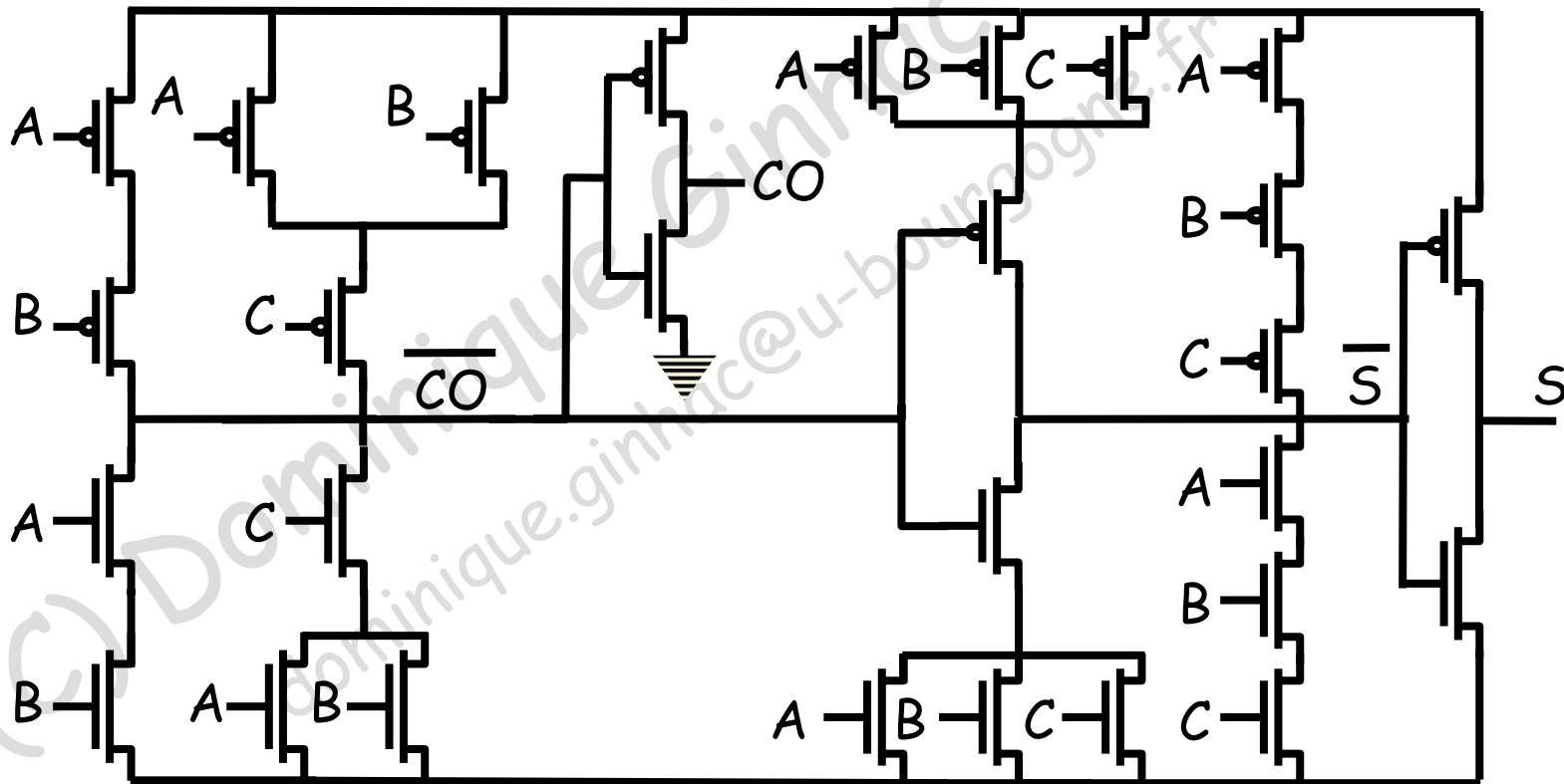
Ce schéma a la particularité d'être **parfaitement symétrique** en raison de la symétrie de la table de vérité

A	B	C		S
0	0	0		0
0	0	1		1
0	1	0		1
0	1	1		0
1	0	0		1
1	0	1		0
1	1	0		0
1	1	1		1

Un exemple concret (15)

Schéma complet de l'additionneur 1 bit

En assemblant les 2 circuits, on obtient un additionneur complet comportant **28 transistors**.



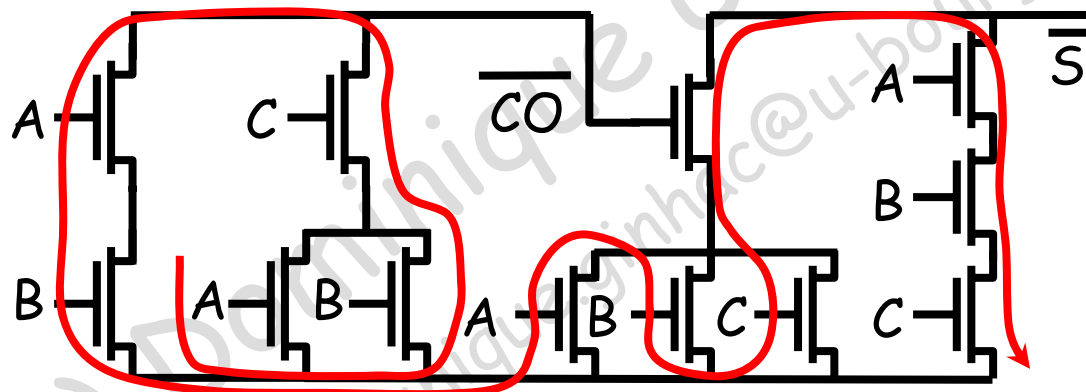
Un exemple concret (16)

Calcul du chemin d'Euler

La **symétrie** des 2 réseaux facilite le calcul du **chemin d'Euler** car **tout chemin** d'un des 2 réseaux est **chemin de l'autre**.



Trouver le chemin d'Euler



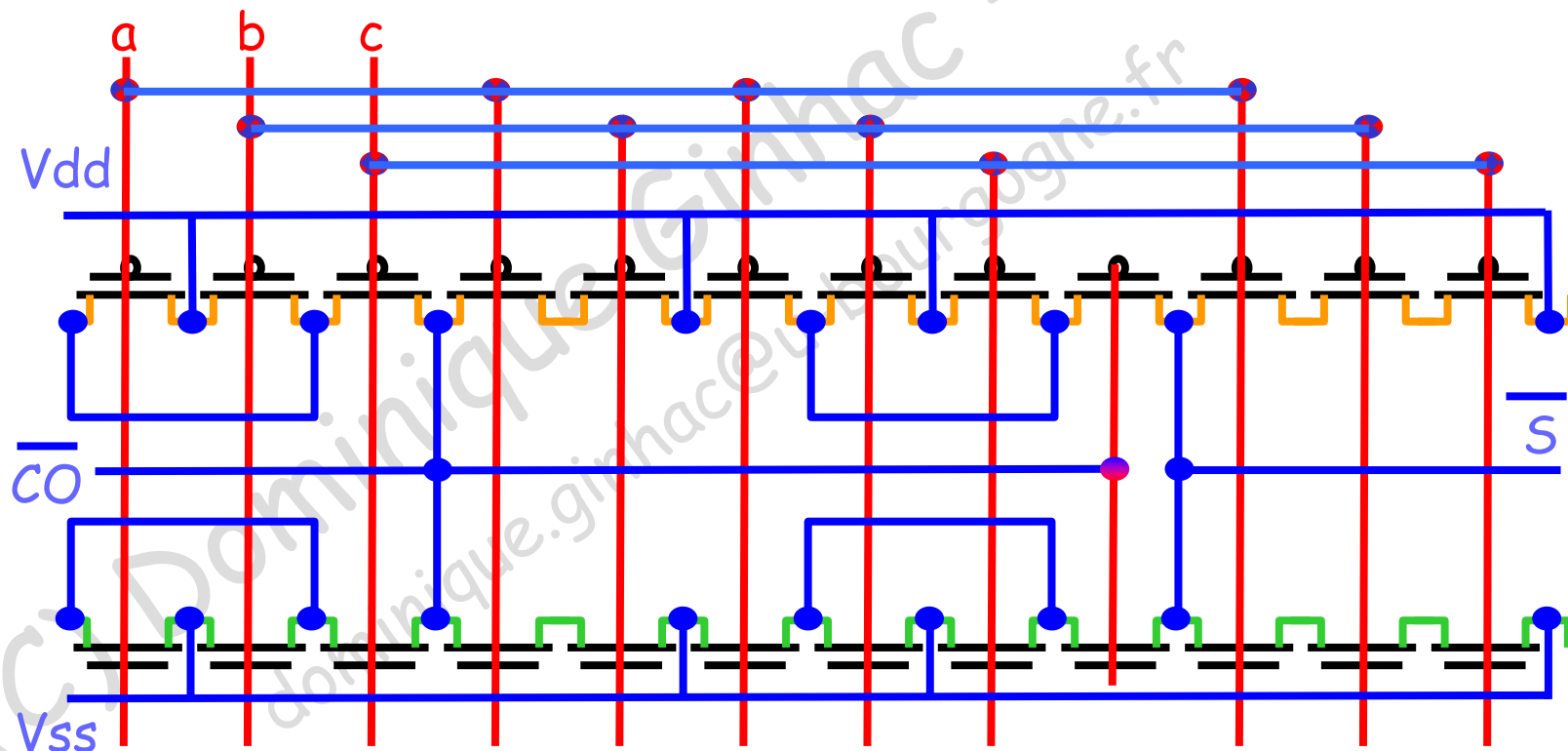
Exemple :

A-B-C-A-
B-A-B-C-
CO-A-B-C

Un exemple concret (17)

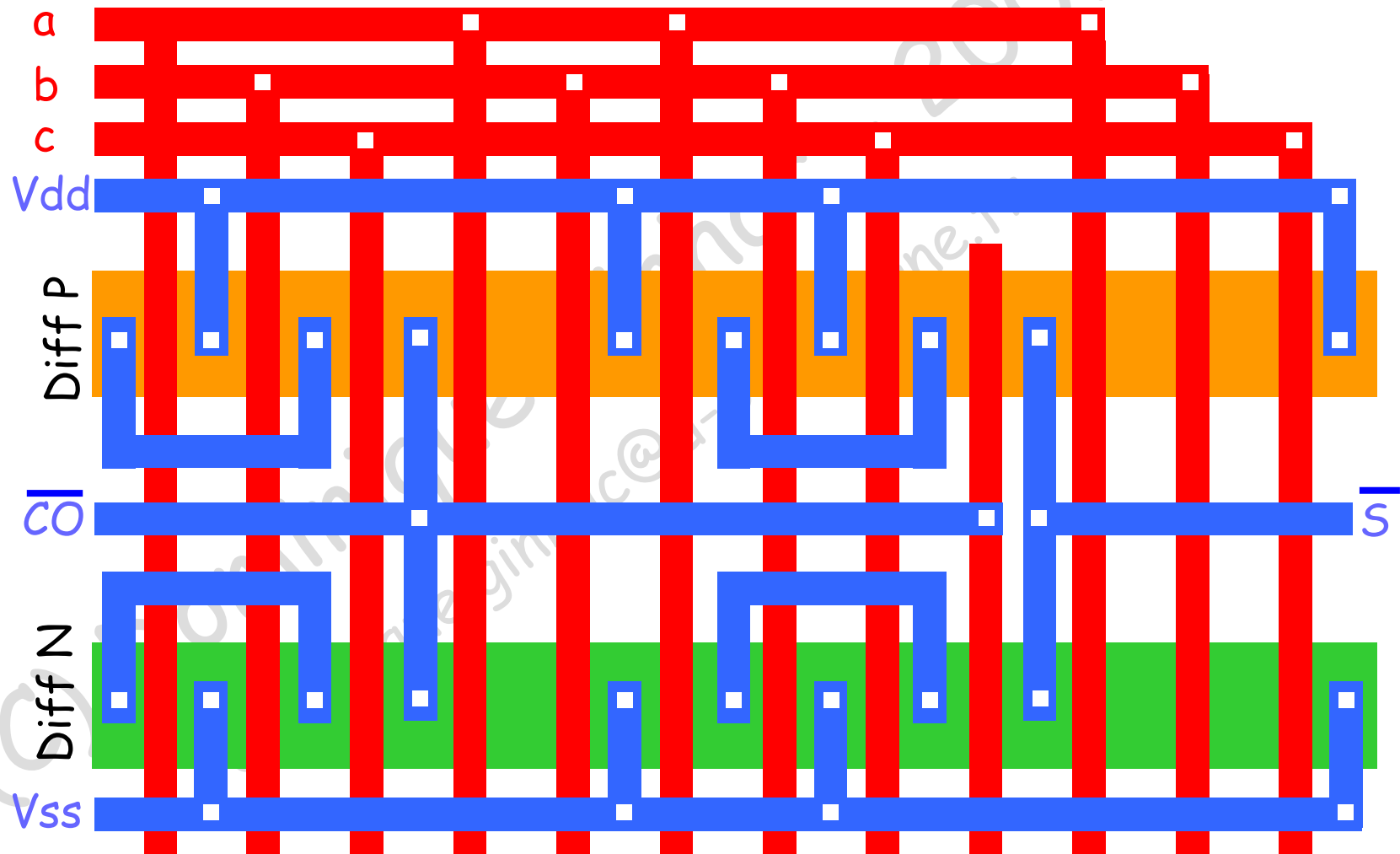
Construction du schéma symbolique

A partir du chemin d'Euler : $a-b-c-a-b-a-b-c-co-a-b-c$



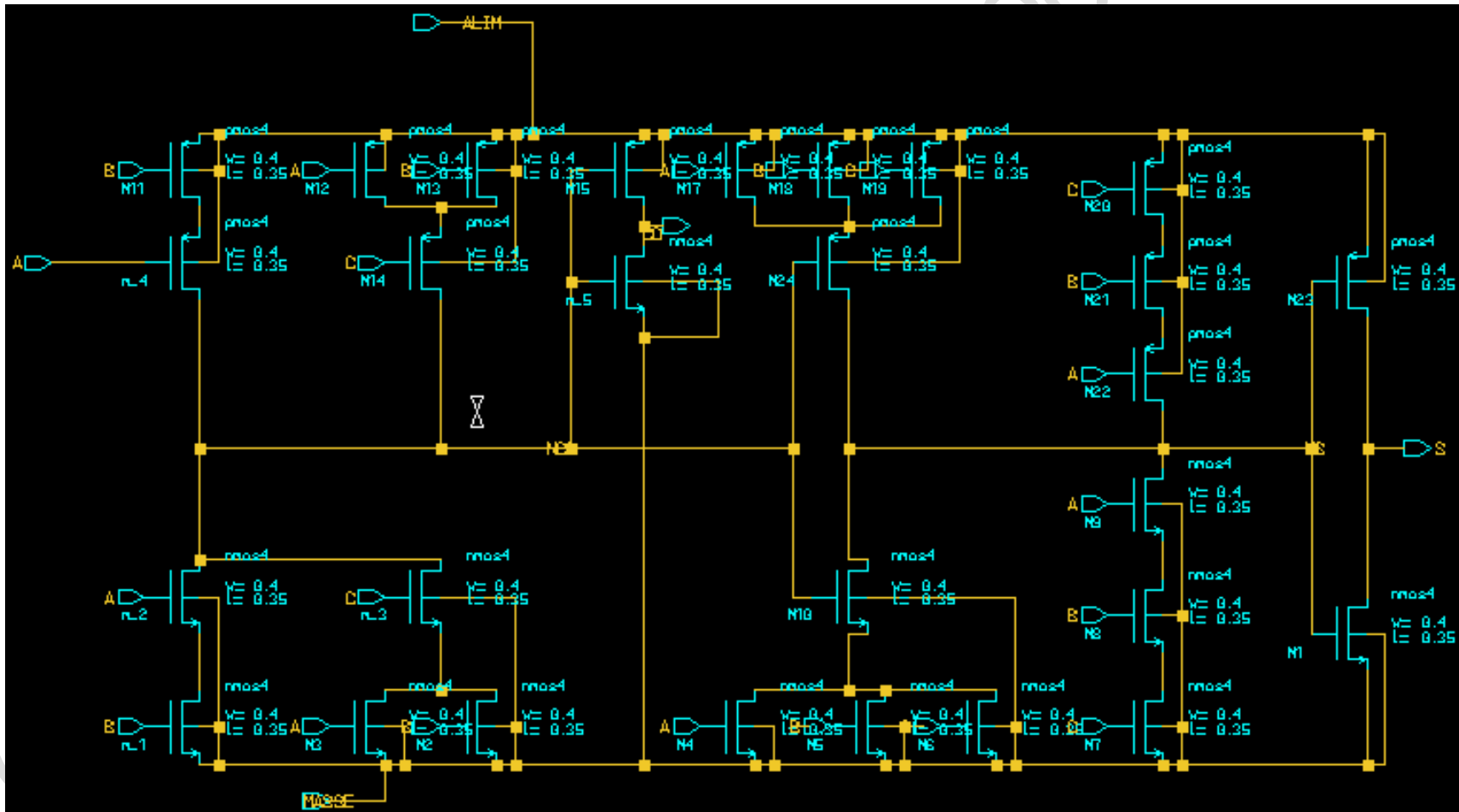
Un exemple concret (18)

Dessin du layout à partir de la représentation symbolique



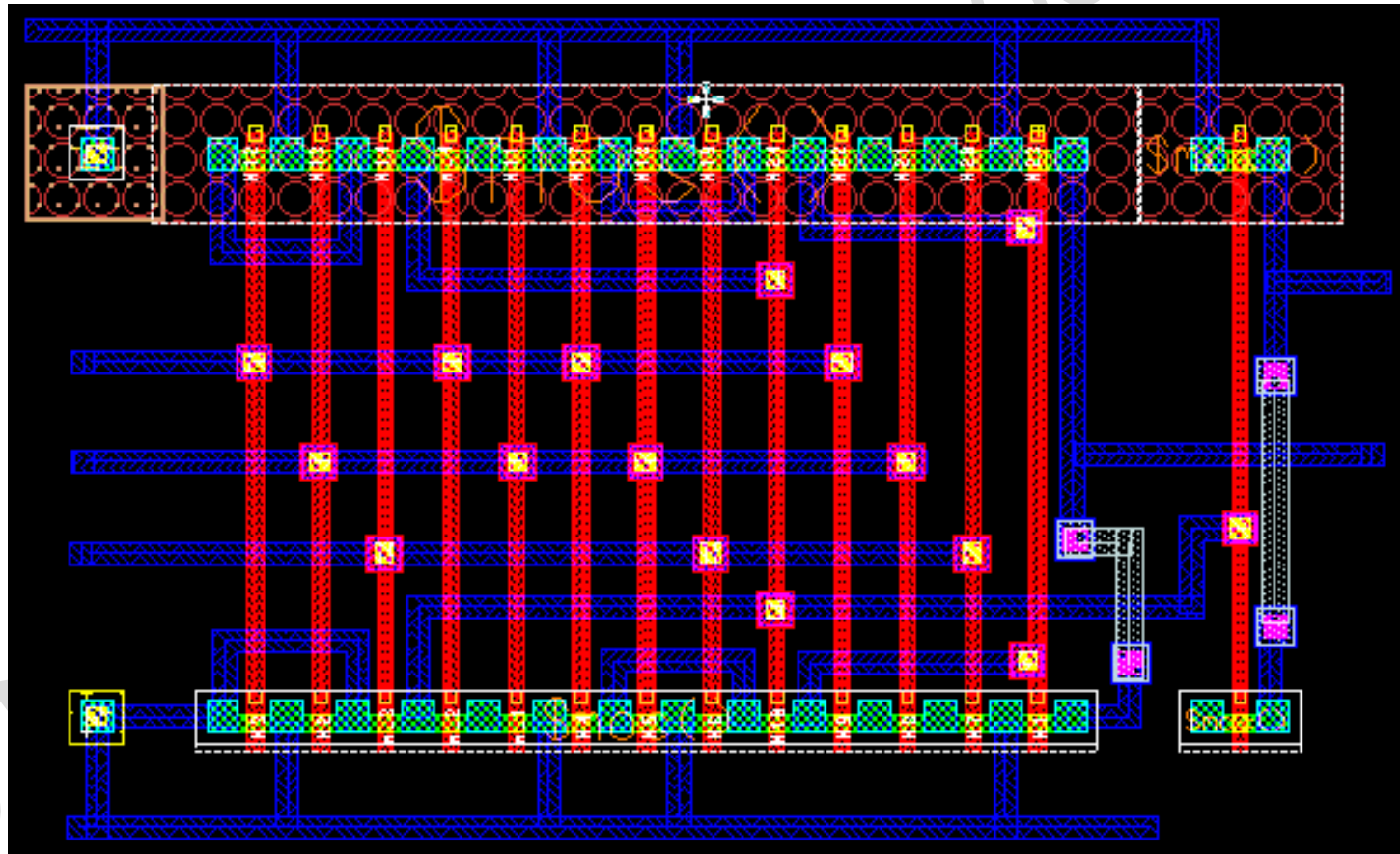
Un exemple concret (19)

Vue réelle du schéma électrique du circuit sous Mentor



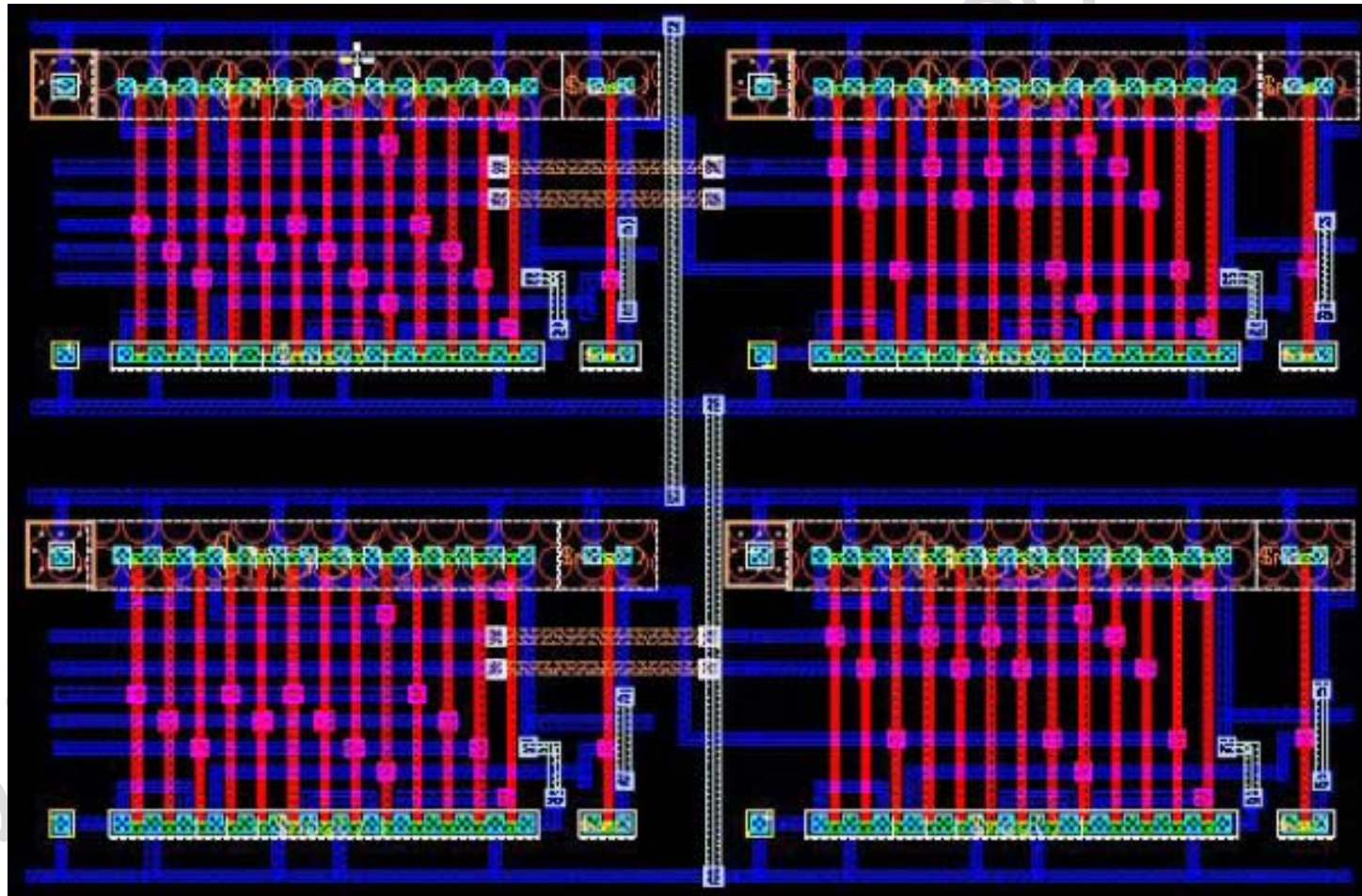
Un exemple concret (20)

Vue réelle du layout d'un additionneur 1 bit sous Mentor



Un exemple concret (21)

Vue réelle du layout d'un additionneur 4 bits sous Mentor



A suivre...

(C) Dominique Ginhac - 2007
dominique.ginhac@u-bourgogne.fr