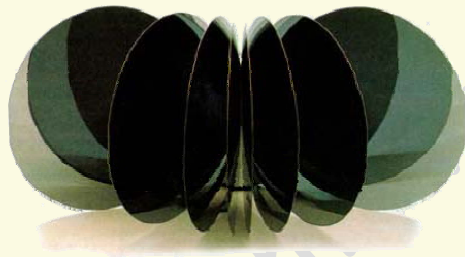
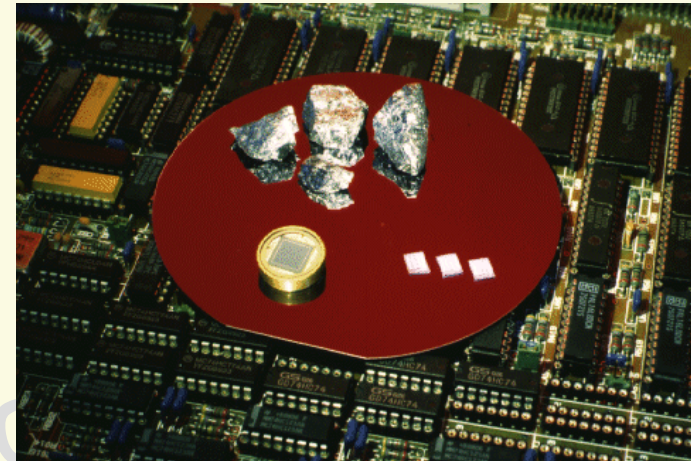
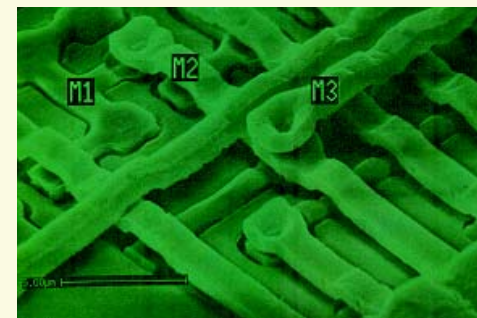


Micro électronique



Techniques de fabrication



Dominique GINHAC
dginhac@u-bourgogne.fr

Techniques de fabrication

1- Elaboration du silicium monocristallin



2- Masquage et lithographie

**Cybertour of a
chip manufacturing
clean room**

click to start/pause

3 - Gravure

4- Technique de dopage

5- Dépôt de matériau (isolant, métal)



Avec quoi fait-on les « puces » ?

Matériau de base:

Germanium (Ge)



Silicium (Si)



Très **répandu** dans l'écorce terrestre



Roche,



Sable SiO_2 (Silice).

Quelques caractéristiques

Isolé pour la première fois en 1823 par Jons Jacob Berzelius (Suède)

Point de fusion: 1410 °C

Résistivité intrinsèque: 230 kΩ .cm

Très grande affinité chimique

Plus cher que le Germanium (plus compliqué à usiner)

Bien plus stable thermiquement que le Germanium

Elaboration du Si électronique

Quelques **caractéristiques** du Silicium électronique

Ne doit pas contenir
d'**impuretés** (dopants)

Minimiser les **interactions** entre
les porteurs et le réseau cristallin

Nécessité d'être
très pur: 99,999998%

Eviter les **défauts structuraux**
(dislocation, lacune interstitielle,...)

Etape de **purification**

Etape de **tirage**

Purification du silicium

La purification est composée de **deux étapes** :

1 - Purification **chimique**

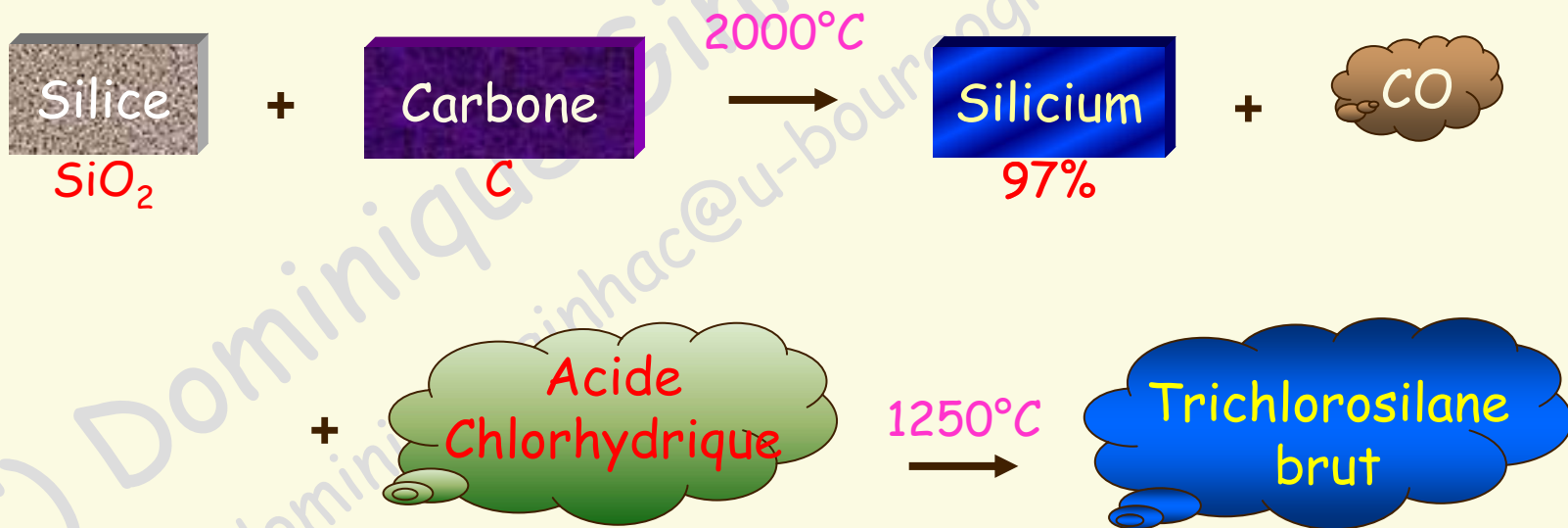
Elle permet d'obtenir un silicium dit
« **technique** » ayant une pureté de 99%

2 - Purification **physique**

A partir du silicium technique, une seconde étape permet d'obtenir du silicium « **électronique** »

Purification chimique du silicium

Le matériau de base est la **silice** (sable).
La purification chimique nécessite de nombreuses étapes :



Purification chimique du silicium

Le matériau de base est la **silice** (sable).
La purification chimique nécessite de nombreuses étapes :



+



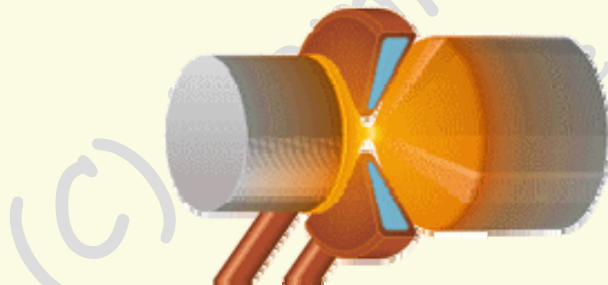
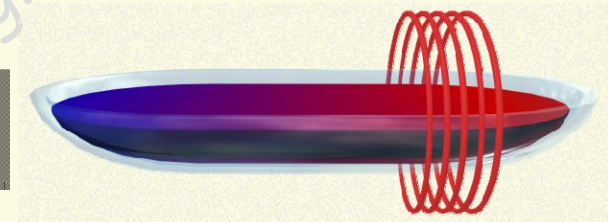
Silicium

99%

Purification physique du silicium

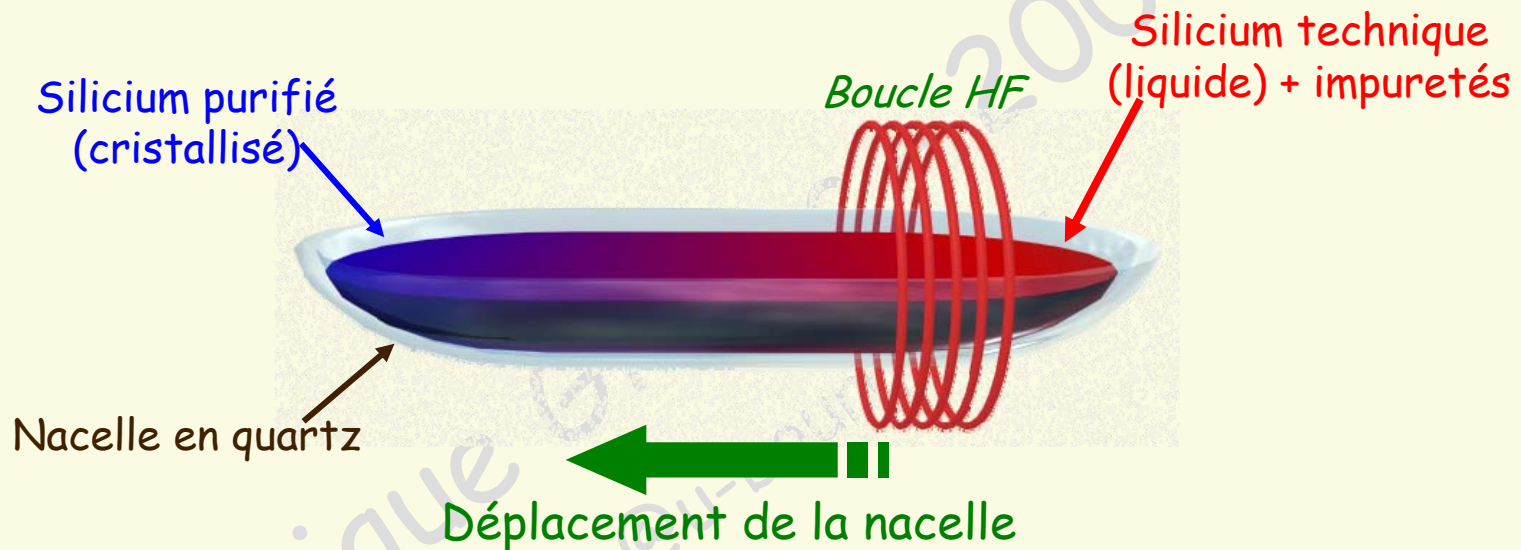
Il existe **deux méthodes** pour réaliser la purification physique du silicium:

1- Purification par **fusion de zone**



2- Purification par **zone flottante**

Purification par fusion de zone

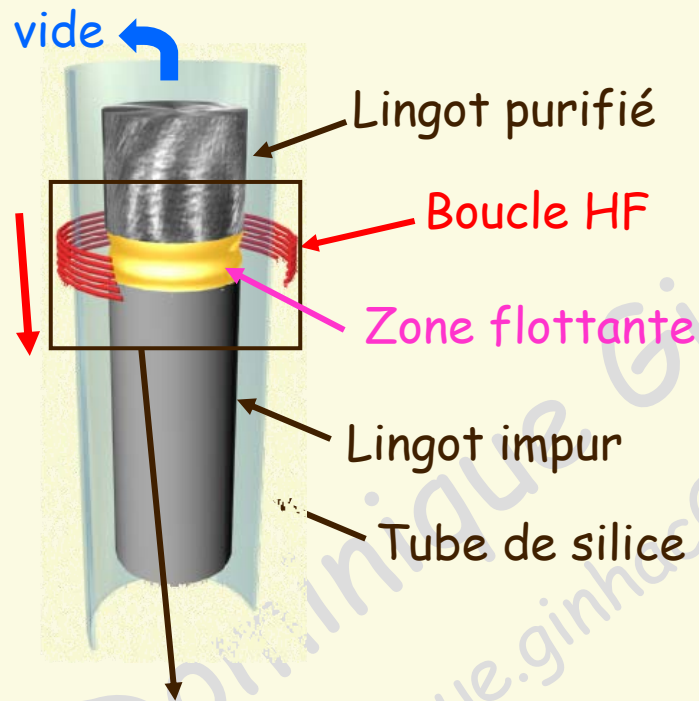


Les impuretés demeurent en grande quantité dans la partie fondue. Le déplacement de la nacelle permet ainsi de ramener les impuretés vers une extrémité.



A 1420°C , le silicium fondu réagit avec presque tous les matériaux constituant le creuset.

Purification par zone flottante



La Boucle HF crée un **anneau liquide** entraînant les impuretés vers une extrémité

Epaisseur de la zone fondue : **1 à 2 mm**

Vitesse de déplacement de la boucle : **2 mm/mn**

Les **impuretés s'évaporent** et sont éliminés par la pompe à vide

Seul le **bore** est pratiquement impossible à éliminer

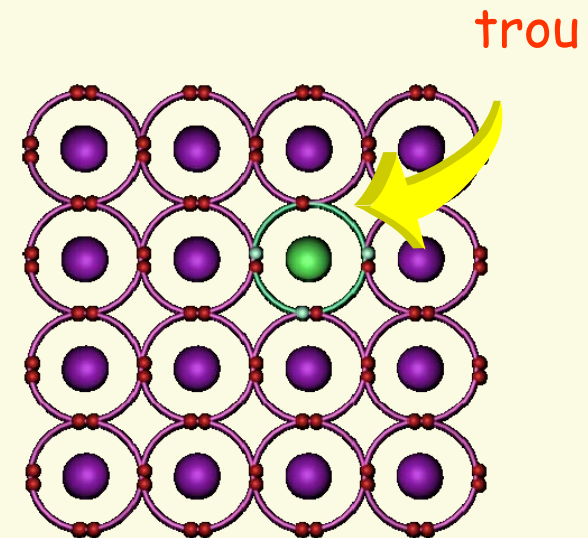
Purification physique du silicium

A la fin de la phase de **purification physique**, le **lingot** (ingot) ne contient plus que des **traces de Bore**



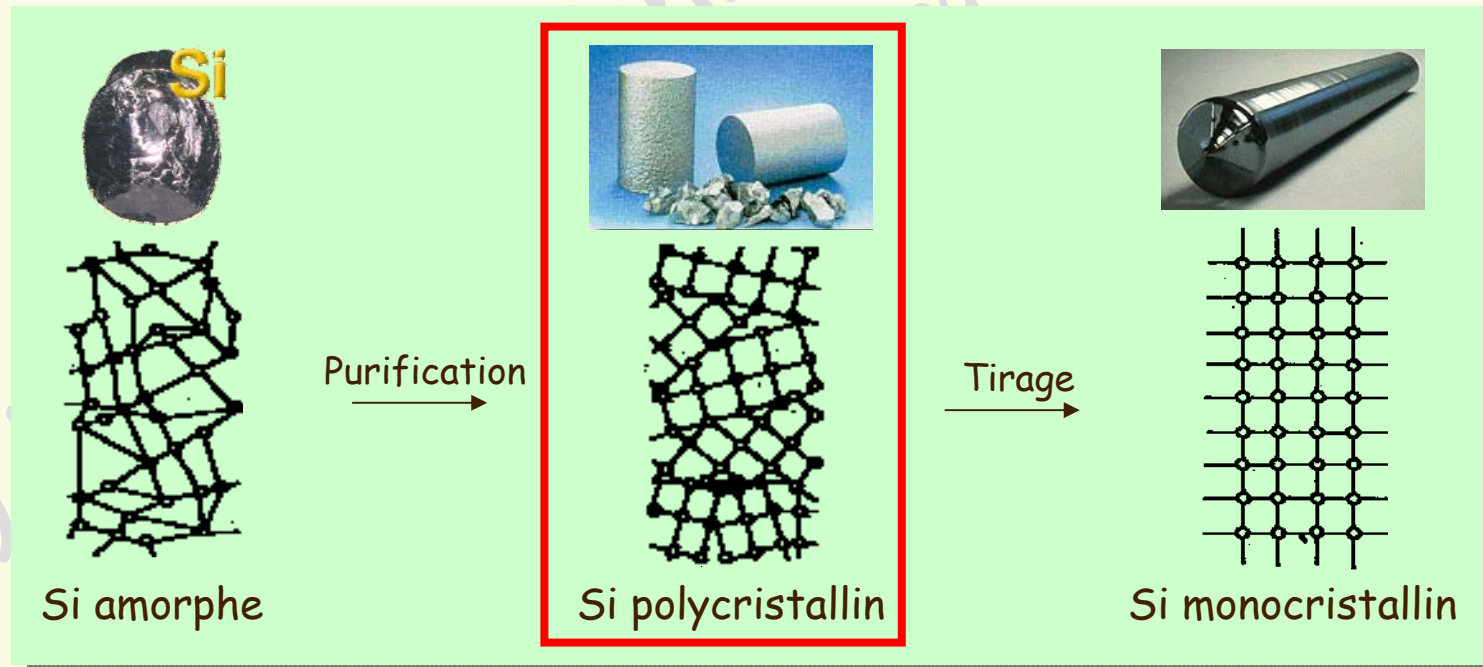
QUIZZ

Le lingot de silicium sera donc de type **P**



Purification physique du silicium

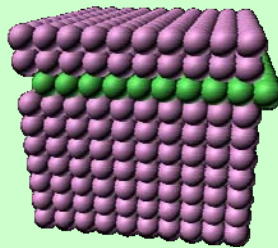
A la fin de la phase de **purification physique**, le silicium est de type **polycristallin**



Tirage du silicium

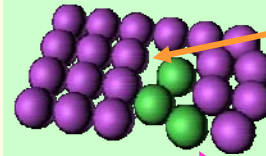
Le tirage du silicium permet d'**organiser** les **mailles du réseau cristallin**. Cette réorganisation permet de **minimiser** les **défauts de structure** tels que:

Dislocations



Glissement des plans atomiques

Lacunes, Interstitiels



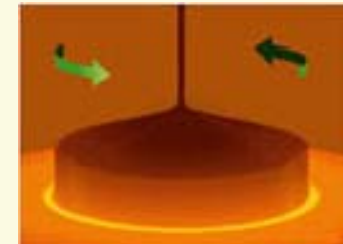
Manque d'atome (lacune)

Atome à une position intermédiaire (interstitiel)

Tirage du silicium

Il existe **3** principales **méthodes de tirage** (pulling) parmi lesquelles :

1 - Méthode de **Czochralski**



2 - Méthode de **Zone flottante**



3 - Méthode de **Bridgeman**

Méthode de Czochralski

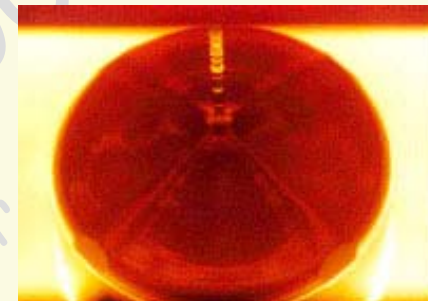
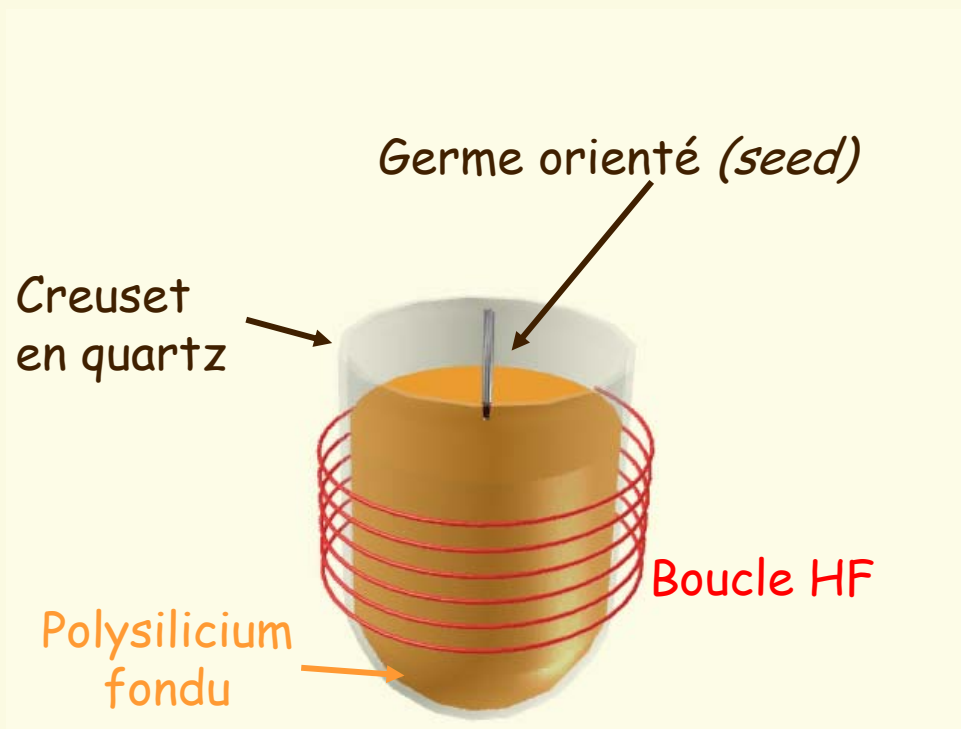
C'est la méthode **la plus employée** (90%).

On utilise des **creusets de quartz** que l'on charge de **silicium polycristallin**

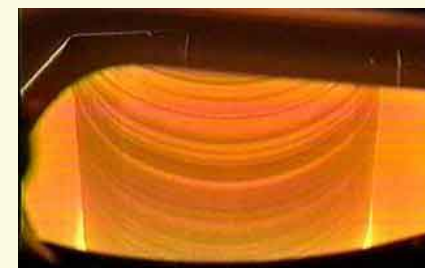


Le creuset est alors mis dans un four à $\approx 1410^{\circ}\text{C}$ qui permet la **fusion du silicium**

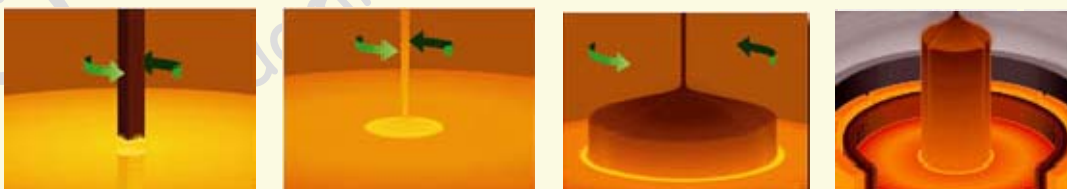
Méthode de Czochralski



Vue du germe et de l'épaule



Barreau en cours de tirage



Barreau monocristallin de Si

Méthode de Czochralski



Colonnes de tirage

Température du four : **1410°C**
Vitesse d'extraction : **1 à 5 mm/Mn**
Vitesse de rotation tige : **15 tr/ Mn**
Vitesse de rotation creuset : **10 tr/Mn** (inverse)

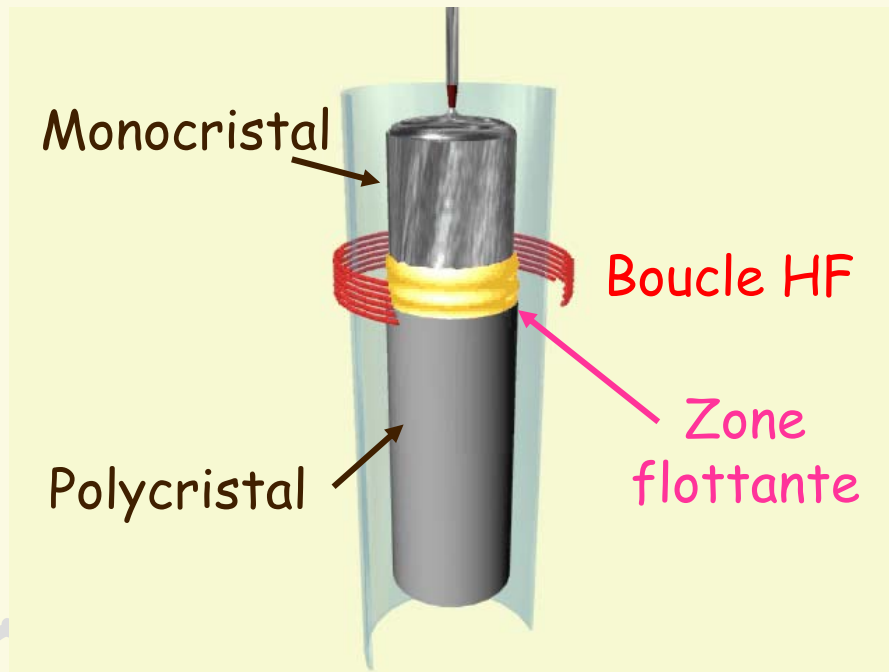
Diamètre du lingot entre **76mm** et **150mm** (voire **300mm**)

Longueur du lingot entre **1** et **2 mètres**

Un lingot de **150 mm** de diamètre et de **2 mètres** de long pèse **50 kg**.



Méthode de zone flottante



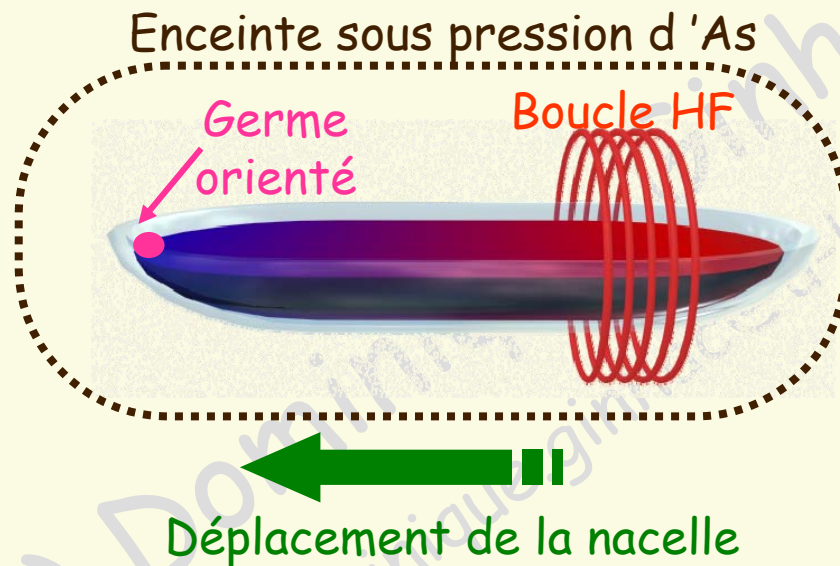
Système **identique** à la purification physique

Méthode **peu employée** (5%)

Meilleure pureté que CZ:
Pas d'exposition au C et à O dans le creuset.

Permet un cristal de **haute résistivité** : Redresseurs de puissance, Thyristors, ...

Méthode de bridgeman



Méthode **peu courante** (1%)

Méthode principalement employée pour le **tirage de l'AsGa**

Déplacement du Four : **1cm/H**

Usinage du lingot

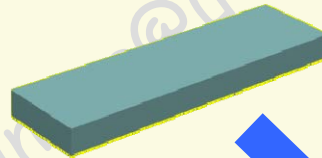
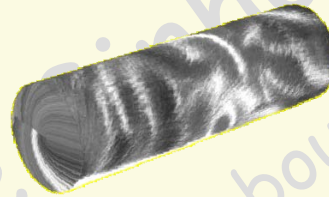
L'usinage permet de **transformer le lingot** en une série de **plaquettes** appelées **wafers**.



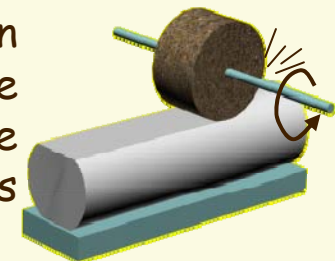
Lingot brut



Rectification



Collage sur un support de verre afin de minimiser les vibrations



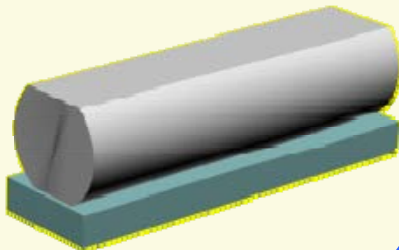
Rayons X



Mesure de l'orientation du réseau cristallin



Usinage des wafers



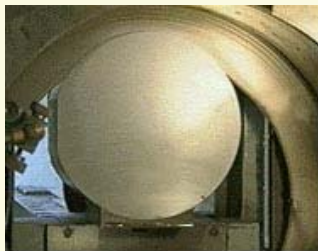
Lingot orienté



Nettoyage



Protection par
Oxydation



Sciage



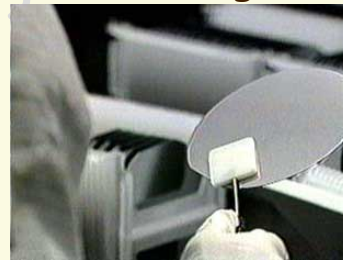
Polissage



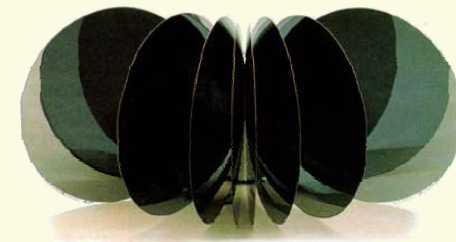
Différentes mesures



Rodage



Inspection visuelle

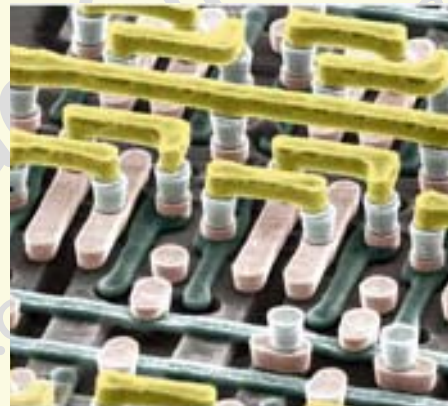


Du Wafer au Circuit intégré

Objectif : **Disposer** sur un même circuit intégré des **transistors**

Propriétés des transistors

Isolés
électriquement

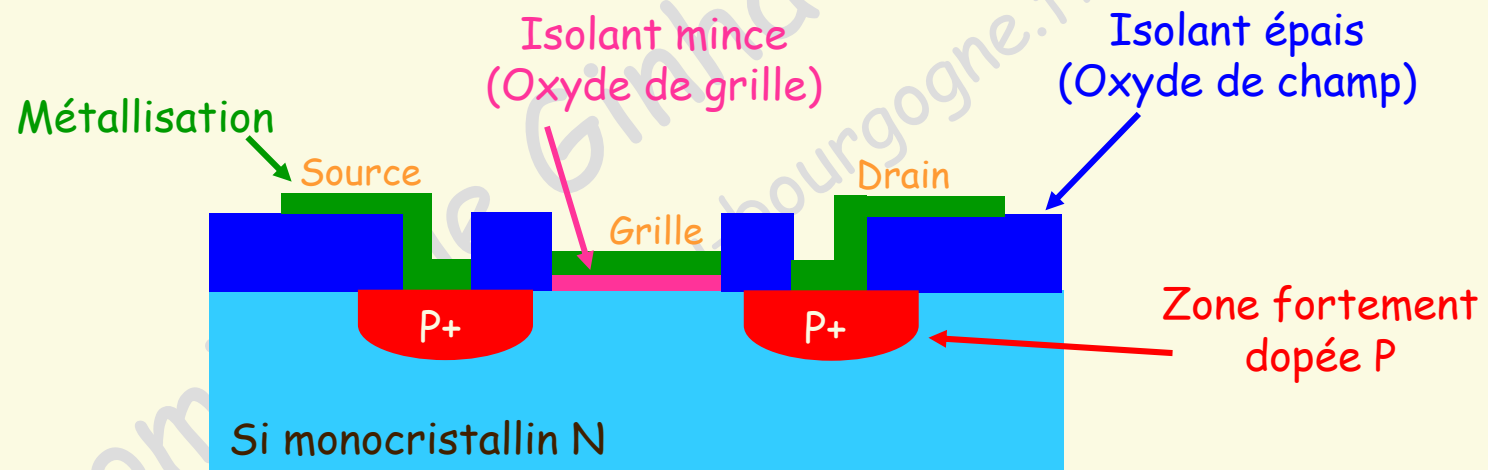


Interconnectés
selon le schéma
défini par le concepteur

Technologie = **Assemblage** chronologique de **modules élémentaires**

Fabrication d'un circuit intégré

Un Circuit Intégré est un **empilement de couches** successives sur un **substrat** (bulk)



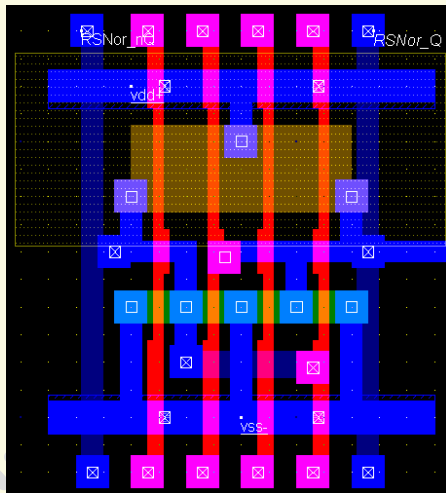
Objectifs technologiques :

Utilisation **maximale** de la surface de silicium

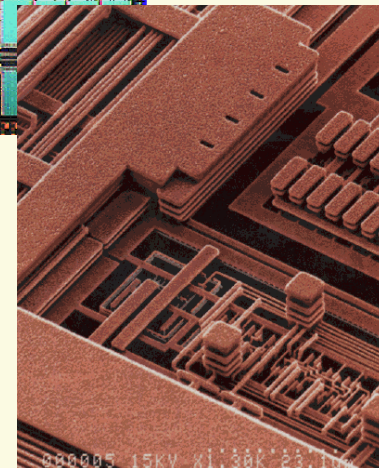
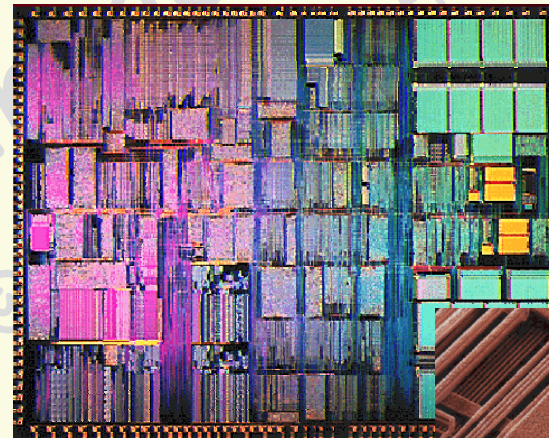
Réalisation de **circuits** de plus en plus **complexes** (μ proc., ASIC,...)

Fabrication d'un circuit intégré

Le but est de transférer le dessin du circuit intégré sur le wafer.



Layout
(conception)

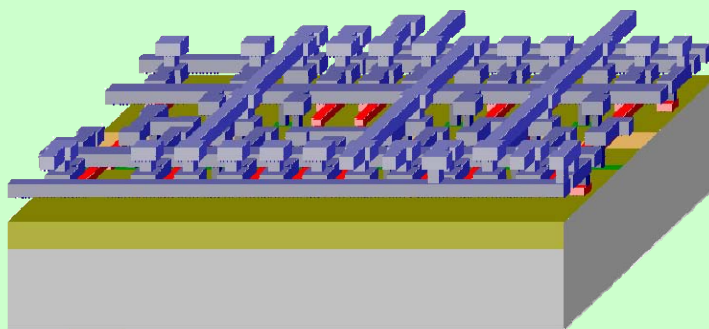
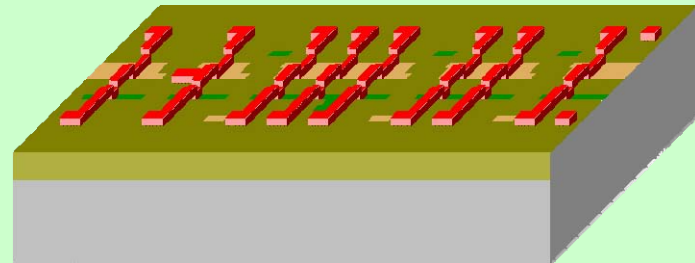


Réalisation
(fonderie)

Fabrication d'un circuit intégré

Du point de vue du fondeur, on décompose généralement la fabrication en **2 étapes** :

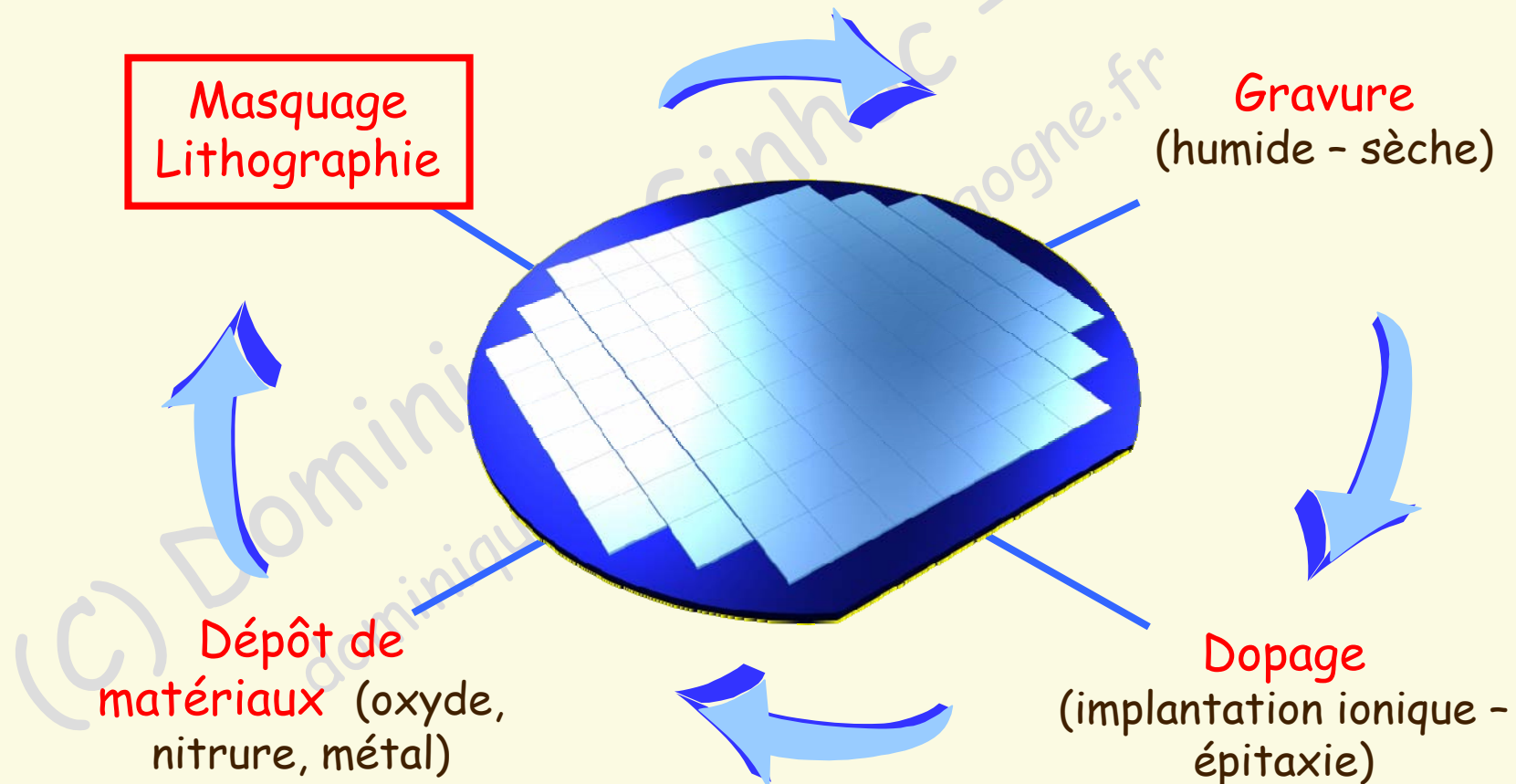
Front-end : Partie chaude
(Silicium)



Back-end : Partie froide
(Interconnexion)

Du Wafer au Circuit intégré

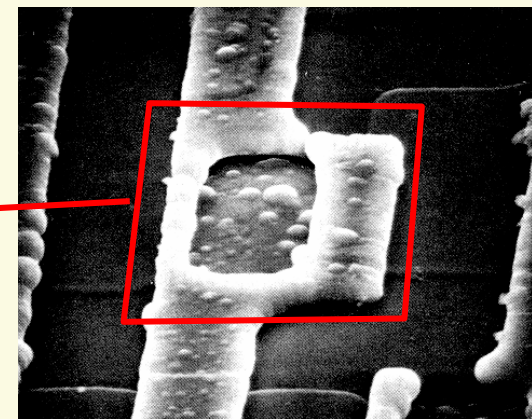
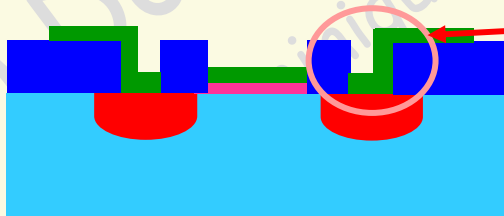
De **nombreuses** étapes (jusqu'à 700 !!!)



Lithographie et masquage

Dans la réalisation de systèmes intégrés, on met souvent en évidence des **géométries spécifiques** (doper une région, métalliser un contact, ...)

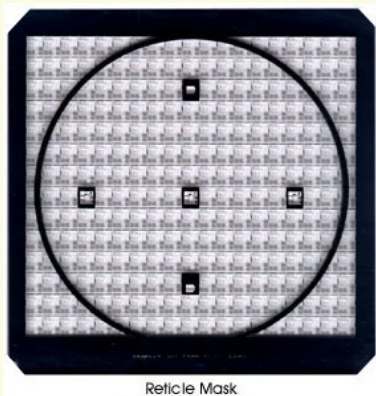
Vu les dimensions mises en jeu ($<1\ \mu\text{m}$), il est **impossible** de **déposer** uniquement sur les **parties désirées**.



Contact de transistor

Lithographie et masquage

Dans la réalisation de systèmes intégrés, on met souvent en évidence des **géométries spécifiques** (doper une région, métalliser un contact, ...)



Il est nécessaire de sélectionner des parties où les différents traitements seront appliqués. C'est le rôle du **masquage** et de la **photolithographie**.

Le but de la **lithographie** est de **délimiter des zones** à la surface de la plaquette afin de les **graver** ou de les **doper**

Lithographie et masquage

Lithographie :

Lithos = « pierre »

Graphein = « écrire »



En microélectronique : procédé permettant de **positionner** un **motif tridimensionnel** sur une **plaque**



Etre au bon endroit

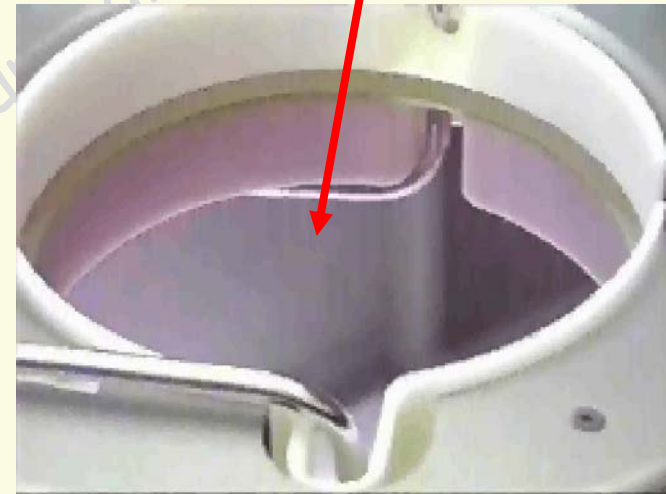
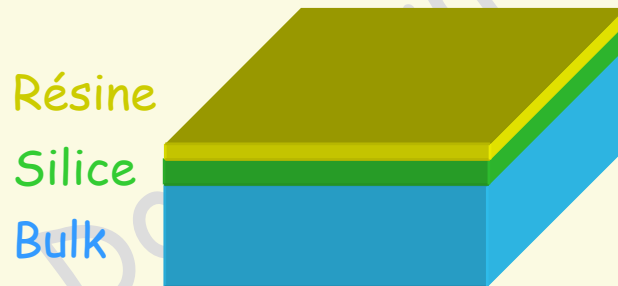


Respecter les dimensions

Principes de la lithographie

Etape 1 - Déposer une **résine photosensible** de quelques μm

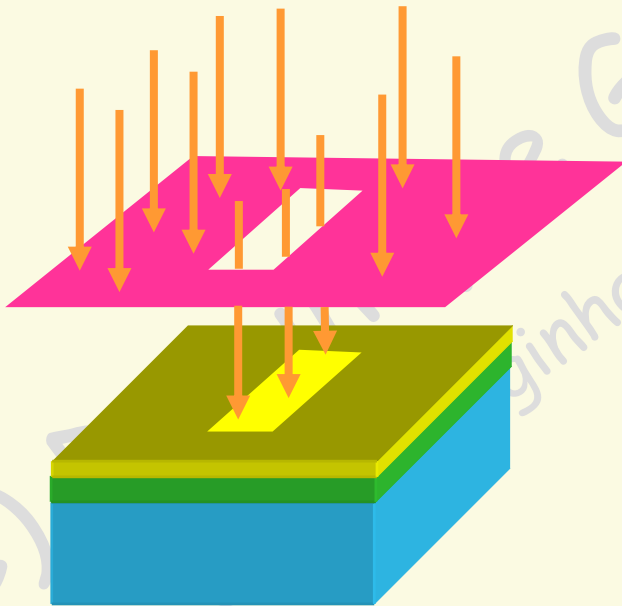
C'est l'opération de « **laquage** » : elle s'effectue par centrifugation



Epaisseur = Quantité de matière + viscosité + Conditions de rotation (vitesse, accélération,...)

Principes de la lithographie

Etape 2 - **Insoler** la résine à travers un **masque**



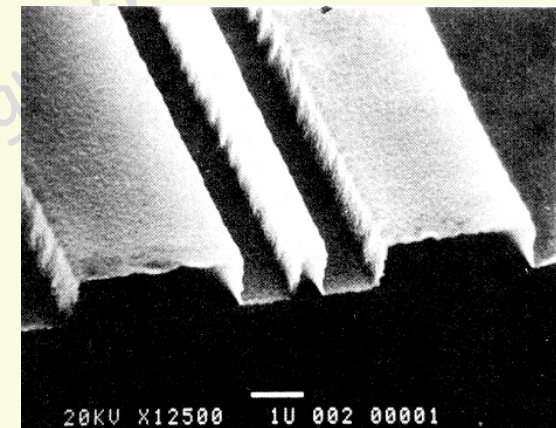
But de l'insolation :
Retranscrire le plus **fidèlement**
possible le **dessin** sur la résine



Principes de la lithographie

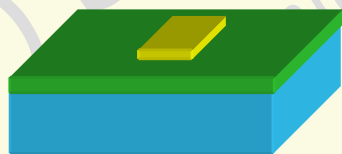
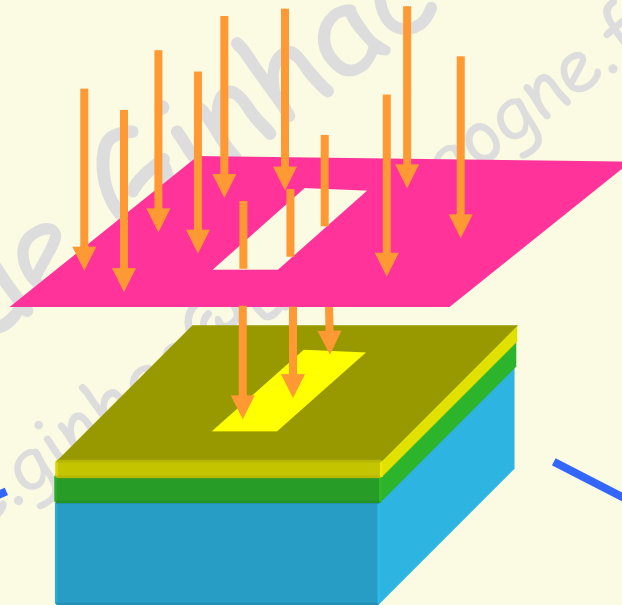
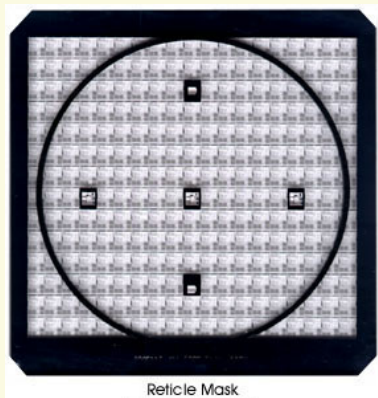
Etape 3 - Développer la résine

Cette opération consiste à tremper le wafer dans une **solution basique** (Potasse,...)



Principes de la lithographie

Etape 3 : On distingue deux types de résines :



Résine positive

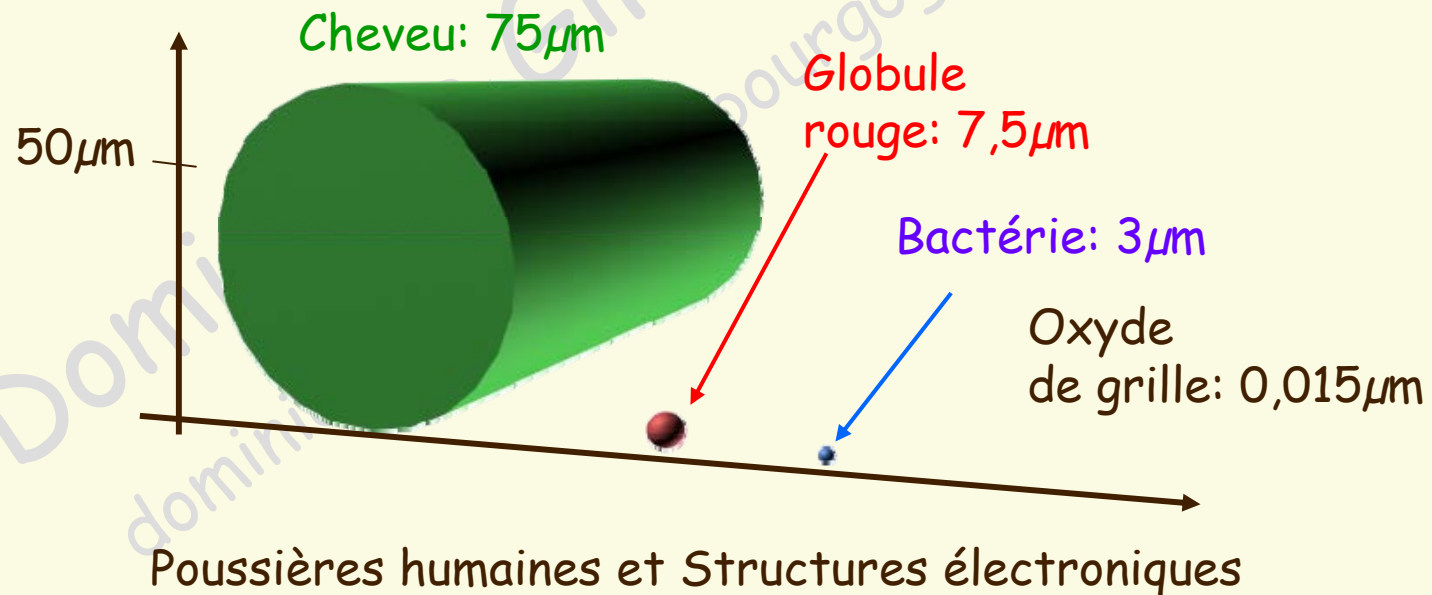


Résine Négative

Les problèmes de masquage

Lorsque l'on réalise le masquage d'un circuit, les **poussières extérieures** jouent un **rôle primordial**.

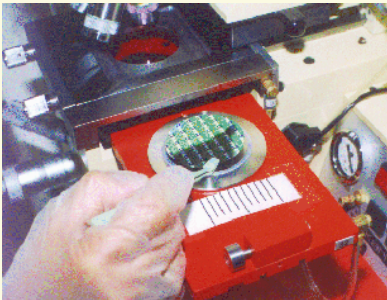
Par exemple :



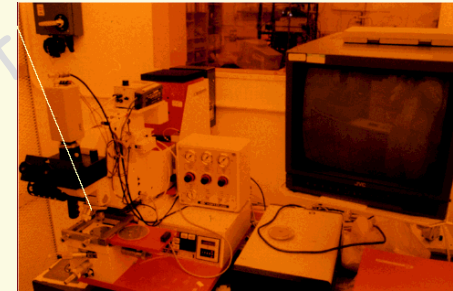
Les masquages

Il existe 3 types de masquage :

1 - Masquage par **contact**



2 - Masquage par **proximité**

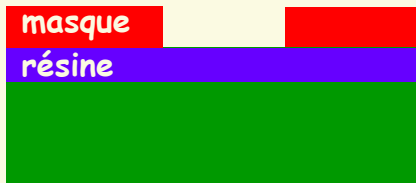


3 - Masquage par **projection** (stepping)



Masquage par contact

Le masque est **directement** mis **en contact** avec la **résine photosensible**



Avantages :

On **minimise** les effets de diffraction

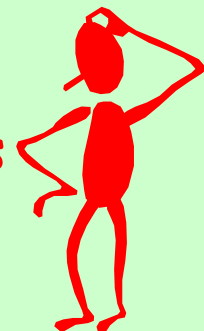
Pas besoin de **focus**



Inconvénients :

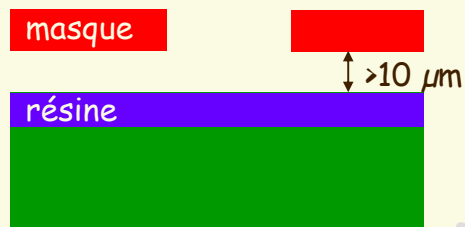
Risque de coincer des **poussières** entre le masque et la résine

Limitation en finesse



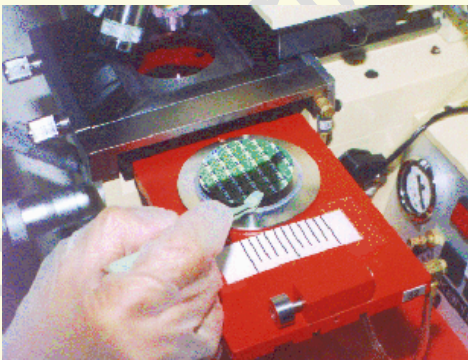
Masquage par proximité

Le masque est placé à quelques μm de la résine à insoler.



Avantages :

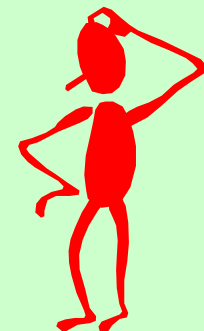
Les problèmes de poussières sont minimisés



Inconvénients :

Problèmes de diffraction et de résolution

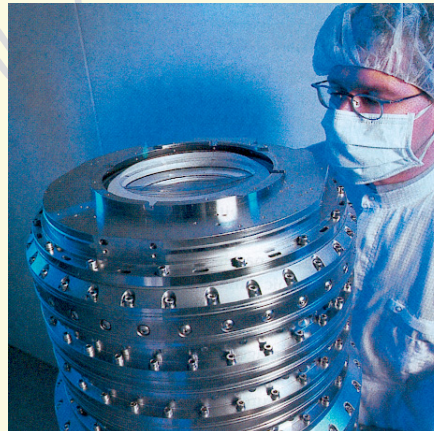
Limitation en finesse



Masquage par projection

On utilise une **technique de projection** par réticule (diapositive).

Cette technique consiste à projeter une **image** du réticule à travers un **système optique** permettant la **réduction des motifs** à l'échelle.

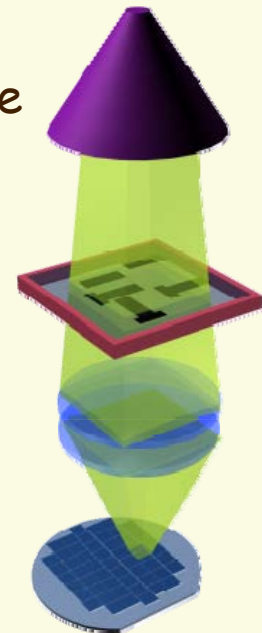


Source de lumière

Réticule

Optique

Wafer



Lithographie et masquage

Qui dit **source de lumière** dit **longueur d'onde**...

Plus λ petit

Moins il y a
diffraction

Plus on peut
faire de petits
motifs



Plus NA est grande

Plus on récupère de
lumière diffractée

Plus nette est
l'image

Loi de Rayleigh

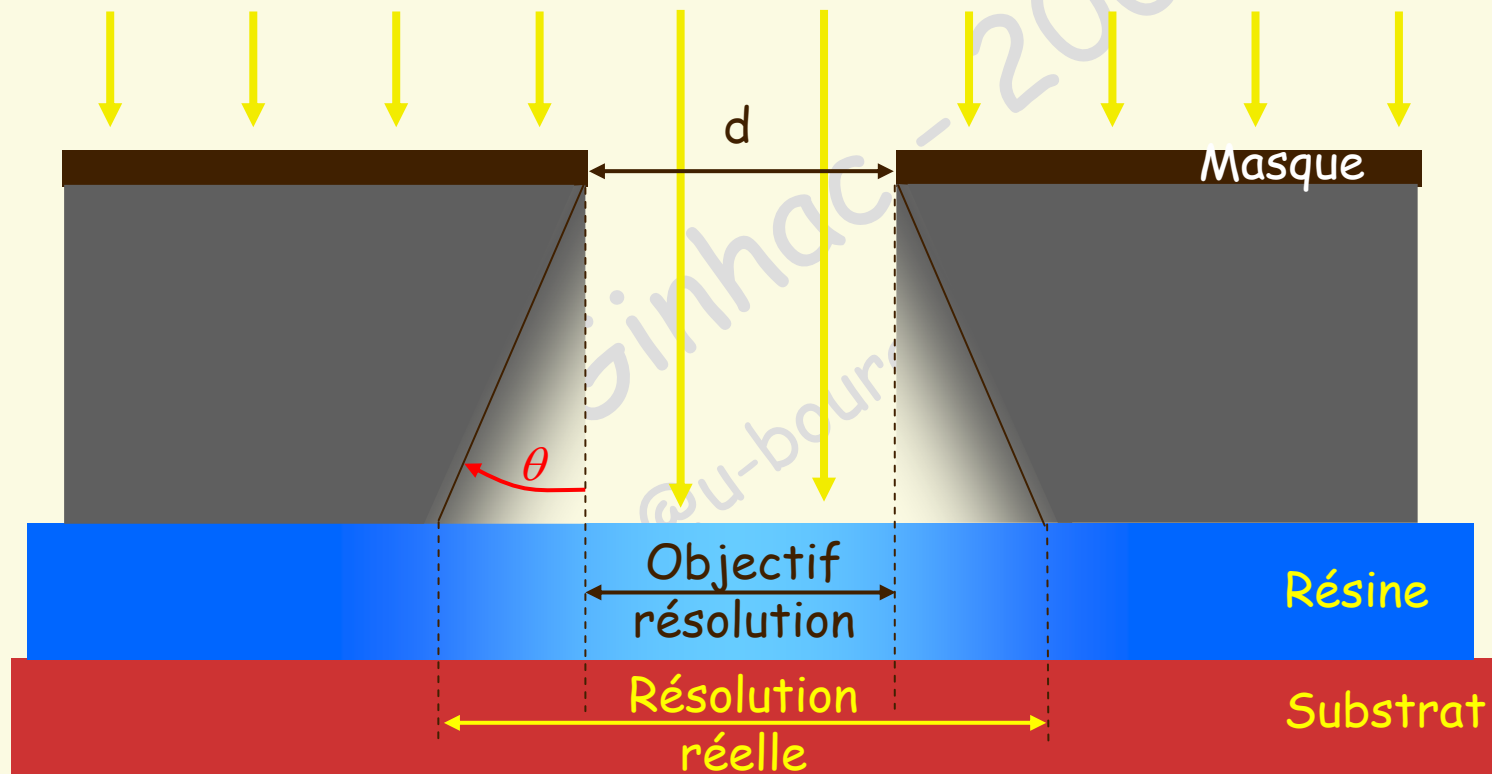
Paramètre
dépendant
du matériel

$$\text{Résolution} = k \times \frac{\lambda}{\text{Ouverture numérique}}$$

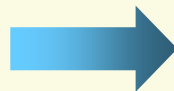
$$NA = n \times \sin \frac{\phi}{2}$$

A diagram of a lens with a semi-angle ϕ relative to the optical axis, shown as a yellow triangle on a blue base.

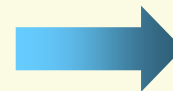
Lithographie et masquage



Pour une
distance d
donnée



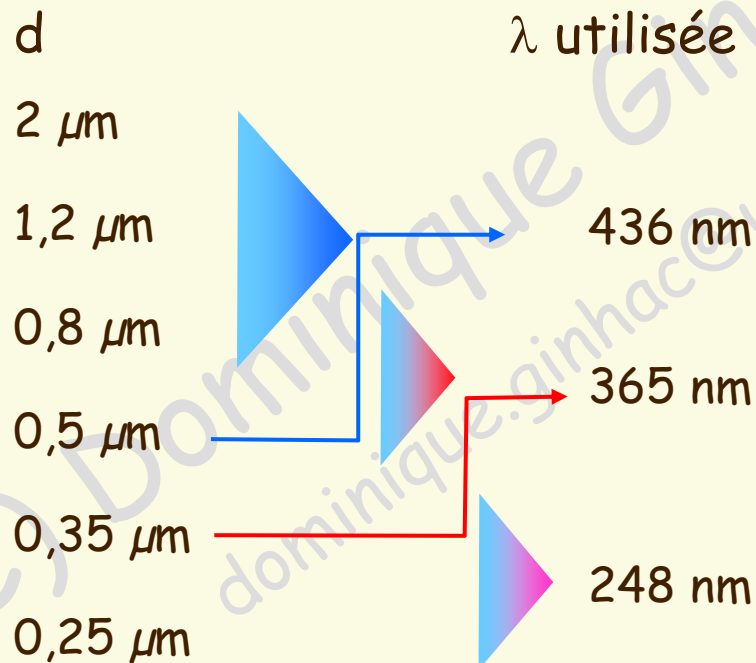
Plus λ petit
Plus θ petit



Meilleure
est la
résolution

Lithographie et masquage

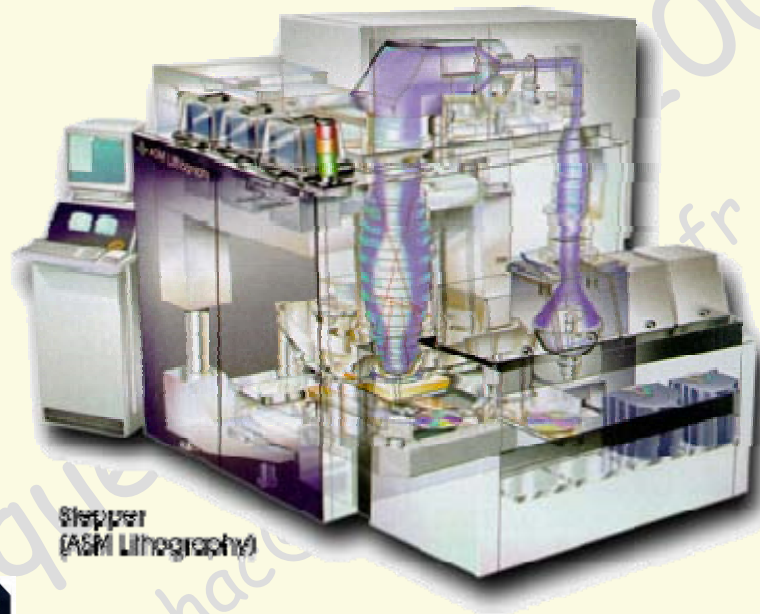
La course à la **résolution** implique une **baisse de λ**



Au dessous de **$0,2\mu\text{m}$** , la **photolithographie** n'est plus possible.

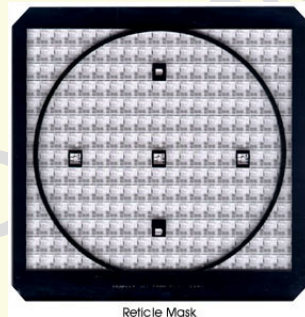
On **impressionne** alors la résine directement soit par **rayon X** soit par **faisceau ionique ou électronique**.

Quelques prix ...

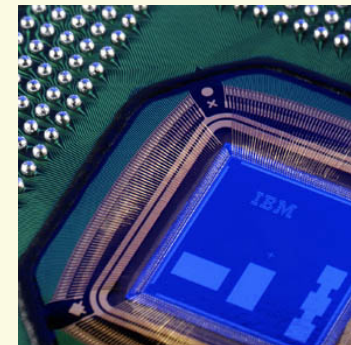


~ 17MF

~ 30 à 100 kF



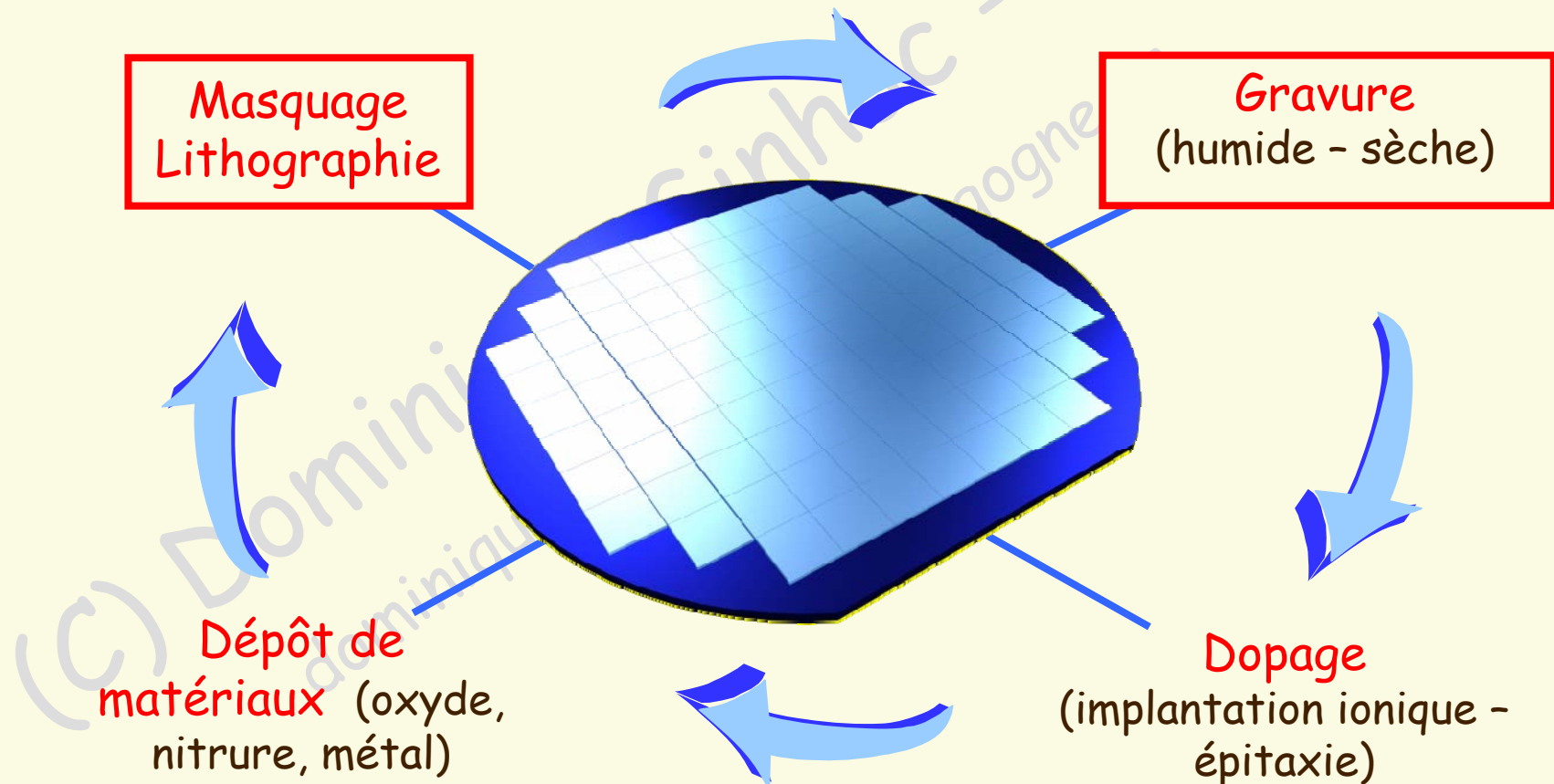
Masque ou réticule = Plaque de verre + dépôt de chrome



~ 30 masques

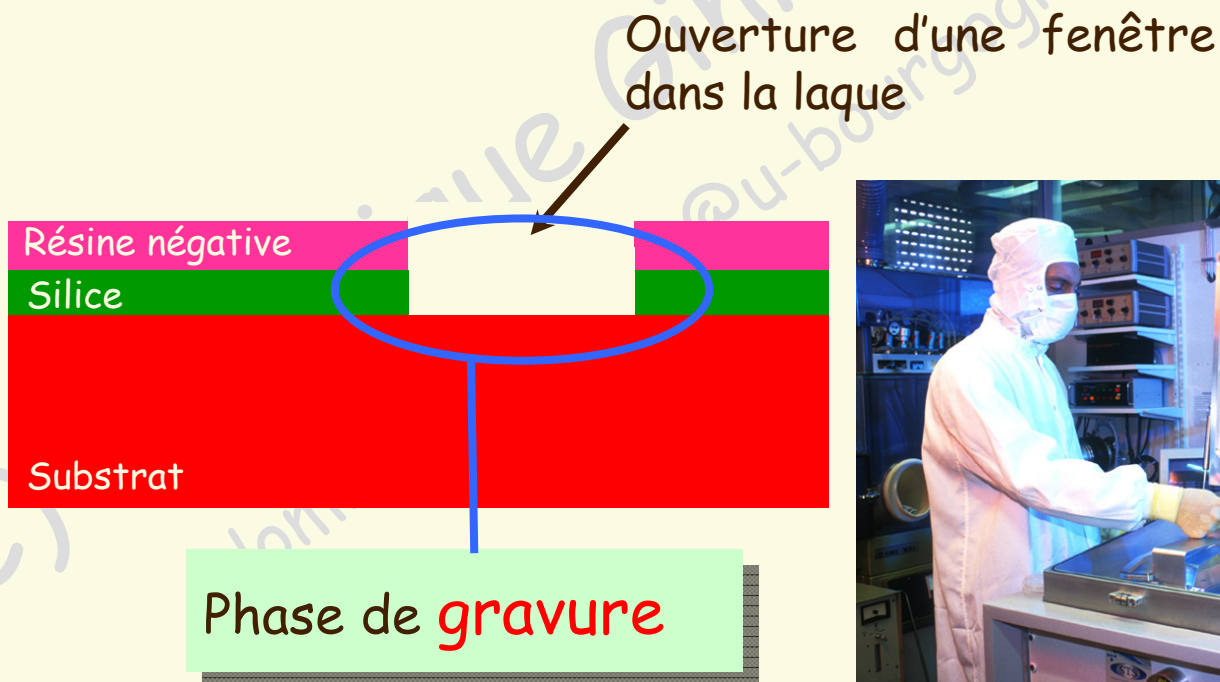
Du Wafer au Circuit intégré

De **nombreuses** étapes (jusqu'à 700 !!!)



La gravure (etching)

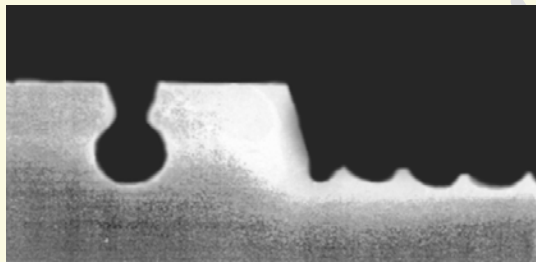
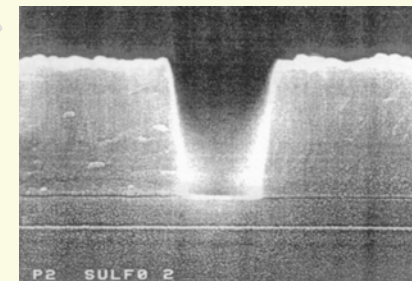
La **gravure** (de la silice) consiste en une **attaque chimique** ou **physique** de la silice aux endroits où elle n'est pas protégée par la résine.



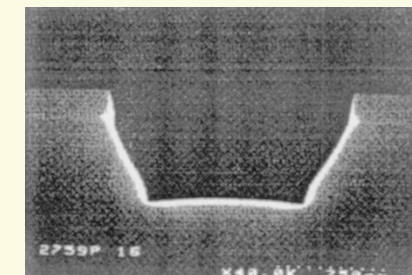
Propriétés de la gravure

La **qualité** d'une gravure peut se mesurer avec différents facteurs :

1- La **sélectivité**



2- L'**anisotropie**



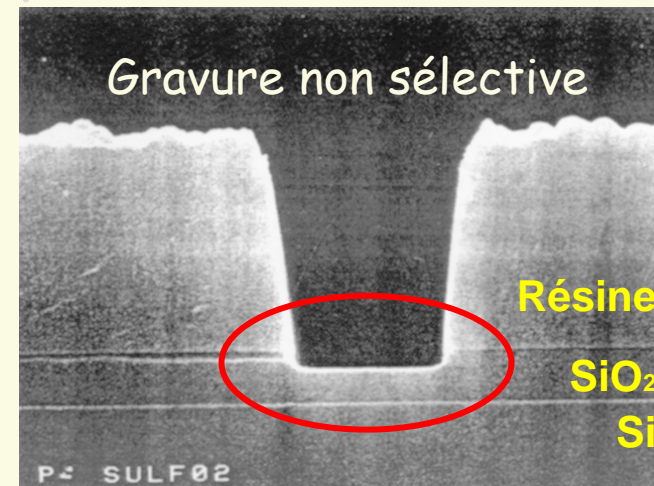
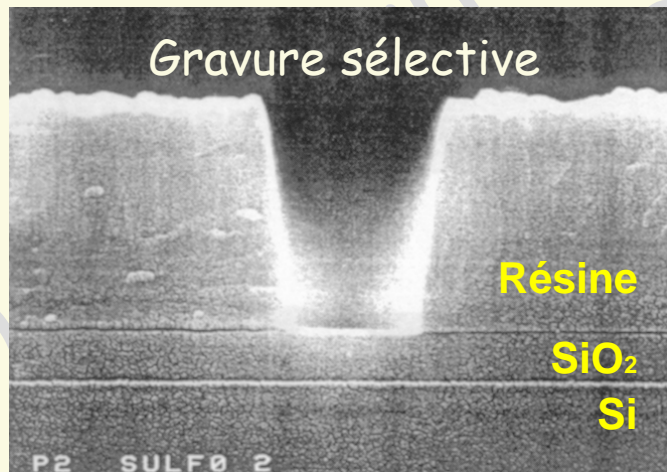
3- La **précision**

Sélectivité

$$\text{Sélectivité} = \frac{\text{Vitesse de gravure de la couche à graver}}{\text{Vitesse de gravure de la sous-couche}}$$

L'objectif est d'attaquer **uniquement** la silice

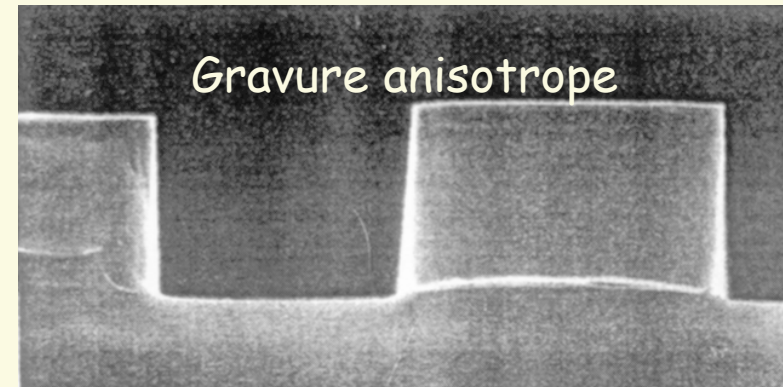
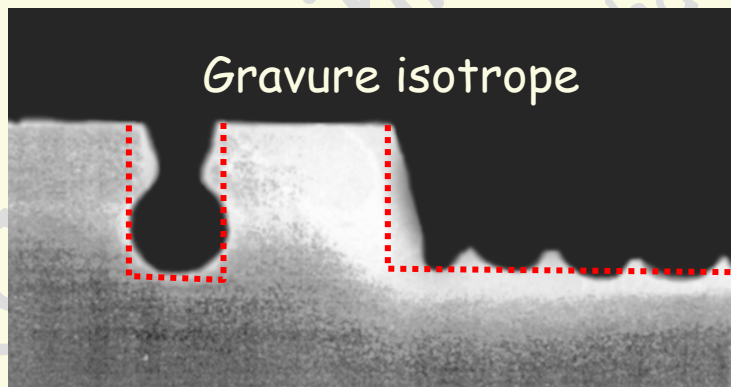
But : $S \rightarrow \infty$ (gravure rapide = pas de consommation de sous couche)



Anisotropie

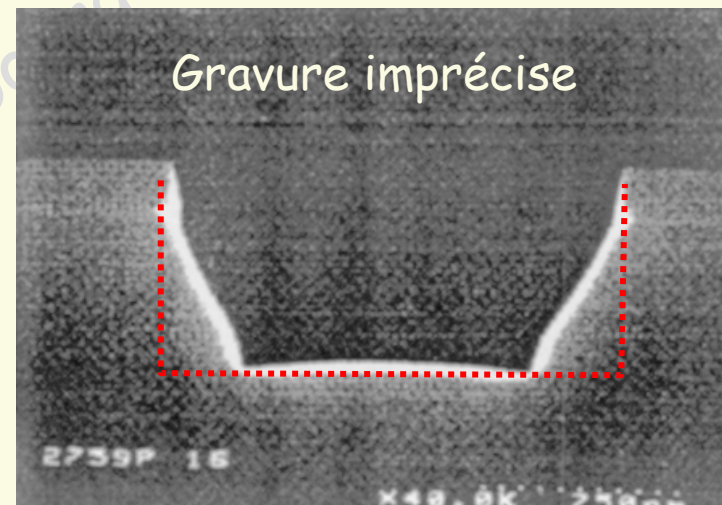
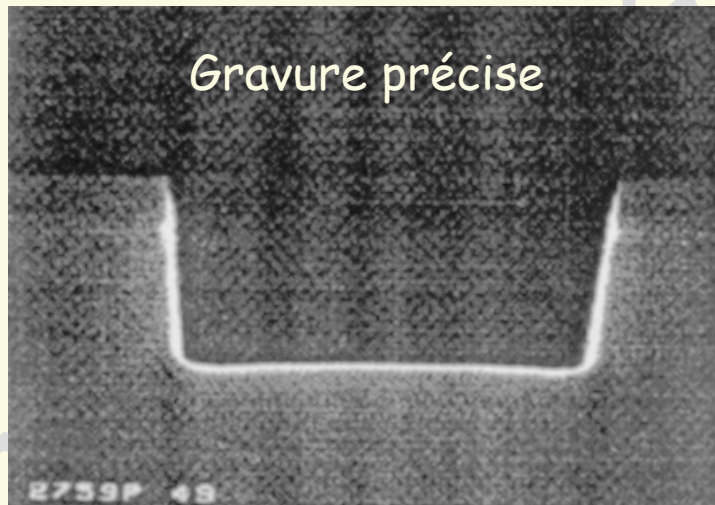
Une **gravure** est dite **anisotrope** si l'attaque est réalisée dans **une seule direction**

Une **gravure** est dite **isotrope** si l'attaque est réalisée dans **toutes les directions**



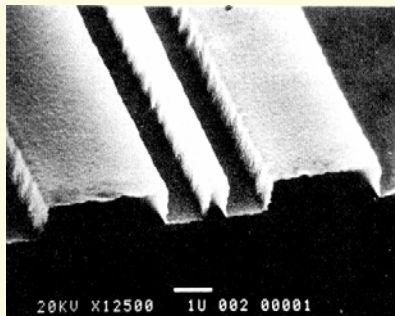
Précision

Une **gravure** est dite **précise** si l'attaque est réalisée avec une bonne **résolution géométrique**

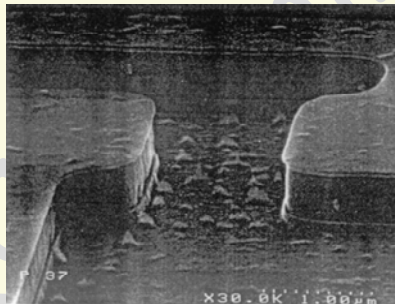


Différentes méthodes

Il existe **2 grandes familles** de gravure :



1- La **gravure humide**



2- La **gravure sèche** :

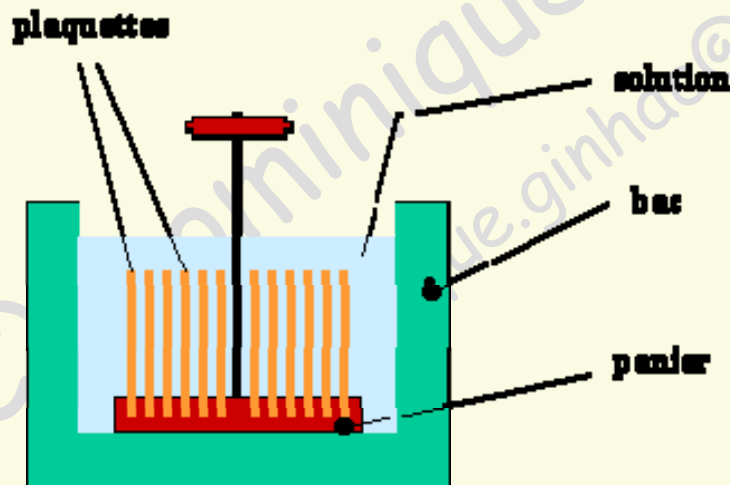
- ✓ Gravure ionique
- ✓ Gravure ionique réactive



Gravure humide

La **gravure humide** consiste à **plonger** le wafer dans une **solution chimique**

Permet de réaliser des **motifs de 3 μm** de largeur
Couvre **60 %** des besoins du marché



Solution chimique **fonction** du **matériau** à graver :
Ex : Acide fluorhydrique (HF)
pour le silicium polycristallin

Avantages vs inconvénients

Avantages :

- ✓ Facile à mettre en œuvre,
- ✓ Traitement rapide par lots de wafers



Inconvénients :

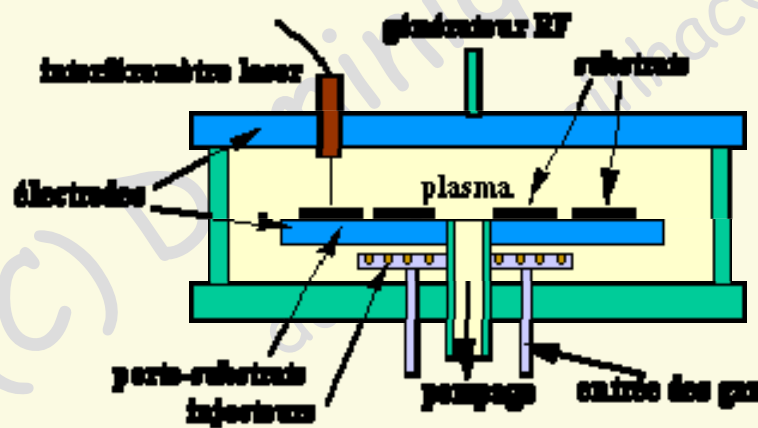
- ✓ Gravure isotrope,
- ✓ Vitesse de gravure dépendant de la concentration de la solution chimique utilisée,
- ✓ Point de fin de gravure difficilement maîtrisable
- ✓ Contamination

Gravure sèche

Procédé mis au point pour pallier les inconvénients de la gravure humide



Le principe consiste à utiliser un faisceau d'ions dirigés vers la zone à graver

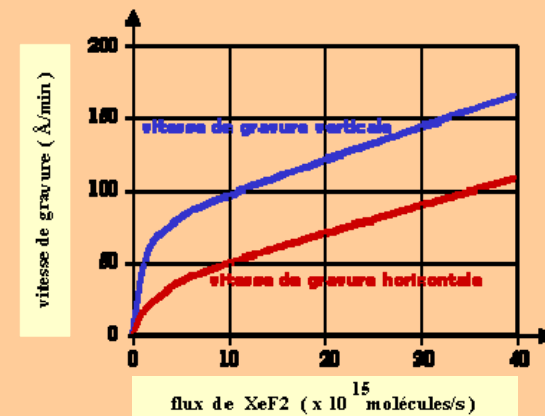


- ✓ Si les ions sont chimiquement inactifs, il y a érosion mécanique (IE)
- ✓ Si les ions sont chimiquement actifs, alors on parle de RIE.

Avantages vs inconvénients

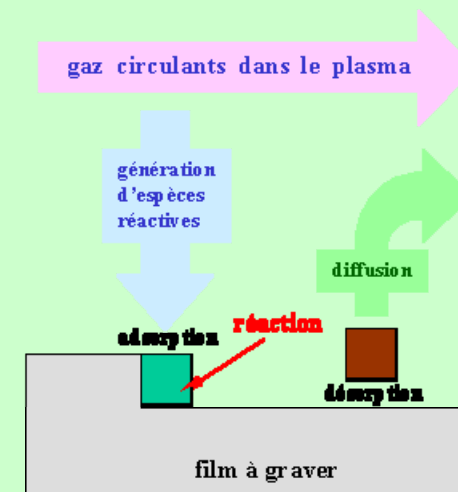
Avantages :

- ✓ motifs $< 3 \mu\text{m}$
- ✓ Sélectivité contrôlable



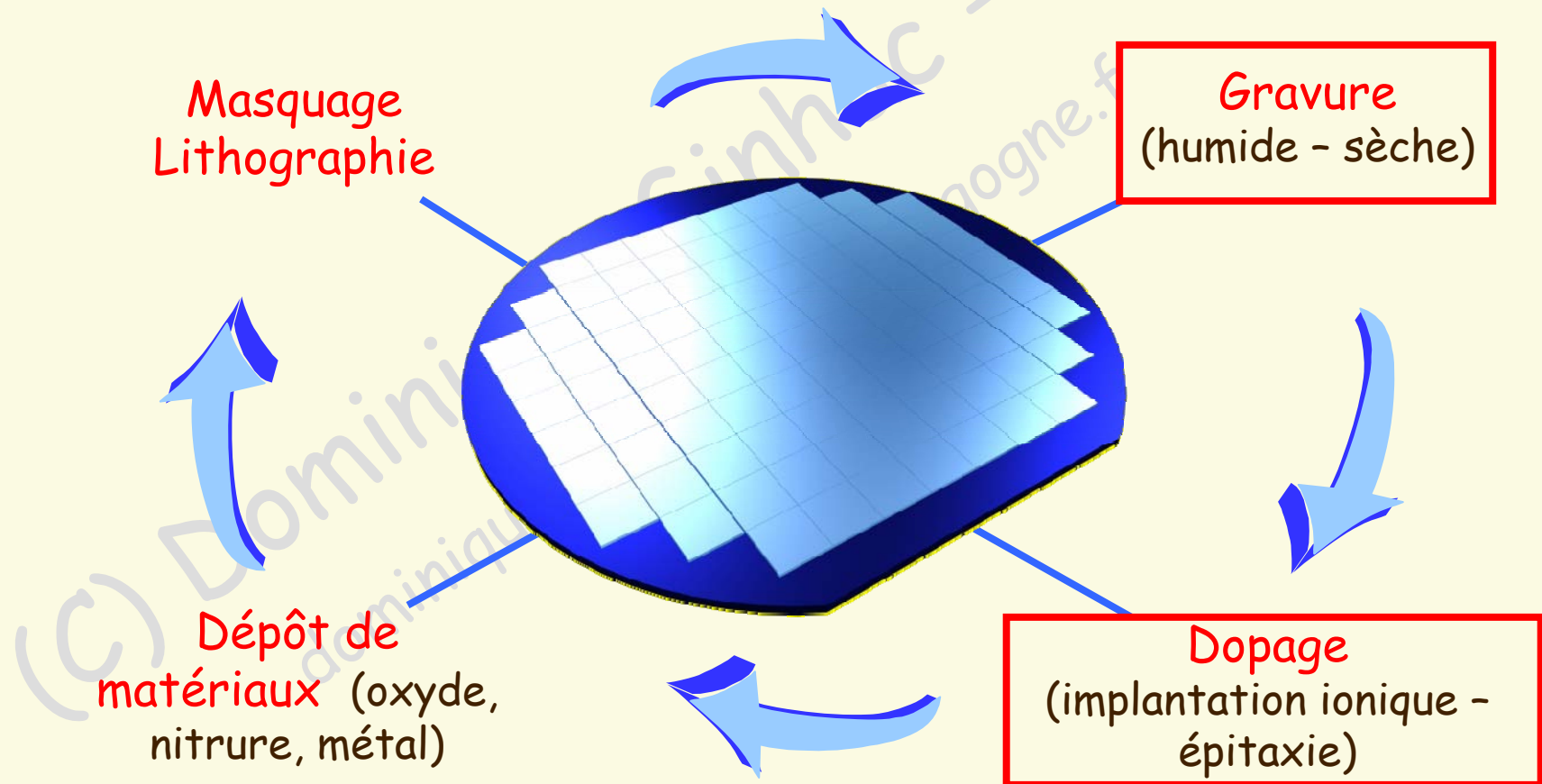
Inconvénients :

- ✓ **Déchets** pouvant retomber sur la cible (IE),
- ✓ Générer des **espèces volatiles** après réaction (RIE)



Du Wafer au Circuit intégré

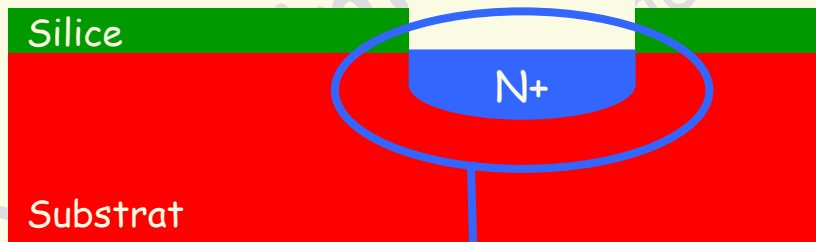
De **nombreuses** étapes (jusqu'à 700 !!!)



Le dopage (etching)

Le **dopage** consiste à **introduire** des **impuretés** sur ou dans le silicium de façon à le rendre de type **N** ou **P**.

Ouverture d'une fenêtre
dans la laque après
gravure



Phase de **dopage**

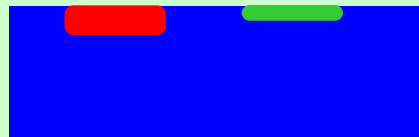


Les techniques de dopage

On peut considérer **deux** grands **types** de **dopage** :

En **profondeur** dans le substrat :

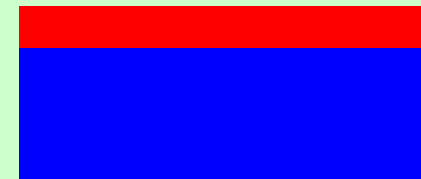
- ✓ **Diffusion thermique**,
- ✓ **Implantation ionique**



Modification du dopage

Croissance à la **surface** du substrat :

- ✓ **Epitaxie**



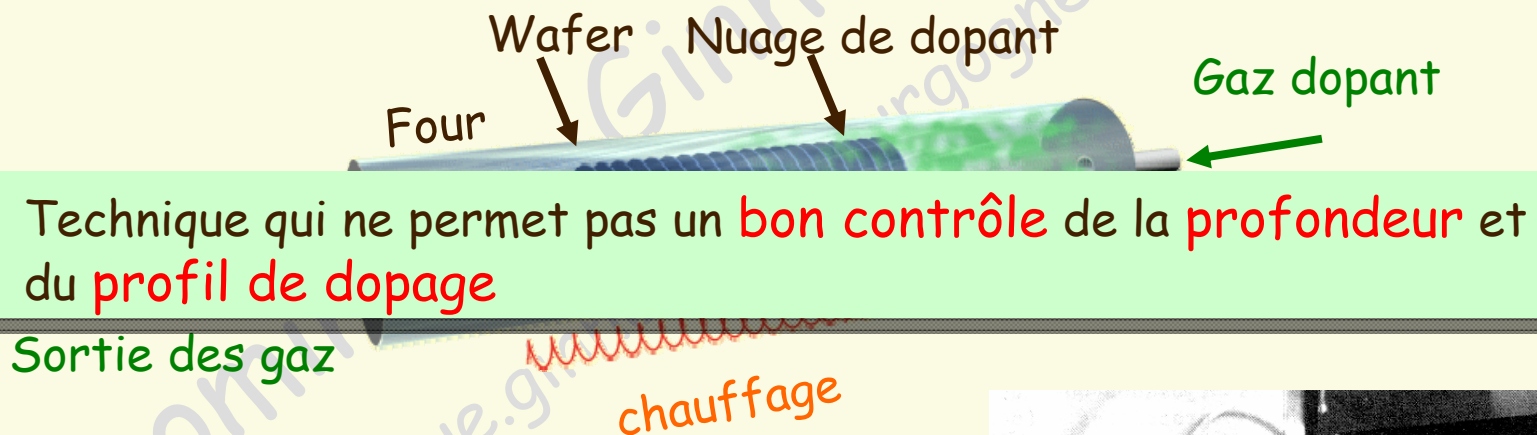
Apport de matière dopée

Dopants utilisés :

- ✓ **trivalents** (type P) : bore, aluminium, gallium, indium
- ✓ **pentavalents** (type N) : phosphore, arsenic, antimoine

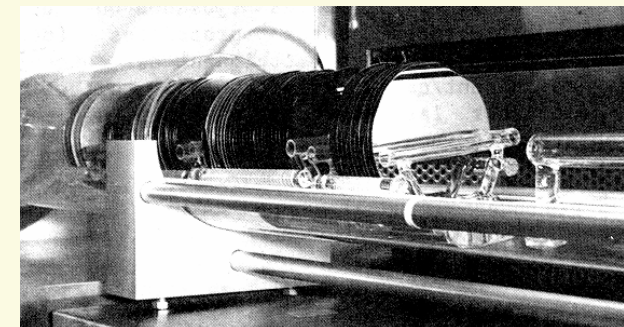
Dopage en profondeur

1 - **Diffusion thermique** basée sur la **pénétration** des **impuretés** dans le silicium



Technique qui ne permet pas un **bon contrôle** de la **profondeur** et du **profil de dopage**

Technique très **facile** à mettre en œuvre



Dopage en profondeur

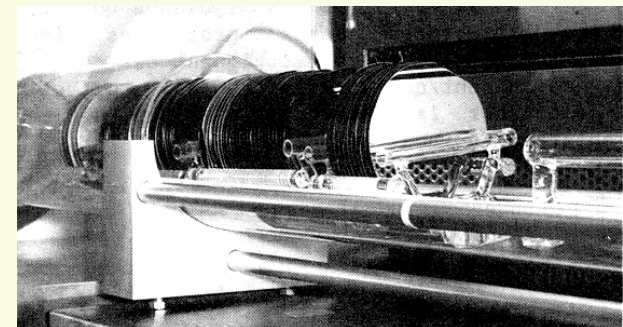
1 - **Diffusion thermique** basée sur la **pénétration** des **impuretés** dans le silicium

Technique très **facile** à mettre en œuvre

Technique qui ne permet pas un **bon contrôle** de la **profondeur** et du **profil de dopage**

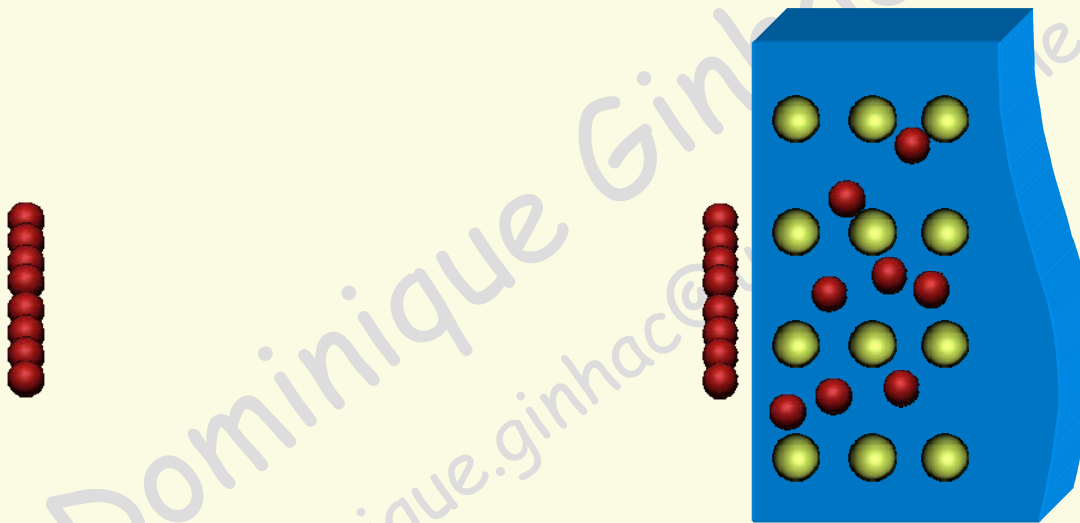
Technique qui nécessite une **haute température** $\sim 1200^{\circ}\text{C}$

Technique qui **déforme** les wafers

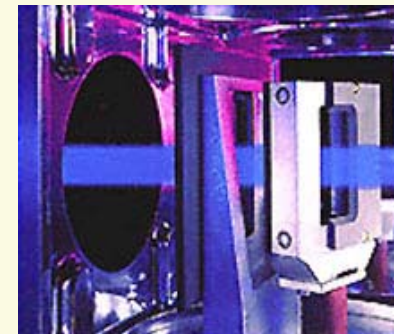


Dopage en profondeur

2 - **Implantation ionique** basée sur la **pénétration «en force»** des **impuretés** dans le silicium



Les **atomes** de dopant **ionisés** et **accélérés** arrivent dans le cristal avec une certaine **énergie cinétique**



Faisceau d'ions



Implanteur ionique

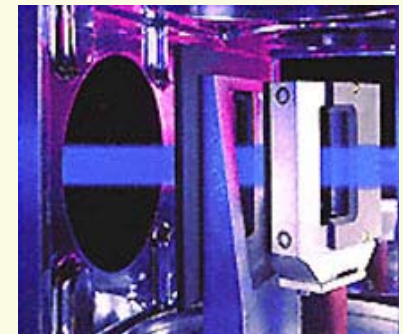
Dopage en profondeur

2 - **Implantation ionique** basée sur la **pénétration** «en force» des **impuretés** dans le silicium

Elle ne nécessite pas de **hautes températures**

Elle permet d'obtenir un **meilleur contrôle** de la **profondeur** de dopage ainsi que des **couches très fines**

L'implantation des atomes en profondeur répond à une **loi** de type **gaussienne**



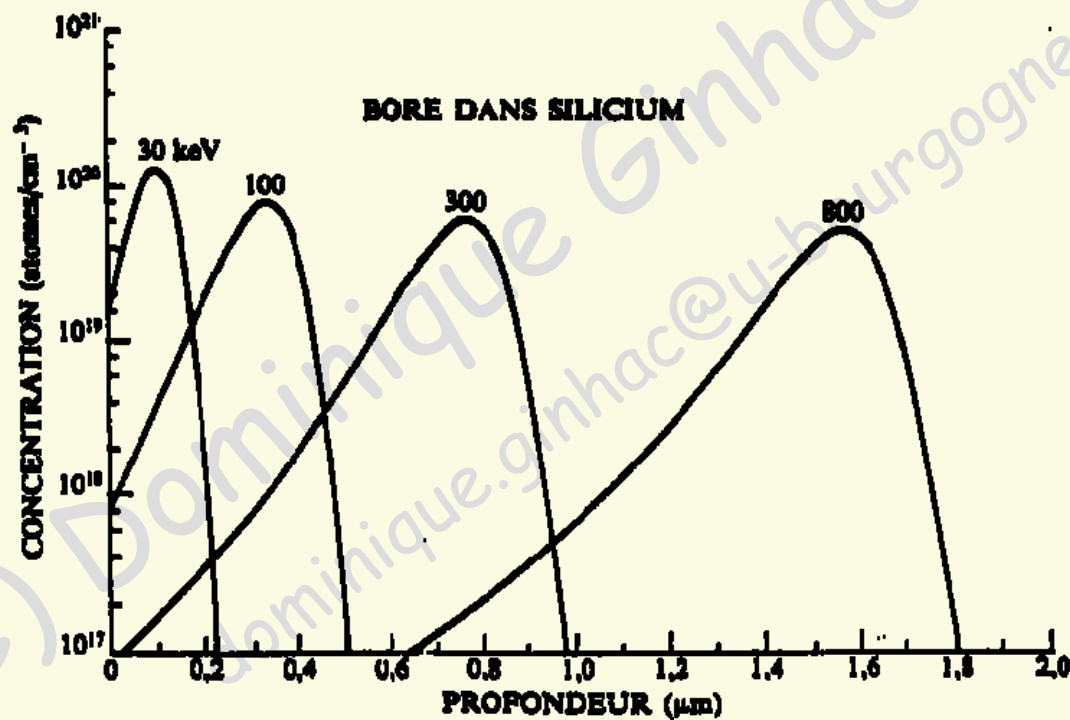
Faisceau d'ions



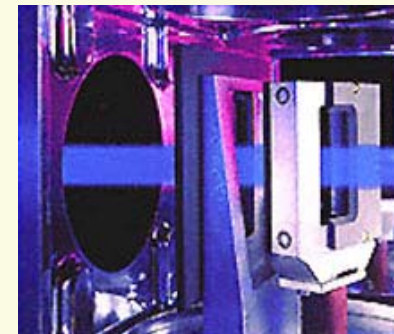
Implanteur ionique

Dopage en profondeur

2 - **Implantation ionique** basée sur la **pénétration «en force»** des **impuretés** dans le silicium



Exemple de profil de dopage



Faisceau d'ions



Implanteur ionique

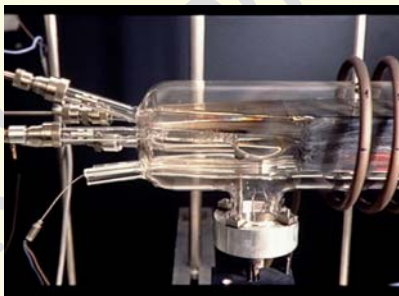
Croissance en surface : Epitaxie

Epitaxie : Epi = « sur »
Taxie = « ordre »



Principe : L'épitaxie consiste à faire croître une couche monocristalline à la surface du wafer.

Condition : On ne peut épitaxier que des matériaux dont les paramètres cristallins sont proches.



But : ✓ Avoir une couche de « travail » isolée du substrat.
✓ Avoir une couche homogène et relativement épaisse.

Les techniques d'épitaixie

On peut considérer **trois** grandes techniques d'**épitaixie** :

1 - Epitaxie en **phase gazeuse**



2 - Epitaxie en **phase liquide**

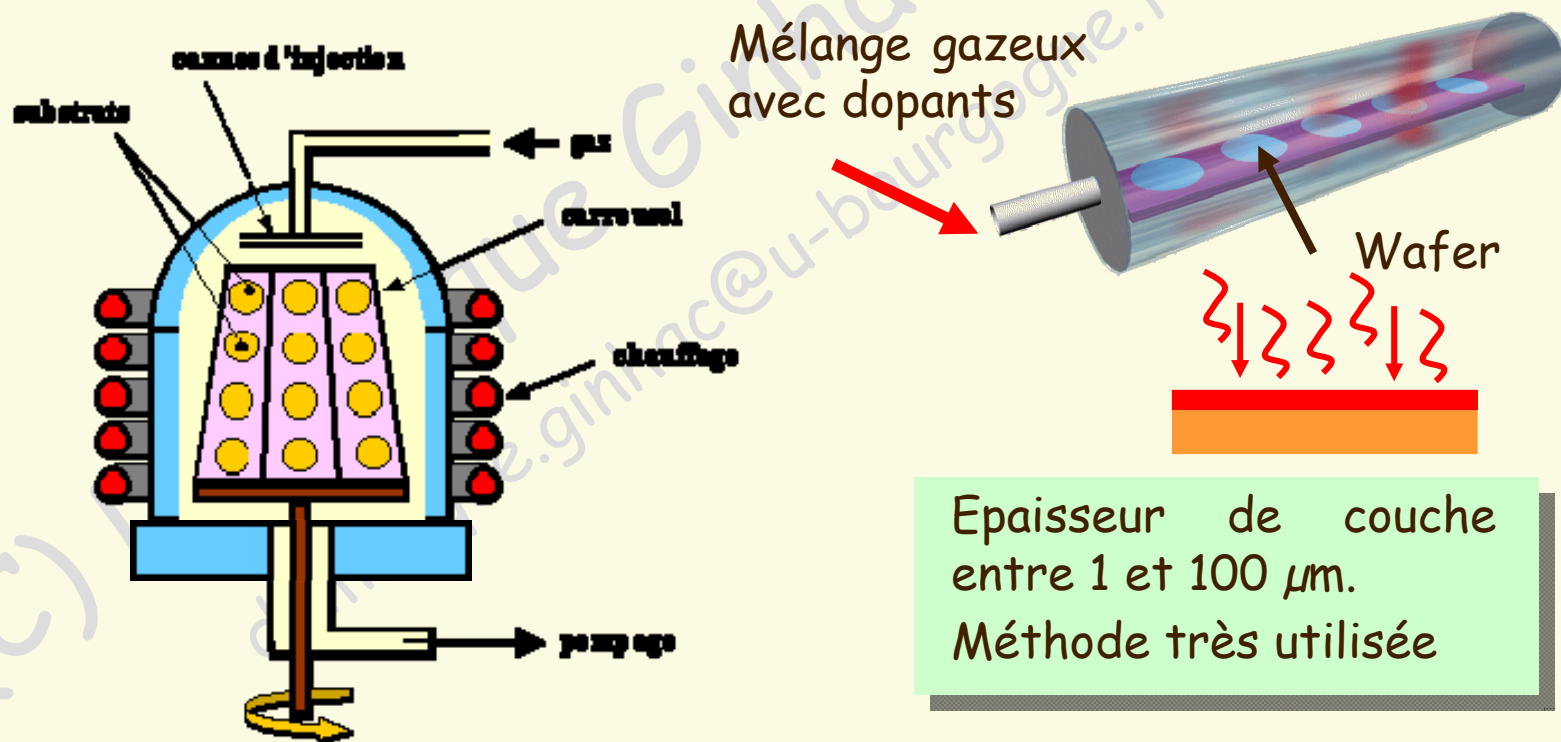
3 - Epitaxie par **jets moléculaires**



Epitaxie en phase gazeuse

VPE : Vapour Phase Epitaxy - CVD : Chemical Vapour Deposition

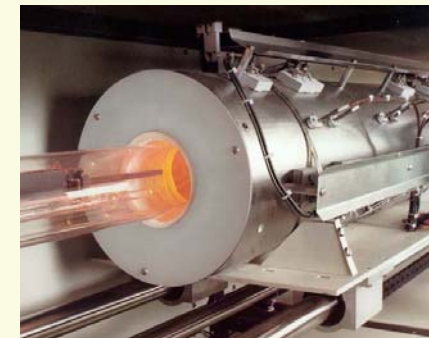
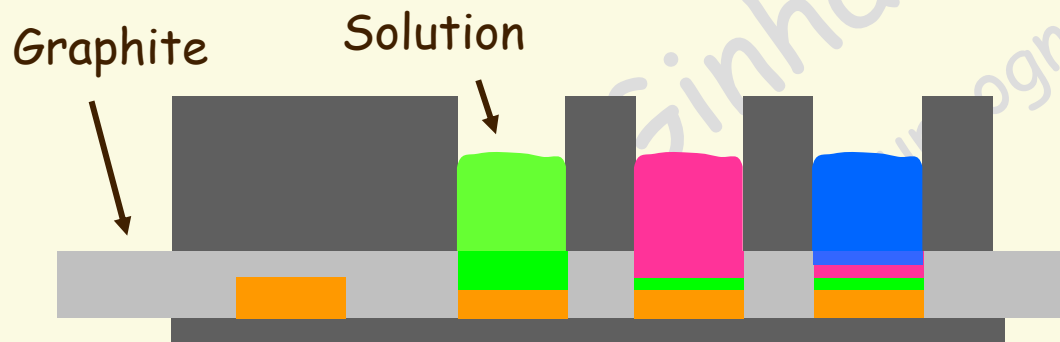
Le procédé consiste en une **réaction** de **mélange gazeux** sur la **surface du substrat**



Epitaxie en phase liquide

LPE : Liquid Phase Epitaxy

Le **substrat** est mis en **contact** avec un **bain liquide** de composition adéquate



Avantages :

- ✓ **Simplicité** d'équipement
- ✓ **Haute vitesse** ($\mu\text{m}/\text{mn}$)
- ✓ Large **gamme** de **dopants**

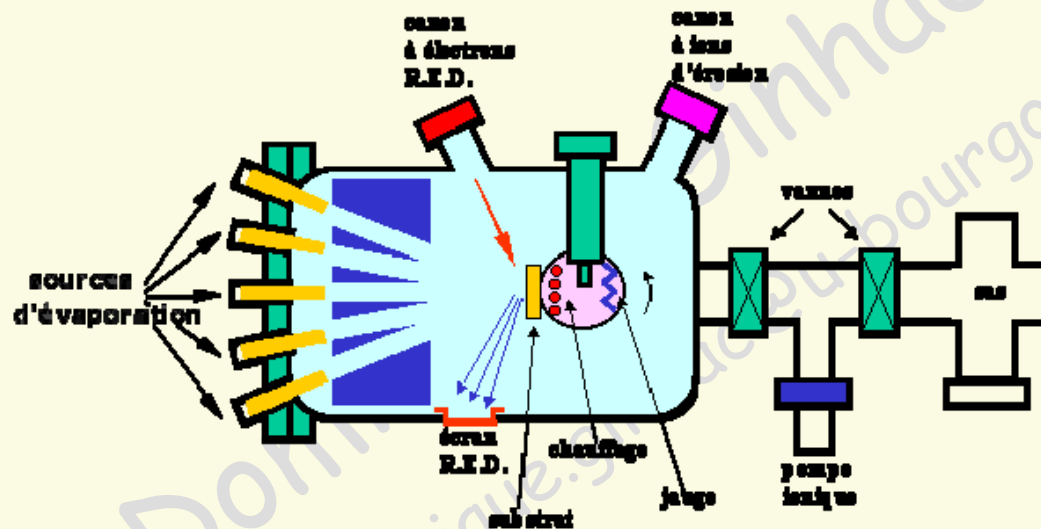
Inconvénients :

- ✓ Pb de **reproductibilité**
- ✓ Difficulté d'obtenir des **couches homogènes**

Epitaxie en jets moléculaires

MBE : Molecular Beam Epitaxy

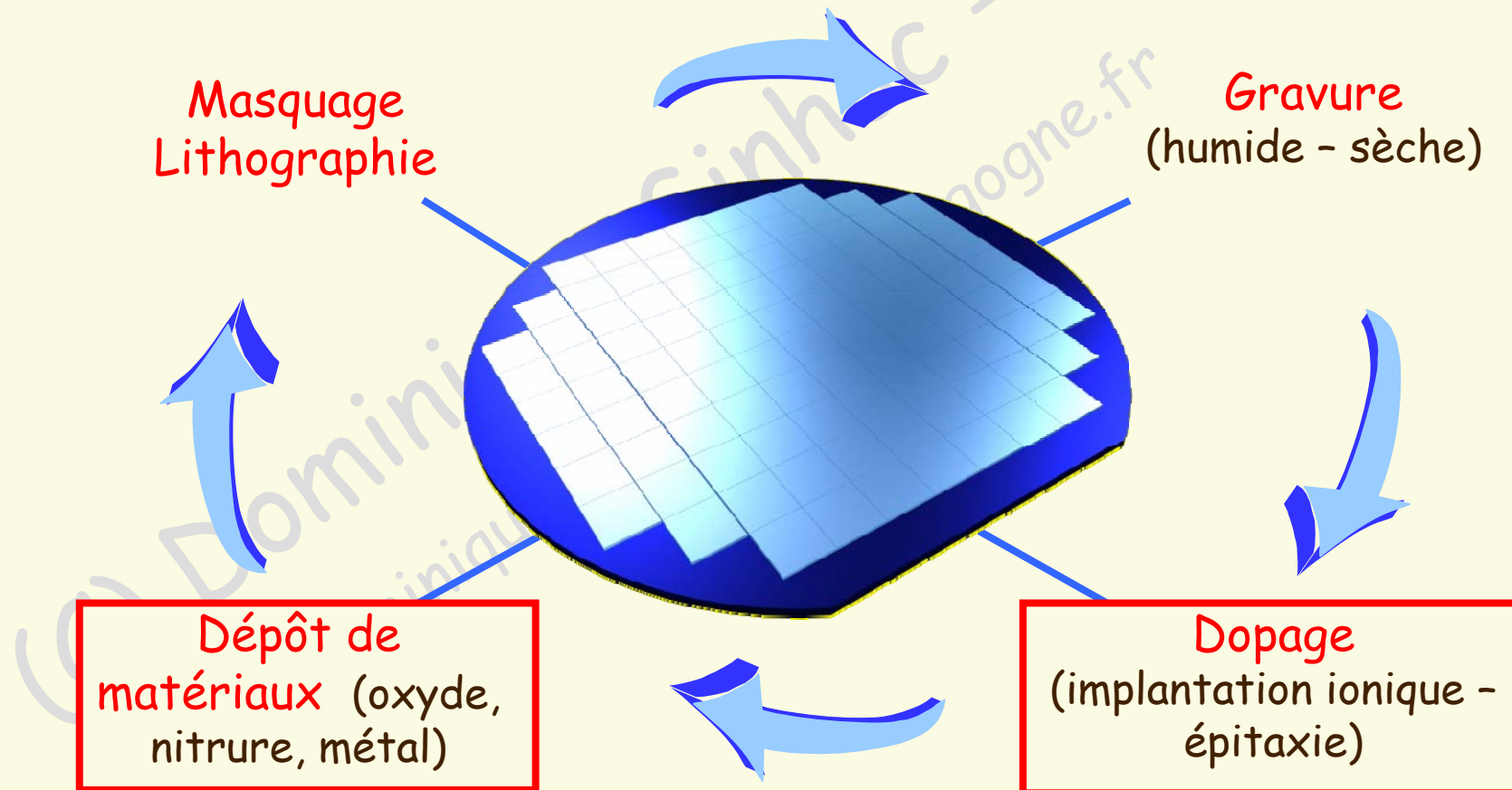
Le procédé consiste à **évaporer** les **dopants** sous un vide très poussé et à **diriger** les **vapeurs** sur le substrat



- ✓ Croissance très lente ($\mu\text{m/hr}$)
- ✓ Bon **contrôle** de la **croissance**
- ✓ Permet les **changements abrupts** de dopage

Du Wafer au Circuit intégré

De **nombreuses** étapes (jusqu'à 700 !!!)



Dépôt de matériau

Cette **opération** est **nécessaire** lorsqu'il faut réaliser une **couche** conductrice, isolante ou de masquage dans un **procédé** qui n'utilise pas **directement** le **matériau du substrat**



Dépôt de matériau

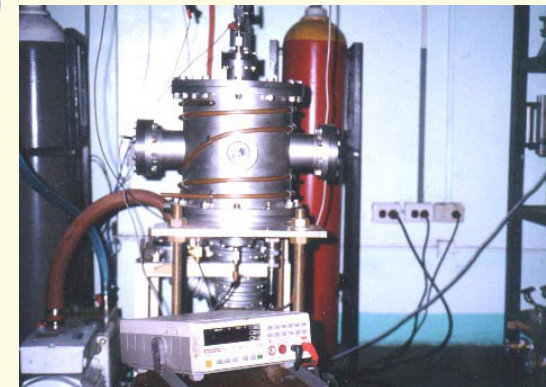
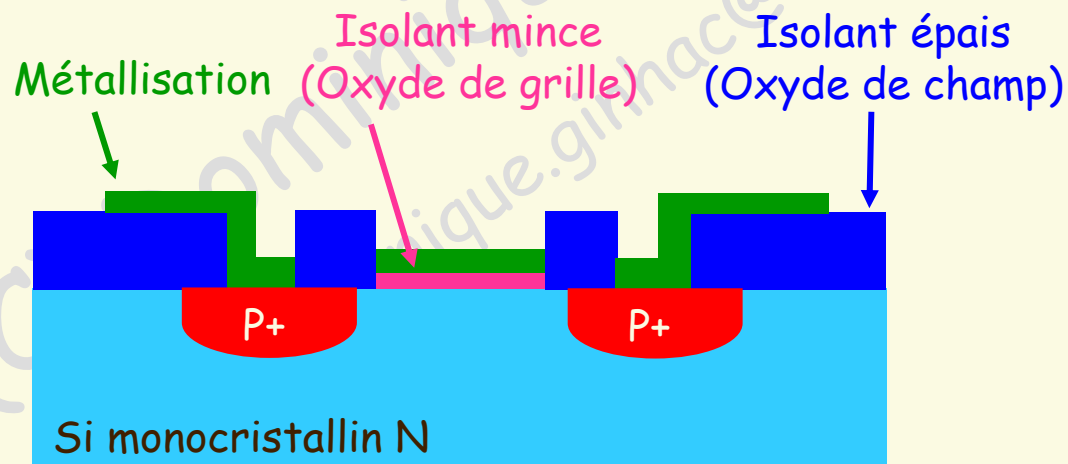
On peut considérer **deux** grandes **classes** de **dépôt** :

Dépôt d'isolants :

- ✓ Isolation de grille,
- ✓ Masquage
- ✓ Passivation

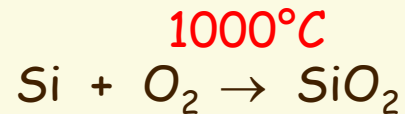
Dépôts métalliques :

- ✓ Interconnexion,
- ✓ Éléments passifs,
- ✓ Grille de MOS



Dépôt d'isolant de type SiO_2

1 - Oxydation à haute température



L'**oxydation** se produit à la **surface**, puis l'oxygène **traverse** la silice pour **oxyder** le **silicium** sous-jacent.

En **1 heure**, on obtient une couche de **1 μm** d'oxyde.



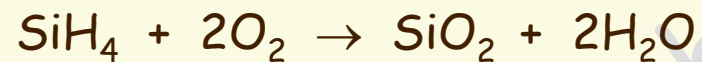
Déformations des wafers avec la **température**.



Dépôt d'isolant de type SiO_2

2 - **Oxydation** par **plasma** (état de la matière fortement ionisée)

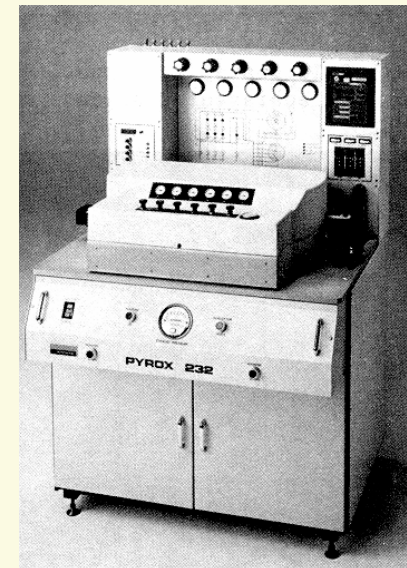
450°C / 10^{-4} mBar



Le **wafer** est placé dans un **champ HF** qui permet d'obtenir l'état plasma.

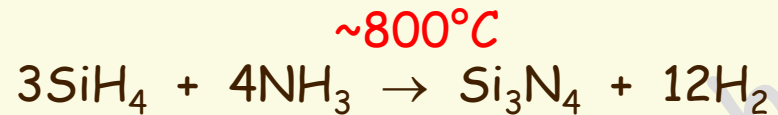
Possibilité d'obtenir des **couches** très **uniformes** où les wafers ne «travaillent» pas.

En **1 minute**, on obtient une couche de **0.1 μm** d'oxyde.



Dépôt d'autres isolants

Exemple : Nitrure de silicium Si_3N_4



Très grande résistivité : $10^{14}\Omega\cdot\text{cm}$

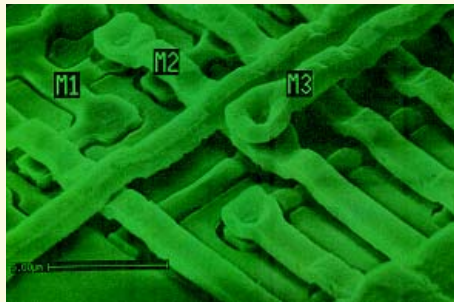
Ne s'oxyde que très peu et très lentement.

Très bonne barrière à la diffusion des impuretés par échauffement (les composants peuvent fonctionner à des températures plus élevées).



Les couches métalliques

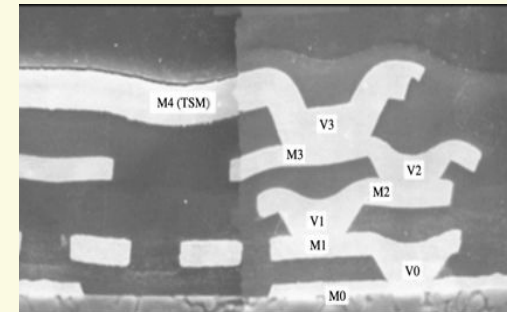
Les **couches métalliques** sont particulièrement importantes en microélectronique, en particulier pour la **réalisation des interconnexions**.



Objectif et caractéristiques d'une bonne métallisation



Conduire le courant



Résistance
faible

Résistance
de contact
minimisée

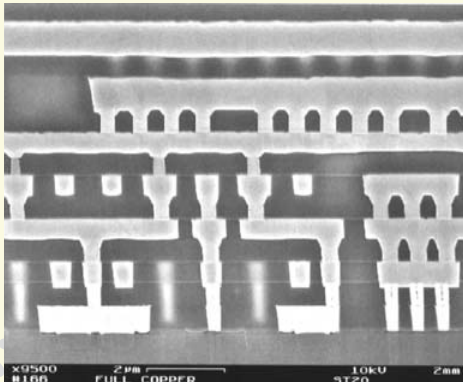
Résistance à
l'**électromigration** *
forte

* Electromigration : Transport de matière sous l'action d'un courant

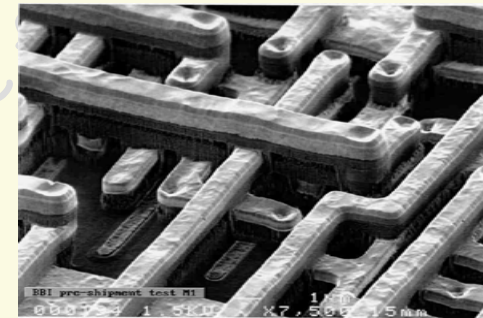
Les couches métalliques

Il existe **trois** principales **méthodes** :

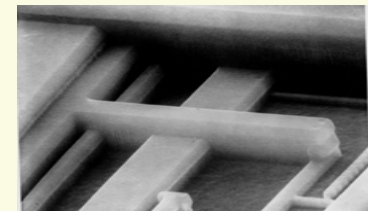
1 - **Evaporation thermique**



2 - **Pulvérisation cathodique (Sputtering)**

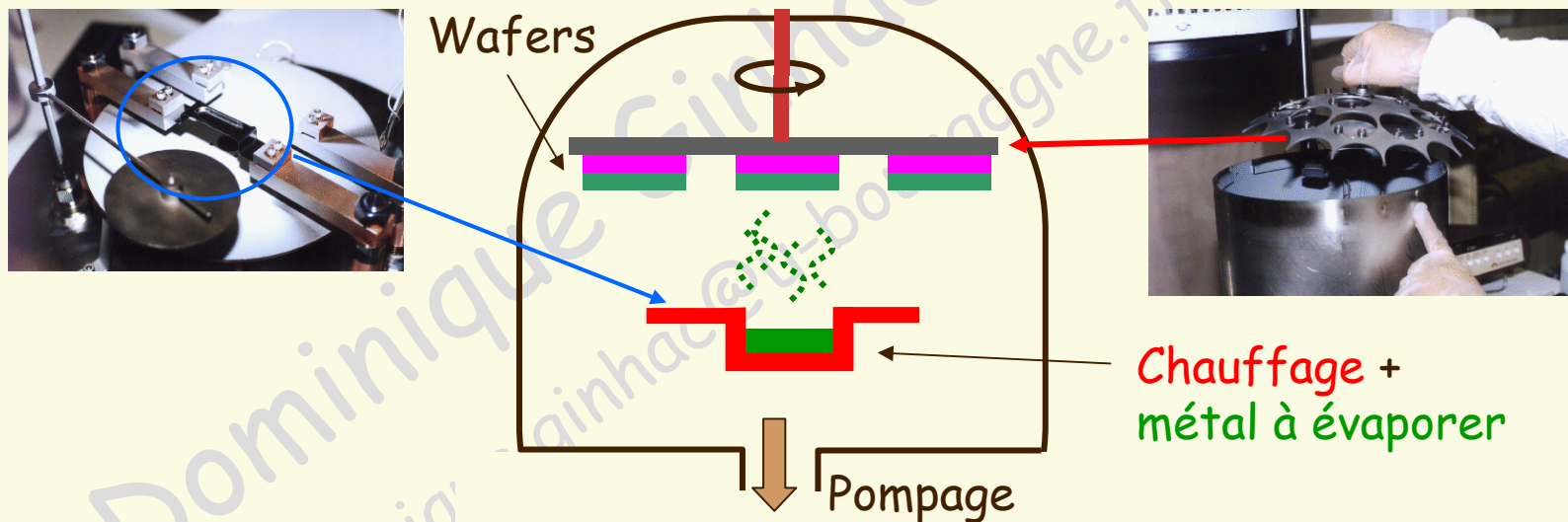


3 - **Dépôt chimique en phase vapeur (CVD)**



Evaporation thermique

Elle consiste simplement à **chauffer** un **matériau** qui, **vaporisé**, va se **déposer** sur les substrats



Le **métal évaporé** se **condense** sur le wafer plus froid

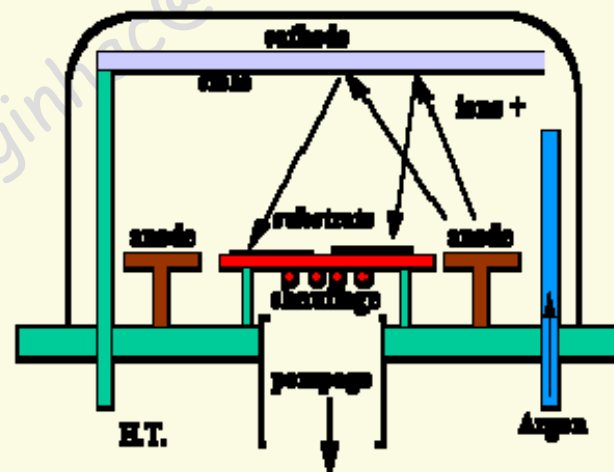
Les métaux couramment utilisés sont l'**aluminium**, l'**or** et le **cuivre**.

Le **pompage** permet d'éviter les **recombinaisons** avec l'air ambiant.

Pulvérisation (sputtering)

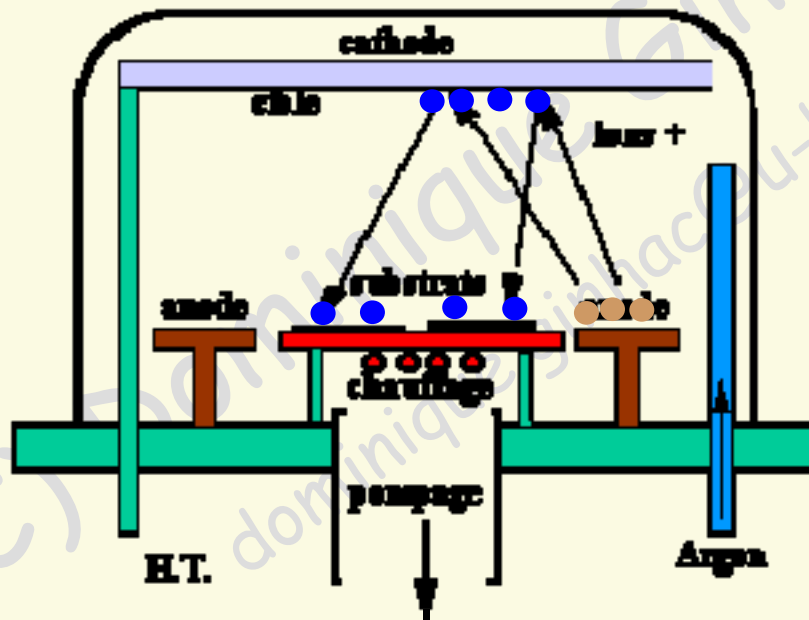
La pulvérisation (sputtering) permet de **palier** le problème de **déformation** des wafers causés par l'évaporation thermique

Elle consiste à **bombarder** une **cible** par des ions, à **arracher** les ions de la cible et à les **envoyer** se **déposer** sur le substrat



Pulvérisation (sputtering)

Elle consiste à **bombarder** une **cible** par des ions, à **arracher** les ions de la cible et à les **envoyer** se **déposer** sur le substrat

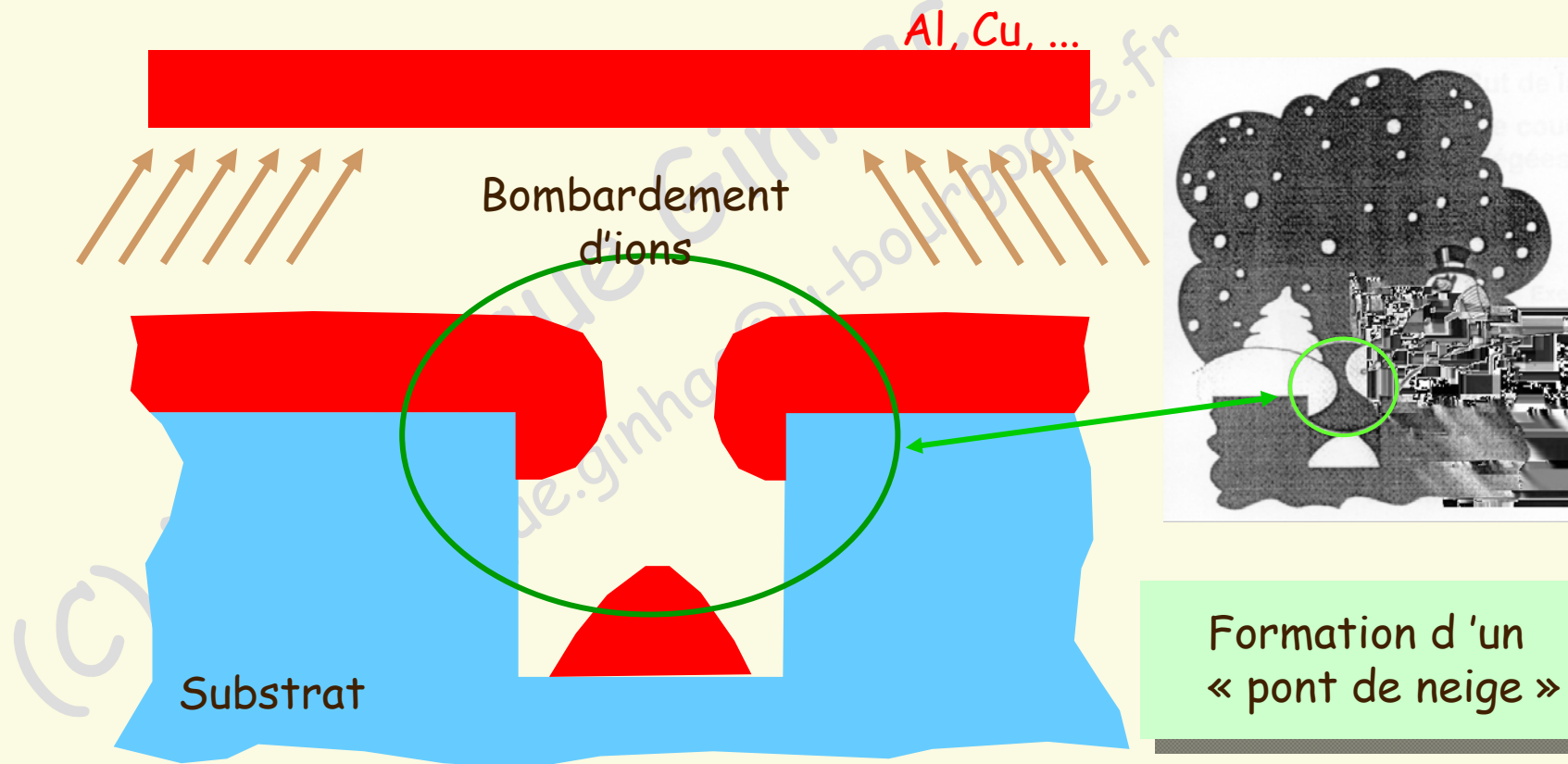


Le principe consiste à **bombarder** le **métal** à **déposer** avec des **ions**.

Le bombardement **brise** des **liaisons** entre atomes à la surface de la cible qui se **déposent** sur le **wafer**

Limites de la pulvérisation

Les **dimensions** du circuits **deviennent** une **forte limite**



Dépôt chimique en phase vapeur

Principe : Faire une **réaction chimique** entre **2 gaz**

Un **produit** de la réaction est **solide** et se **condense** sur le substrat



Dépôt chimique en phase vapeur

Il existe **trois** techniques :

1 - **CVD** atmosphérique

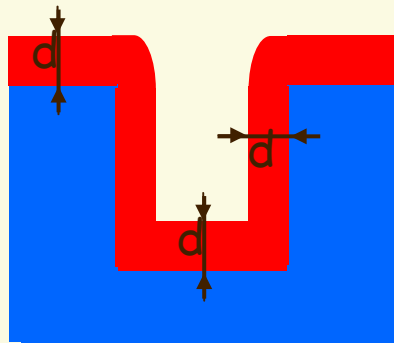
2 - **LPCVD** (basse pression)



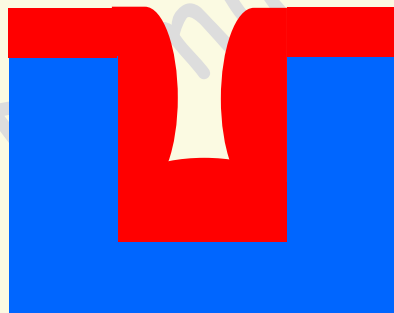
3 - **PECVD** (assistée par plasma)

Les problèmes des dépôts

1 - La conformité



Dépôt conforme

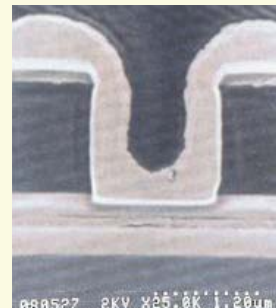


Dépôt non conforme

Variations d'épaisseur
aux passages de marche



Mauvaise « conformité » ou
« Couverture de marche »



Les problèmes des dépôts

2 - Le spiking



Suivant la profondeur, il peut apparaître des **court-circuits**

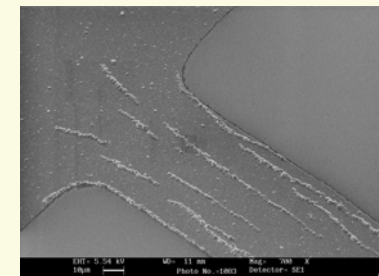
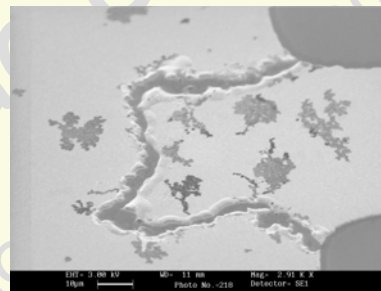
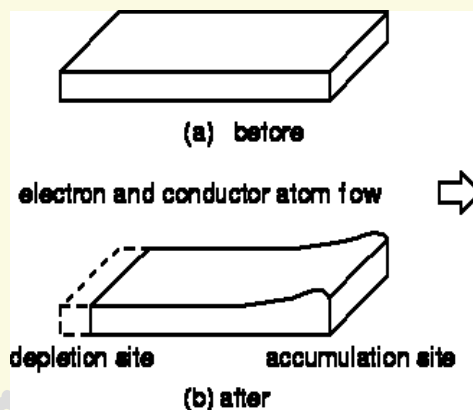
Pour limiter le spiking, on utilise une couche de TiN au niveau de la connexion



Les problèmes des dépôts

3 - L'électromigration

C'est le **déplacement de matière** (métal) sous l'**action** d'un **courant électrique**

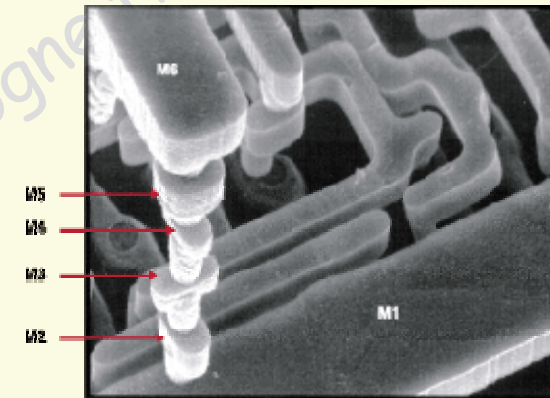
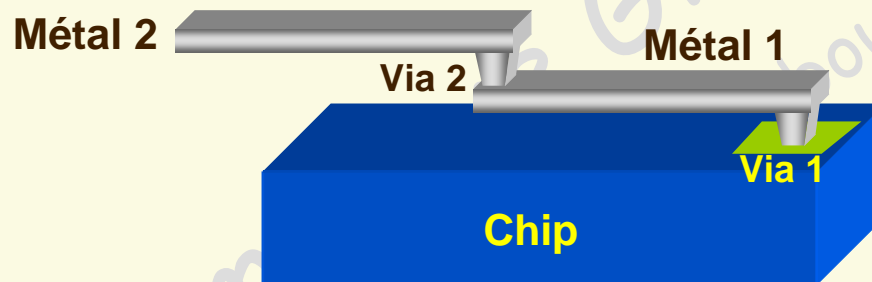


On a alors:

- ✓ soit la création d'un **court-circuit**
- ✓ soit la **coupure** d'une ligne

Les interconnexions

Le principe des **interconnexions** est de pouvoir **relier** les différentes **couches métalliques** utilisées dans le circuit

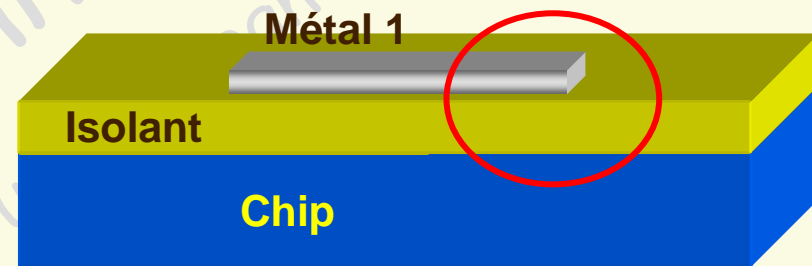
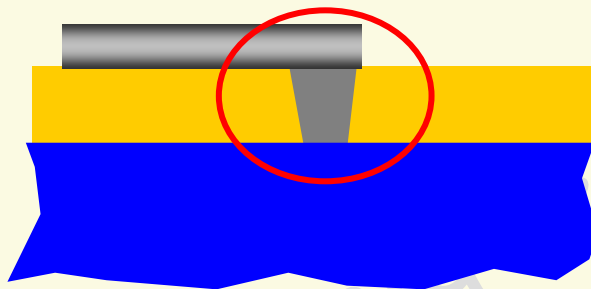


Actuellement les interconnexions sont faites de 3 façons :

- ✓ Technique **traditionnelle**
- ✓ Technique **Damascène**
- ✓ **Lift-off**

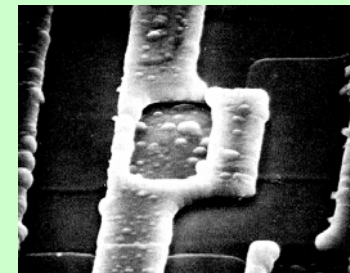
Technique traditionnelle

Les **couches de métal** ne sont pas **déposées** à même le substrat mais sur une **couche isolante** (oxyde, nitrure,...)



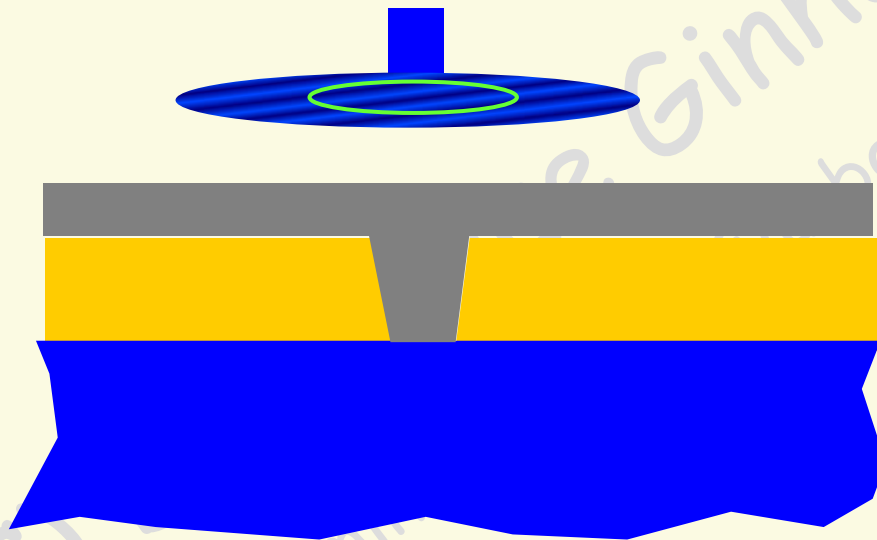
Comment faire le **via** ?

- ✓ Pas de **CVD** pour l'**aluminium**
- ✓ **Dimensions incompatibles** avec **sputtering**



Technique traditionnelle

Création du via :



Dépôt de la couche
isolante en silice

Gravure de la couche
de silice

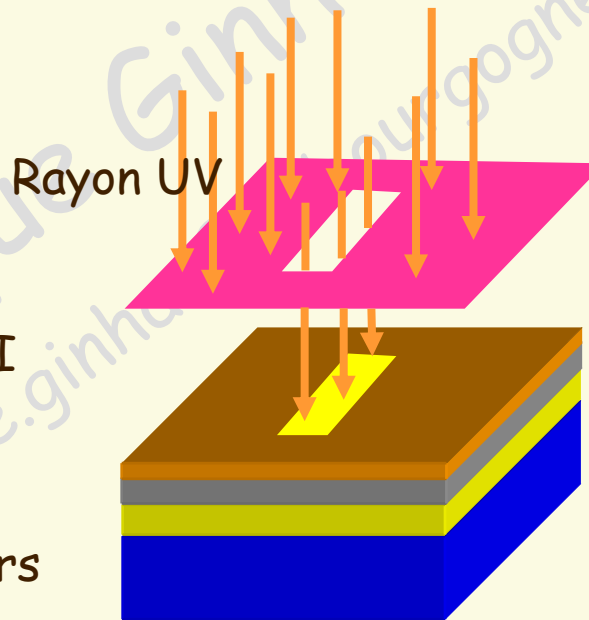
Dépôt de Tungstène
par CVD

Planarisation du Wafer
(Rabotage)

Technique traditionnelle

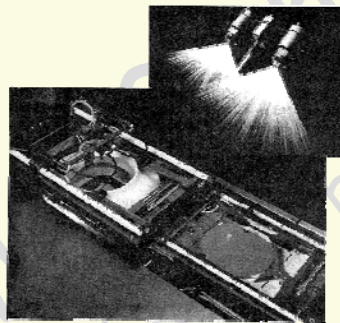
Comment **relier 2 vias** par une **métallisation** ?

- 1- Métallisation du CI
- 2- Dépôt de résine photosensible
- 3- Insolation à travers un masque photo

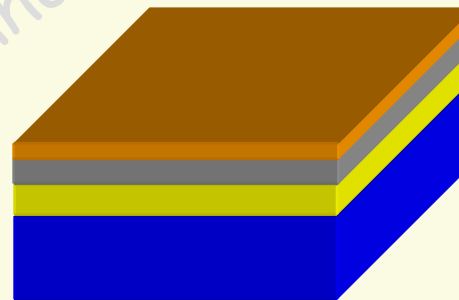


Technique traditionnelle

Comment **relier 2 vias** par une **métallisation** ?



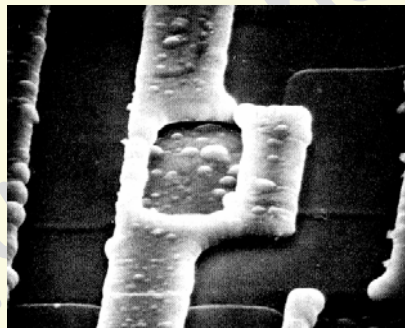
- 1- Métallisation du CI
- 2- Dépôt de résine photosensible
- 3- Insolation à travers un masque photo



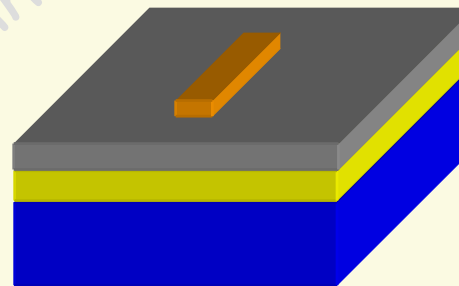
- 4- Développement de la résine

Technique traditionnelle

Comment **relier 2 vias** par une **métallisation** ?



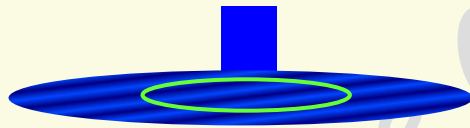
- 1- Métallisation du CI
- 2- Dépôt de résine photosensible
- 3- Insolation à travers un masque photo



- 4- Développement de la résine
- 5- Gravure du motif
- 6- Décapage de la résine (stripping).

Technique damascène

Cette **technique** est principalement employée pour les **métallisations Cuivre**. Elle consiste à **réaliser** le **via** et la **connexion métal** en même temps.



Dépôt de la **couche isolante** en silice

Gravure de la couche de silice

Dépôt de **Cuivre** par CVD

Planarisation du Wafer (Rabotage)

Technique du lift-off

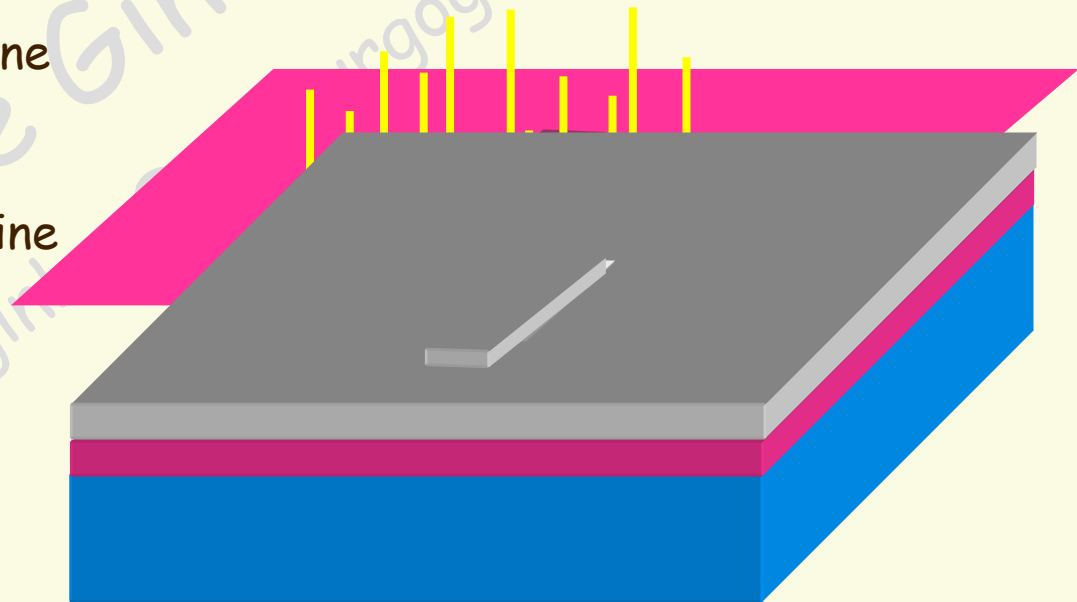
Cette **technique** est utilisée à chaque fois que la **métallisation** n'est pas **compatible** avec les **techniques** traditionnelles

1 - **Insolation** d'une résine photosensible.

2 - **Révélation** de la résine

3 - **Dépôt** de métal

4 - **Décapage** de la résine et du métal déposé dessus



Technique du lift-off

Cette **technique** est utilisée à chaque fois que la **métallisation** n'est pas **compatible** avec les **techniques** traditionnelles

Exemple de motifs métalliques obtenus par LIFTOFF

